

UNIVERSIDADE FEDERAL DO RIO GRANDE - FURG  
INSTITUTO DE CIÊNCIAS COMPUTACIONAIS  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA DE COMPUTAÇÃO

Roberto Borba de Almeida

**AVALIAÇÃO DO IMPACTO DA VARIABILIDADE PVT E  
ENVELHECIMENTO EM CÉLULAS DE MEMÓRIA SRAM**

Rio Grande

2018

Roberto Borba de Almeida

**AVALIAÇÃO DO IMPACTO DA VARIABILIDADE PVT E  
ENVELHECIMENTO EM CÉLULAS DE MEMÓRIA SRAM**

Defesa de dissertação do curso de pós-graduação  
em Engenharia de Computação apresentado ao  
Centro de Ciências Computacionais da  
Universidade Federal do Rio Grande - FURG.

Orientador: Prof<sup>ª</sup>. Dr<sup>ª</sup>. Cristina Meinhardt

Coorientador: Prof. Dr. Paulo Butzen

Rio Grande

2018

### Ficha catalográfica

A447a Almeida, Roberto Borba de.  
Avaliação do impacto da variabilidade PVT e envelhecimento em células de memória SRAM / Roberto Borba de Almeida. – 2018.  
85f.

Dissertação (mestrado) – Universidade Federal do Rio Grande – FURG, Programa de Pós-Graduação em Engenharia de Computação, Rio Grande/RS, 2018.  
Orientadora: Dra. Cristina Meinhardt.  
Coorientador: Dr. Paulo Butzen.

1. Células de Memória 2. Nanotecnologia 3. SRAM I. Meinhardt, Cristina II. Butzen, Paulo III. Título.

CDU 004.07



MINISTÉRIO DA EDUCAÇÃO  
UNIVERSIDADE FEDERAL DO RIO GRANDE  
CENTRO DE CIÊNCIAS COMPUTACIONAIS  
PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO  
CURSO DE MESTRADO EM ENGENHARIA DE COMPUTAÇÃO

DISSERTAÇÃO DE MESTRADO

**Avaliação do impacto da variabilidade PVT e envelhecimento em células  
de memória SRAM**

Roberto Borba de Almeida

Banca examinadora:

Prof. Dr. Carlos Roberto Moratelli

Prof. Dr. Eduardo Wenzel Brião

Prof. Dr. Vagner Santos da Rosa

Prof<sup>a</sup>. Dr<sup>a</sup>. Cristina Meinhardt  
Orientadora

Prof. Dr. Paulo Francisco Butzen  
Coorientador

## LISTA DE FIGURAS

Figura 2.1 Lei de Moore _____	14
Figura 2.2 Dispersão dos tempos de escrita (pontos amarelos) e leitura (pontos azuis) diante dos efeitos da variabilidade _____	16
Figura 2.3 Efeitos que influenciam nas características elétricas dos dispositivos _____	16
Figura 2.4 Variações de temperatura em um circuito integrado _____	17
Figura 2.5 Efeitos de BTI na tensão de limiar do transistor _____	18
Figura 3.1 Bloco de células SRAM _____	20
Figura 3.2 Estrutura básica de uma coluna de células. _____	21
Figura 3.3 Diagrama elétrico da célula 6T _____	22
Figura 3.4 Escrita do valor '1' na célula 6T _____	22
Figura 3.5 Leitura do valor '1' na célula 6T _____	23
Figura 3.6 – Células de memória (a) 5T Portless, (b) 7T, (c) ST11T, (d) 8T e (e) 8T_v2. ____	24
Figura 3.7 – Células SRAM (a) 9T_v1, (b) PG9T e (c) 9T_v2. _____	25
Figura 3.8 Células SRAM (a) 11T_v1 e (b) 11T_v2. _____	26
Figura 3.9 Células SRAM (a) PFC 10T, (b) 9T_v3, (c) 9T_v4 e (d) 10T. _____	27
Figura 4.1 Fluxograma da metodologia de análise das células 6T e 8T _____	32
Figura 4.2 Células 6T, 8T e 9T _____	33
Figura 4.3 Circuitos para a obtenção das margens HSNM (a), RSNM (b) e WSNM (c) ____	35
Figura 4.4 Curvas de transferência de tensão no estado de <i>hold</i> (a), leitura (b) e escrita (c)_	35
Figura 5.1 Evolução do impacto nas tecnologias _____	40
Figura 5.2 Impacto da variabilidade de processo na tecnologia HP _____	44
Figura 5.3 Impacto da variabilidade de processo na tecnologia LP _____	46
Figura 5.4 Impacto da variabilidade de tensão na tecnologia HP _____	47
Figura 5.5 Impacto da variabilidade de tensão na tecnologia LP _____	47

Figura 5.6 Impacto da variabilidade de temperatura, tecnologia HP nos (a) atrasos, (b) potência total, (c) corrente total e (d) RSNM _____	48
Figura 5.7 Impacto da variabilidade de temperatura, tecnologia LP nos (a) atrasos, (b) potência total, (c) corrente total e (d) RSNM. _____	50
Figura 5.8 Ação do envelhecimento por BTI (a) nos atrasos, (b) potência total e corrente estática na tecnologia HP _____	51
Figura 5.9 Envelhecimento por BTI nas margens de ruído na a tecnologia HP _____	52
Figura 5.10 Ação do envelhecimento por BTI (a) nos atrasos, (b) potência total e corrente estática na tecnologia LP _____	53
Figura 5.11 Ação do envelhecimento por BTI nas margens de ruído na tecnologia LP. _____	54

**LISTA DE TABELAS**

Tabela 3.1 Resumo da abordagem realizada nos trabalhos citados. _____	29
Tabela 4.1 Dimensionamento das células SRAM _____	33
Tabela 5.1 Resultados em condição nominal, tecnologia HP _____	42
Tabela 5.2 Resultados em condição nominal, tecnologia LP _____	43
Tabela 5.3 Impacto da variabilidade de processo, tecnologia HP _____	44
Tabela 5.4 Impacto da variabilidade de processo, tecnologia LP _____	45

## LISTA DE ABREVIATURAS E SIGLAS

BL	<i>Bitline</i>
BLB	<i>Complementary Bitline</i>
BTI	<i>Bias Temperature Instability</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CR	<i>Cell-Ratio</i>
LER	<i>Line-Edge Roughness</i>
LET	<i>Linear Energy Transfer</i>
NBTI	<i>Negative Bias Temperature Instability</i>
NMOS	<i>Negative Metal Oxide Semiconductor</i>
PBTI	<i>Positive Bias Temperature Instability</i>
PMOS	<i>Positive Metal Oxide Semiconductor</i>
PR	<i>Pull-up Rate</i>
PVT	<i>Process, Variability, Temperature</i>
RDF	<i>Random Dopant Fluctuations</i>
RTN	<i>Random Telegraph Noise</i>
SEE	<i>Single-Event Effects</i>
SEU	<i>Single-Event Upset</i>
SoC	<i>System on Chip</i>
VLSI	<i>Very-Large-Scale Integration</i>



## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> _____	<b>11</b>
<b>2</b>	<b>DESAFIOS EM TECNOLOGIAS NANOMÉTRICAS</b> _____	<b>14</b>
<b>2.1</b>	<b>Variabilidade PVT</b> _____	<b>15</b>
<b>2.2</b>	<b>Envelhecimento por BTI</b> _____	<b>17</b>
<b>2.3</b>	<b>Outros efeitos relevantes</b> _____	<b>18</b>
<b>3</b>	<b>PROJETO DE MEMÓRIAS SRAM</b> _____	<b>20</b>
<b>4</b>	<b>METODOLOGIA</b> _____	<b>30</b>
<b>4.1</b>	<b>Metodologia de avaliação dos efeitos na tecnologia de 16nm</b> _____	<b>32</b>
4.1.1	Características de implementação das células 6T, 8T e 9T _____	32
4.1.2	Caracterização dos atrasos _____	33
4.1.3	Caracterização das margens de ruído _____	34
4.1.4	Caracterização de potência _____	36
4.1.5	Experimentos para avaliação de variabilidade PVT _____	37
4.1.6	Experimentos para avaliação de efeitos de envelhecimento _____	38
<b>5</b>	<b>RESULTADOS</b> _____	<b>39</b>
<b>5.1</b>	<b>Impacto da variabilidade, radiação e envelhecimento em tecnologias nanométricas</b> 39	
<b>5.2</b>	<b>Comparação da robustez a variabilidade e envelhecimento</b> _____	<b>42</b>
<b>6</b>	<b>CONCLUSÕES</b> _____	<b>56</b>
<b>7</b>	<b>REFERÊNCIAS</b> _____	<b>58</b>
	<b>ANEXOS</b> _____	<b>63</b>

## RESUMO

Sistemas computacionais necessitam armazenar dados com desempenho adequado. Para alcançar este objetivo é necessário a utilização de uma hierarquia de memória, para combinar o uso de memórias de alta velocidade com memórias de alta capacidade e baixo custo por *bit*. Este trabalho é focado no estudo de memórias SRAM (*Static Random Access Memory*), que estão localizadas no topo da hierarquia de memória, que permitem o acesso aos dados em alta velocidade por serem fabricadas na mesma tecnologia do processador.

Memórias SRAM permitem o armazenamento de dados enquanto o sistema estiver conectado a alimentação. Este tipo de memória é projetado em estruturas de blocos, que por sua vez são um conjunto de colunas que conectam  $n$  células aos circuitos de escrita, leitura e pré-carga. A célula é o componente que armazena dados, sendo que cada uma armazena 1 *bit*.

A evolução tecnológica possibilitou a redução dos transistores e conseqüentemente aumentou o seu desempenho assim como reduziu a potência destes dispositivos. Na atual geração de circuitos integrados, as dimensões dos transistores chegaram à escala nanométrica. Entretanto, circuitos nessa escala são mais vulneráveis aos efeitos de variabilidade PVT (*Process Voltage Temperature*) e envelhecimento por BTI (*Bias Temperature Instability*). Estes efeitos fazem com que o circuito possa apresentar desvios em relação ao projeto inicialmente definido. Em células de memória SRAM, esses efeitos podem provocar a inversão dos *bits* armazenados, mau funcionamento e até mesmo impossibilitar a escrita e/ou leitura de dados.

Este trabalho tem como objetivo o estudo de três topologias de células de memória SRAM: 6T, 8T e 9T. É investigado o impacto da variabilidade PVT e envelhecimento por BTI no desempenho, robustez e consumo elétrico nas células avaliadas em duas tecnologias: 16n de alto desempenho em tensão nominal e *low power* em regime *near-threshold*.

Os resultados mostram que as células SRAM operando com tensão de alimentação reduzida são mais sensíveis a variabilidade de processo e envelhecimento. Considerando operação com tensão nominal e *near-threshold*, as células 8T e 9T se mostram mais robustas que a célula convencional 6T. No geral, a célula 8T mostrou menor variação diante dos impactos de variabilidade e envelhecimento. Embora a célula 9T apresente um comportamento próximo da 8T na maioria dos casos, justamente por ser uma adaptação da 8T, esta célula apresentou resultados de variabilidade PVT levemente inferior.

Palavras-chave: Células de memória, Nanotecnologia, SRAM.

## ABSTRACT

Computing Systems need to store data with good performance. To achieve this goal is required to use a memory hierarchy to combine fast technologies with high number of bits and cheap cost per bit memories. This work is focused in SRAM memories that are made in the same technology of the processor which allows to have high performance.

SRAM (Static Random Access Memory) allows the data storage while the system is connected to the power supply. This kind of memory is organized in block structures that are formed by various columns with  $n$  cells connected in bitlines with write driver, read driver and precharge circuit. Each cell stores a single bit.

Technological evolution promoted transistors reducing and consequently increased its performance and reduced its power consumption. In modern integrated circuits, transistors sizing reached nanometric scale. However, circuits in that scale are more vulnerable to PVT variability, BTI aging and radiation by SEU. All these effects can make deviations in initial design expectation. In SRAM memory cells, it can provoke bit-flips, malfunctioning and even impede writing and/or reading data from memory.

This work objective is the evaluation of 1-bit SRAM cells 6T, 8T and 9T. The present work investigates the impact of PVT variability, BTI aging and SEU on performance, robustness, and power of evaluated cells in two technologies: 16n high performance at nominal voltage and low power at near-threshold regime.

Results show that SRAM cells at lower voltages show higher sensibility to variability and aging. Considering near-threshold and nominal operation 8T and 9T cells show higher tolerance to these effects than conventional 6T cell. In general, 8T cell showed smaller variation under variability and aging impact. Despite the 9T cell presented behavior close to 8T cell, precisely because it is an adaptation of 8T cell, this cell presents variability PVT results slight lower.

Keywords: Memory cells, Nanotechnology, SRAM.

## 1 INTRODUÇÃO

Atualmente, a sociedade está cercada de dispositivos que utilizam dispositivos computacionais para executar diversas tarefas, desde o controle das etapas de lavagem de máquinas de lavar roupas, temporizadores de microondas, controle de temperatura de geladeiras, até dispositivos como celulares e computadores. Para efetuar tais operações, são necessários circuitos que possuem a capacidade de armazenar e processar informações dentro de um determinado limite de tempo para cada aplicação. Para desempenhar esta função, são utilizados circuitos integrados, que possuem desempenho e consumo de energia adequados, aliados a um baixo valor de fabricação quando produzidos em larga escala. No decorrer das últimas décadas, estes circuitos foram miniaturizados, possibilitando o aumento de suas funcionalidades, aumento de desempenho e redução da potência por unidade de área e sem grande alteração no preço final do circuito.

A mininiaturização dos circuitos integrados possibilitou o aumento no desempenho de processamento, dessa forma, o tempo de execução dos dados passou a ser muito menor que o tempo de acesso à memória. Devido a isso, foi necessário aumentar a capacidade das memórias para compensar a diferença entre processamento e acesso (ROY; ISLAM, 2015). Segundo a lei de Nathan, os programas são como gás e se expandem até que ocupem todo um container (STALLINGS, 2012). Logo, o aumento da capacidade de armazenamento de dados e instruções se tornou uma necessidade tanto em questão de desempenho quanto em possibilidade de avanços a nível de *software*.

No projeto de um sistema de memória, a relação entre capacidade, desempenho e custo por *bit* é de difícil otimização, porque quanto maior o desempenho, maior o custo por *bit*, que acaba limitando a capacidade de *bits* da memória. Estes fatores são alguns dos mais importantes no projeto de uma tecnologia de memória. Para atingir uma boa relação entre estes fatores, é adotado o conceito de organização de memória em forma de hierarquia, aproveitando o melhor de cada tecnologia em cada nível. As memórias do topo da hierarquia são as mais rápidas, constituindo os registradores internos do sistema. Estas memórias apresentam alto custo por *bit*, o que limita a capacidade. A memória principal é utilizada para armazenar todos os processos em execução pelo sistema e deve ter uma relação entre desempenho, capacidade e custo por *bit* muito equilibrada. As memórias apresentadas na base da pirâmide possuem menor custo por *bit* o que possibilita a oferta de grande capacidade e são utilizados para armazenamento de dados e unidades de *backup*. As memórias para armazenamento em massa devem ter o menor

custo por *bit* possível para uma boa relação custo-capacidade. O equilíbrio na hierarquia é crucial para a obtenção de sistemas de alto desempenho e alta capacidade a um custo acessível.

Este trabalho é focado na análise de células de memórias SRAM (*Static Random Access Memory*), frequentemente utilizadas em memórias *cache*. Uma célula de memória SRAM é um arranjo de transistores que possibilita o armazenamento de um *bit* enquanto houver alimentação do circuito. Atualmente, este tipo de memória geralmente é fabricado no mesmo circuito integrado que o processador ou *System on Chip* (SoC), que possui todas as funcionalidades de um sistema computacional em um único *chip* e pode ser encontrado em circuitos que desempenham tarefas específicas e possuem demanda por alto desempenho ou baixo consumo de energia. Com a redução do tamanho dos transistores, a área de cada célula de memória SRAM reduziu, possibilitando o aumento da capacidade deste tipo de memória. Em circuitos VLSI (*Very Large-Scale Integration*) de alto desempenho, memórias SRAM podem ocupar mais de 70% da área total (SAMANDARI-RAD; HUGHEY, 2016).

Diante da evolução dos circuitos integrados e a contínua necessidade por armazenamento e desempenho, o estudo das células de memória SRAM é um fator de grande importância para a evolução dos sistemas computacionais. A célula utilizada irá definir a área total ocupada pela SRAM ou a densidade máxima de células em uma mesma área. A análise de células de memória inclui os seguintes aspectos: área, energia consumida, desempenho, robustez e efeitos das mais diversas fontes de variabilidade. As células devem ser projetadas de forma a satisfazerem as necessidades de cada projeto, ou seja, dependendo do projeto são necessárias células com menores atrasos, com menor consumo de energia ou uma combinação destes fatores. Assim, existe na literatura uma grande variedade de circuitos propostos para a SRAM. Dentre todas as diferentes propostas, a célula 6T (PAVLOV; SACHDEV; 2009) é a célula mais utilizada na indústria. Outras topologias observadas na literatura incluem a célula 8T (CHANG et al., 2005), a célula 10T *Single Ended* (CALHOUN; CHANDRAKASAN, 2007) e 10T *Differential* (CHANG et al., 2009) propostas para operar em circuitos com baixa tensão de alimentação, a célula 9T *Half-Select-Free* que reduz o problema das células que estão conectadas às *bitlines* sem realizar uma operação (SHIN; CHOI; PARK, 2017), a célula 4T *Loadless* (SANDEEP; DESHPANDE; ASWATHA, 2009) para a redução da área por célula e a célula 13T *Radiation Hardened* (ATIAS et al., 2016) para aplicações espaciais que necessitam de maior resistência a falhas de radiação. As células citadas são apenas uma pequena parcela das dezenas encontradas na literatura.

Uma célula de memória SRAM é considerada funcional quando ela consegue escrever, ler e armazenar um dado enquanto o circuito estiver em operação. Entretanto, a evolução da

tecnologia traz novos desafios que afetam o projeto de memórias SRAM. Dentre estes desafios, destacam-se os efeitos da variabilidade de processo, os efeitos de envelhecimento e o impacto provocado por colisões de partículas de radiação nos circuitos integrados nanométricos. Outro aspecto cada vez mais importante é considerar alternativas para a redução do consumo energético de memórias, por exemplo, explorando o comportamento das células operando na região de *near-threshold*. Assim, é necessário estimar o impacto destes fatores para obter-se memórias SRAM funcionais e dentro dos requerimentos especificados.

Neste contexto este trabalho destaca os efeitos da variabilidade e em células de memória SRAM projetadas em tecnologias nanométricas, demonstrando assim o problema a ser tratado, a metodologia adotada para avaliar estes efeitos e os resultados e conclusões obtidas através da aplicação das técnicas utilizadas. Este trabalho apresenta as análises realizadas para verificar o comportamento de células SRAM, observando o desempenho através dos: 1) tempos de escrita e leitura; 2) robustez utilizando as margens de ruído estático; e 3) a potência total e o consumo estático. Essas características serão avaliadas em circuitos de alto desempenho com tensão de alimentação nominal e circuitos *low power* com tensão *near-threshold*.

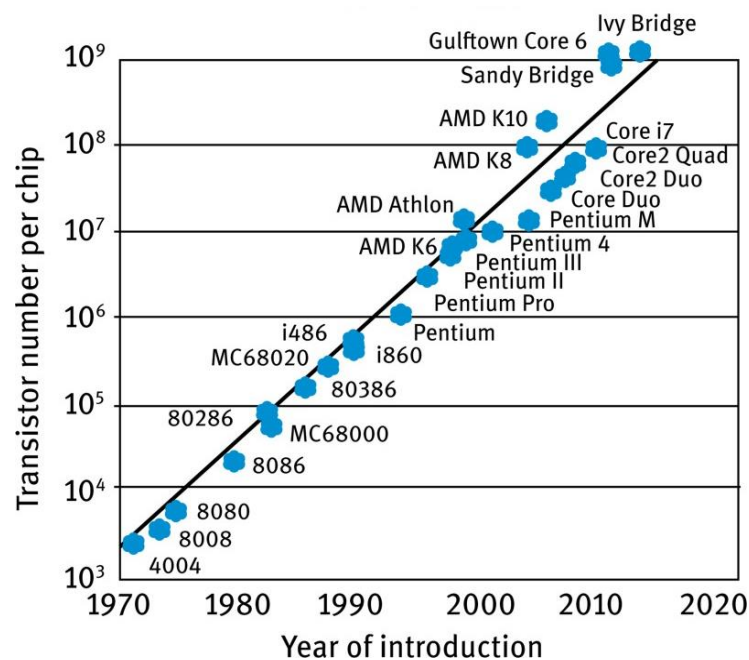
Deste modo, o objetivo final desta dissertação é: Avaliar dos efeitos de variabilidade e envelhecimento em células de memória SRAM em tecnologias nanométricas em circuitos de alto desempenho e *low power*. Dessa forma, identifica-se quais células apresentam características de desempenho, potência e robustez são mais apropriadas para cada tipo de projeto desejado.

O texto está organizado da seguinte forma: No Capítulo 1 foram contextualizados o objeto de estudo e seus desafios. O Capítulo 2 mostra o referencial teórico, apresentando os principais conceitos associados aos desafios de projeto de circuitos integrados em escala nanométrica, introduzindo os conceitos de variabilidade PVT e envelhecimento por BTI. O Capítulo 3 apresenta aspectos importantes relacionados ao projeto de memórias SRAM. O Capítulo 4 mostra a estrutura para a concepção deste trabalho e modelagem da variabilidade PVT e envelhecimento. O Capítulo 5 apresenta a análise dos resultados parcialmente obtidos. O Capítulo 6 traz a conclusão do trabalho desenvolvido, proposta de dissertação e cronograma para as próximas etapas.

## 2 DESAFIOS EM TECNOLOGIAS NANOMÉTRICAS

No decorrer das últimas décadas, as dimensões dos transistores em circuitos integrados VLSI vem sendo reduzida, chegando à escala nanométrica. A miniaturização do transistor possibilita o aumento da quantidade deles em uma mesma área, acrescentando novas funcionalidades e capacidade de armazenamento das memórias. Outro aspecto importante da miniaturização é o aumento do desempenho e a redução da energia consumida por cada dispositivo. Na Figura 2.1 é mostrada a evolução dos circuitos integrados em relação ao número total de transistores em diversos processadores. Em 1965, Gordon Moore projetou que era economicamente viável dobrar o número de transistores em um circuito integrado em 18 meses, sem aumentar o custo (MOORE, 1965). A previsão de Moore virou uma meta da indústria de semicondutores e passou a ser chamada de Lei de Moore, impulsionando a evolução dos dispositivos.

Figura 2.1 Lei de Moore



Fonte: KONIG; OSTENDORF, 2015.

A redução das dimensões dos transistores aumenta o desempenho e reduz a potência por dispositivo. Porém, essa redução traz novos desafios, incluindo o aumento do consumo estático devido à redução do canal do transistor, as margens de erro no processo de fabricação aumentam diante do tamanho da dimensão mínima dispositivo se aproximar cada vez mais ao tamanho de um átomo de silício. As dificuldades no processo de manufatura podem ocasionar em falhas permanentes nos dispositivos. Ao reduzir o tamanho do transistor a tensão de alimentação também é reduzida, isso torna o dispositivo mais sensível a falhas transientes. Outro aspecto

que se torna relevante é a redução do desempenho por ação do envelhecimento. A cada redução nas dimensões dos transistores, surgem novas incertezas quanto ao dispositivo que será impresso, dessa forma é necessário estimar todos esses fatores e possíveis consequências.

Neste Capítulo serão apresentados os principais conceitos relacionados aos efeitos da variabilidade processo, tensão e temperatura, os efeitos de envelhecimento provocados pelo efeito BTI (*Bias Temperature Instability*) e, por fim, outros efeitos relevantes.

## 2.1 Variabilidade PVT

Com o alcance da escala nanométrica, a litografia passou a ser um grande desafio para a continuação da evolução dos circuitos integrados, uma vez que a largura de onda adotada no processo de litografia passou a ser maior que a escala de fabricação dos transistores (BERNSTEIN et al., 2006). Isto introduz variações geométricas que afetam as características elétricas dos dispositivos, mesmo quando fabricados em um mesmo *die*. Diante dos desafios de fabricação, os efeitos de variabilidade se tornaram um parâmetro importante a ser estimado no projeto de circuitos integrados nanométricos. Tecnologias abaixo de 65nm possuem precisões paramétricas exponencialmente mais difíceis devido à mecânica quântica (BERNSTEIN et al., 2006). Dessa forma, quanto menor o dispositivo, maior serão os efeitos da variabilidade.

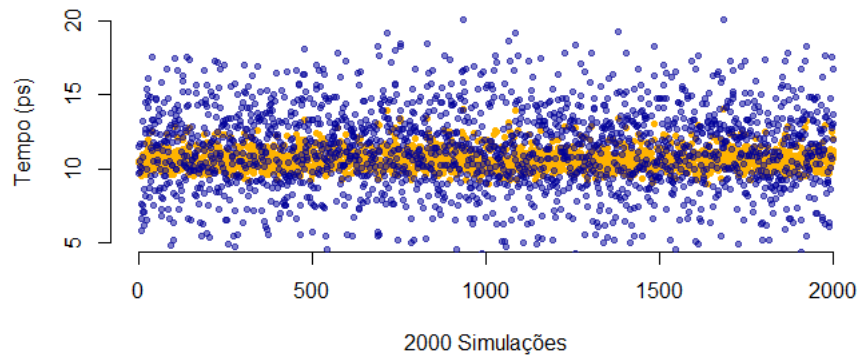
A variabilidade provoca alterações nas resistências e capacitâncias dos dispositivos, impactando principalmente a tensão de limiar dos transistores. Conseqüentemente, afeta os tempos de atrasos, consumo de energia e robustez de circuitos nanométricos. Devido à alta densidade de células SRAM, estas variações podem impactar diretamente o desempenho e consumo elétrico de todo o circuito. A Figura 2.22 apresenta um gráfico de dispersão ilustrando o impacto da variabilidade de processo nos tempos de escrita e leitura de uma célula SRAM 6T na tecnologia de 16nm em tensão nominal e tecnologia de alto desempenho. Neste exemplo, observa-se que os efeitos da variabilidade de processo podem se manifestar diferentemente para cada métrica observada, sendo neste caso o tempo de leitura, em azul na figura, o que apresenta maior dispersão no decorrer de 2000 simulações.

A principal fonte de variabilidade em circuitos em escala nanométrica é a de processo. Os principais fatores que provocam a variabilidade de processo são: *Random Dopant Fluctuations* (RDF), *Line Edge Roughness* (LER) e *Random Telegraph Noise* (RTN), ilustradas na Figura 2.33. A RDF ocorre devido a diferença no número de portadores de carga no transistor como ilustra a Figura 2.03 (a). Em transistores com dimensões reduzidas, há um número menor de portadores de carga e a diferença no número total de portadores se torna mais significativa



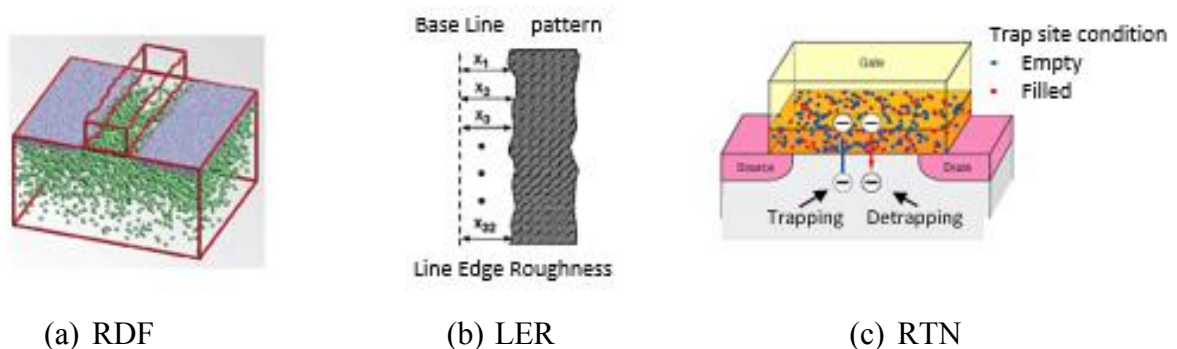
entre circuitos em uma mesma tecnologia de fabricação. A RDF é a fonte principal de variação na tensão de limiar (LI et al., 2010).

Figura 2.2 Dispersão dos tempos de escrita (pontos amarelos) e leitura (pontos azuis) diante dos efeitos da variabilidade



Fonte: Os autores.

Figura 2.3 Efeitos que influenciam nas características elétricas dos dispositivos



(a) RDF

(b) LER

(c) RTN

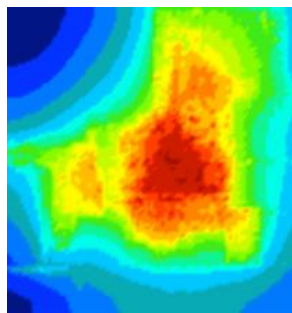
Fonte: ABU-RAHMA et al., 2013.

A LER ocorre devido a imperfeição geométrica nas bordas do *gate*, como ilustra a Figura 2.3 (b). Como o *gate* controla a passagem de corrente pelo transistor, essas alterações afetam o campo elétrico do dispositivo, impactando a tensão de *threshold* e a corrente máxima. A RTN ocorre devido a imperfeições no óxido que isola o *gate* do canal, como ilustra a Figura 2.32 (c). Estas imperfeições criam armadilhas nas quais os portadores ficam presos durante a passagem de corrente afetando a quantidade de portadores que passam pelo canal e alterações no campo elétrico entre o *gate* e o canal. Em (KARAPETYAN; SCHLICHTMANN, 2017) é avaliado o impacto da variabilidade de processo em células SRAM utilizando transistores FinFET. A variabilidade de processo em circuito com baixa tensão de alimentação é avaliada em (SAMANDARI-RAD; HUGHEY, 2016).

A fabricação de circuitos em escala nanométrica afeta tanto os dispositivos quanto as interconexões entre eles. Variações na espessura do metal que conecta diferentes dispositivos afeta a resistência e conseqüentemente pode ser um dos fatores que impacta em variações na

tensão e temperatura do circuito. Estas variações afetam diretamente a corrente de saturação e conseqüentemente o desempenho e o consumo de energia de cada dispositivo, além da potência associada à resistência elétrica das interconexões. A Figura 2.44 ilustra como a temperatura pode se distribuir em um circuito integrado. A temperatura pode ser diferente entre os blocos de memória SRAM, provocando diferenças no desempenho, potência e robustez entre células de memória de diferentes blocos. Em (YABUUCHI et al., 2007) e (ISLAM; HASAN, 2012) são estimados os efeitos de variações de temperatura em SRAMs, além de propor técnicas para avaliar e reduzir o seu impacto.

Figura 2.4 Variações de temperatura em um circuito integrado



Fonte: ABU-RAHMA et al., 2013.

A redução da tensão dos circuitos, aliado a variações de espessura das vias de metal pode produzir variações na tensão que chega aos circuitos. Estas variações provocam alterações principalmente nos atrasos e consumo de potência dos circuitos (ALMEIDA et al., 2018). Dependendo da variação, pode gerar alterações que fazem com que o circuito tenha desempenho ou consumo de energia diferentes das necessidades de determinado projeto. Este tipo de variação mais a variabilidade de processo e temperatura é conhecido como variabilidade PVT (*Process, Voltage and Temperature*). Em (ISLAM; HASAN, 2012) é feito um estudo deste tipo de análise em células SRAM e seu impacto nas características relacionadas ao consumo de energia e robustez.

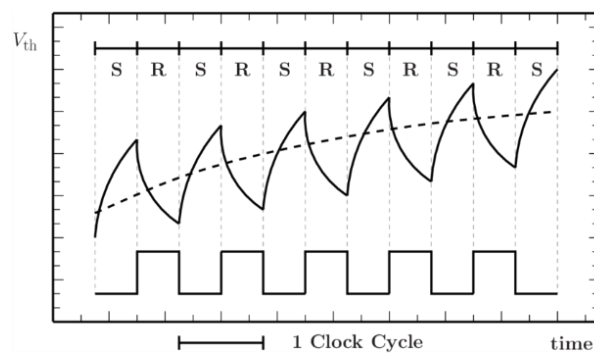
## 2.2 Envelhecimento por BTI

Com a redução do transistor, a camada de óxido entre o *gate* e o canal também é reduzida. O uso do transistor faz com que o campo elétrico do óxido aumente gradualmente. Isso faz com que ocorra uma degradação do dispositivo devido ao seu envelhecimento. A degradação ocorre devido aos efeitos de *Bias Temperature Instability* (BTI) e afeta diretamente o tempo de vida útil do dispositivo. Quando o BTI ocorre em dispositivos PMOS é chamado de NBTI e em dispositivos NMOS é chamado de PBTI. Ambos causam o aumento da tensão de

limiar dos transistores (JIN et al., 2018) e conseqüentemente a redução do desempenho do dispositivo.

O BTI ocorre devido ao estresse causado nos transistores quando estão conduzindo, ou seja, quando a tensão no *gate* do transistor NMOS está em '1' e a tensão do gate do PMOS está em '0'. Quando o transistor não está conduzindo, ele passa para a fase de recuperação (BUTZEN et al., 2013). A Figura 2.55 ilustra a variação da tensão de limiar  $V_{th}$  no decorrer do tempo, variando entre fases de estresse e recuperação de um transistor. Porém, a fase de recuperação causa uma recuperação parcial e o uso contínuo faz com que a tensão de limiar aumente, degradando o dispositivo. O aumento da tensão de limiar impacta diretamente o seu desempenho, que reduz com o passar do tempo.

Figura 2.5 Efeitos de BTI na tensão de limiar do transistor



Fonte: HU et al., 2016.

Em célula de memória SRAM os efeitos de BTI podem provocar alterações na robustez da célula de memória. Os transistores que compõem os inversores internos da célula tendem a permanecer ativados por muito mais tempo que os transistores de passagem. Desta forma, a principal consequência do envelhecimento em células SRAM é a redução da robustez de leitura pelo fato dos transistores da rede *pull-down* dos inversores ficarem mais lentos que os transistores de passagem.

### 2.3 Outros efeitos relevantes

A avaliação de circuitos em escala nanométrica deve considerar outros efeitos além dos já apontados. Um aspecto relevante no projeto de circuitos integrados é o consumo elétrico do circuito. A redução do canal dos transistores aumentou o consumo estático, que ocorre devido a corrente de fuga, esta característica indesejável causa o consumo elétrico de dispositivos que idealmente não deveriam permitir a passagem de corrente elétrica (ROY; MUKHOPADHYAY; MAHMOODI-MEIMAND, 2003). Em células de memória, o consumo estático é um grave problema devido a sua densidade nos circuitos integrados atuais.

Além disso, aplicações portáteis necessitam de memórias com menor potência (SAMANDARI-RAD; HUGHEY, 2016), para aumentar a autonomia do dispositivo sem a necessidade de carregar a todo momento. Para estes casos, uma das opções é aplicar a técnica de *voltage scaling*, que consiste em reduzir a tensão de alimentação abaixo da tensão nominal de determinada tecnologia. Entretanto, a redução da tensão da tensão de memórias SRAM reduz também o desempenho de forma exponencial (ALMEIDA; BUTZEN; MEINHARDT, 2016).

Circuitos de memória que operam na região *near-threshold* tem sua operação limitada devido aos efeitos da variabilidade (KULKARNI; KIM; ROY; 2007). Nesta região, a tendência é haver maiores variações dos valores médios em relação ao nominal de suas características. Dessa forma, o impacto em células de memória que operam na região *near-threshold*, além de afetar o desempenho, consumo elétrico e a robustez, pode impedir que a célula de memória funcione adequadamente.

Além das falhas transientes devido à radiação, células de memória também precisam considerar outros tipos de falhas. Em tecnologias nanométricas, passaram a ser mais frequentes em circuitos atuais a ocorrência de falhas do tipo *resistive bridge*, decorrentes de um caminho resistivo indesejado entre os nodos dos circuitos, e *resistive open*, decorrentes do efeito resistivo devido a imperfeições na criação das vias (MARTINS, 2016). Também são relevantes os efeitos de falhas que podem comprometer o funcionamento de um circuito de forma permanente, por exemplo, de falhas *stuck-open*, que faz com que o transistor fique permanentemente aberto, e *stuck-on*, no qual o transistor fica permanentemente fechado (WADSACK, 1978). Em células de memória, falhas *stuck-on* e *stuck-open* podem fazer que uma célula fique permanentemente armazenando um valor fixo, ou que o valor seja modificado durante um processo de leitura (MARQUES et al., 2018).

Dessa forma, verifica-se a necessidade de analisar os impactos de feitos de variabilidade e envelhecimento em tecnologias nanométricas. Como o tempo de acesso da memória é muito maior que o tempo de processamento de dados, uma memória com desvios em seu desempenho pode impactar no desempenho de todo o sistema. Em relação à potência, diante da densidade de células por área e o seu número total em um circuito integrado, sua variação pode trazer impactos diretamente no consumo total do sistema e na dissipação de calor em circuitos de alto desempenho. A robustez se torna um problema em SRAMs projetadas com baixa tensão de operação e pode gerar células defeituosas. Portanto, todos os efeitos abordados nesta seção interferem diretamente na funcionalidade tanto da memória SRAM quanto no sistema como um todo.

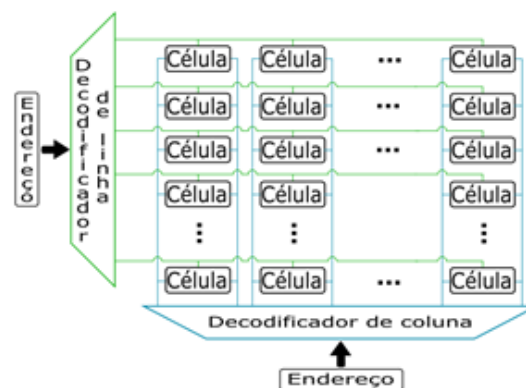
### 3 PROJETO DE MEMÓRIAS SRAM

Nesta seção serão abordadas as principais características de células SRAM, mostrando o seu funcionamento, organização e um compilado de células de memória para diferentes tipos de aplicações.

#### 3.1 Organização da SRAM

A memória SRAM consiste em um dispositivo no qual os dados e instruções são armazenados em células de memória dispostas em palavras de  $n$  bits. Para garantir o correto funcionamento da memória, existe um conjunto de sinais de controle, destacando-se os sinais de habilitação de leitura ou escrita. Memórias SRAM são organizadas em  $m$  blocos de células de memória, com a menor área possível para otimizar sua capacidade total. A Figura 3.1 apresenta um modelo simplificado de como é organizado um bloco de células de memória. Cada linha pode conter uma ou mais palavras de memória. As colunas contêm diversas células de palavras diferentes, porém elas só podem ser acessadas para escrita ou leitura individualmente. As colunas podem ser utilizadas para a leitura em paralelo dos bits de uma palavra. Em cada bloco há circuitos decodificadores de linha e coluna que possibilitam o acesso apenas do bit ou palavra desejada.

Figura 3.1 Bloco de células SRAM



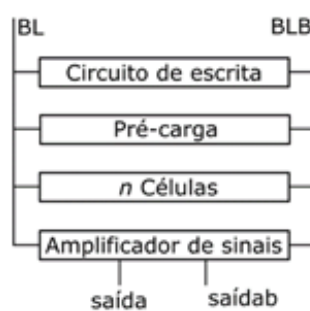
Fonte: Os autores.

Blocos de memória SRAM são compostos por colunas que costumam conter entre 64 e 256 células de memória (PAVLOV; SACHDEV, 2009). A Figura 3.2 apresenta o uma coluna contendo os circuitos básicos para o acesso e armazenamento de dados. Ela é composta pelos circuitos de escrita, pré-carga e amplificador de sinais, que possibilita a leitura de um valor previamente armazenado, além de um número  $n$  de células. Todos esses circuitos são

conectados entre si através das *bitlines*  $BL$  e  $BLB$ , que possibilitam a interação entre os circuitos para a escrita ou leitura de dados em determinada célula. O número de células e circuitos que compõem uma coluna pode variar diante das definições de *projeto* e das células utilizadas.

Memórias SRAM armazenam dados em estruturas chamadas células de memória. Cada célula geralmente armazena 1 *bit*, dessa forma podem ser necessárias milhões dessas estruturas em um circuito integrado moderno. Estas células precisam ser pequenas, ter alto desempenho e boa robustez, que é a capacidade de manter os *bits* armazenados de forma que não haja perda de informação. Células de memória possuem três estados: *hold* (manutenção do *bit* armazenado), escrita e leitura.

Figura 3.2 Estrutura básica de uma coluna de células.

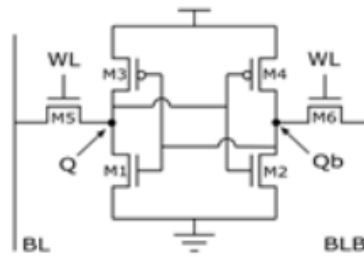


Fonte: Os autores.

### 3.2 Célula 6T

A célula mais utilizada na indústria é a 6T (PAVLOV; SACHDEV, 2009) ilustrada na Figura 3.3. Devido a necessidade por uma memória de alta capacidade, a área é o principal fator para a escolha de uma célula. Até então, a célula 6T consegue melhor relação entre área, desempenho, consumo elétrico e estabilidade. Esta célula é composta por seis transistores, quatro deles compõem dois inversores CMOS ( $M1-M3$  e  $M2-M4$ ) e os outros dois são utilizados como transistores de passagem ( $M5$  e  $M6$ ). O conteúdo é armazenado no nodo  $Q$ , que é acessado pela *bitline*  $BL$  através do transistor de passagem  $M5$ . Em  $Qb$  é armazenado o complemento lógico de  $Q$ , acessado pela *bitline*  $BLB$  através do transistor  $M6$ . O sinal *wordline* ( $WL$ ) habilita o acesso à célula para os processos de escrita ou leitura. No caso de acesso de uma palavra de memória, a *wordline* pode permitir acesso a várias colunas simultaneamente, possibilitando o acesso de todos os bits de uma palavra de forma paralela.

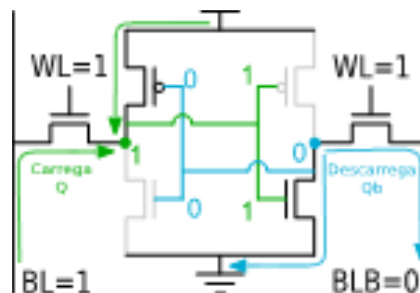
Figura 3.3 Diagrama elétrico da célula 6T



Fonte: PAVLOV; SACHDEV, 2009

O processo de escrita de um valor em uma célula necessita de um circuito de escrita, que possibilita a gravação do *bit* desejado. A escrita ocorre ao aplicar a tensão correspondente ao nível lógico do *bit* a ser escrito na *bitline* *BL*, e seu complemento lógico em *BLB*. Após, a célula desejada é acessada através da sua *wordline*. A tensão aplicada em *BL* força o nó *Q* a assumir esse valor enquanto que *BLB* força o nó *Qb*, como exemplificado na Figura 3.4. Assim que a célula estiver com o seu valor gravado, a *wordline* deve ser desativada. A retroalimentação dos inversores CMOS garantem a manutenção do valor até que seja sobrescrito ou que seja interrompida a alimentação dos inversores.

Figura 3.4 Escrita do valor '1' na célula 6T

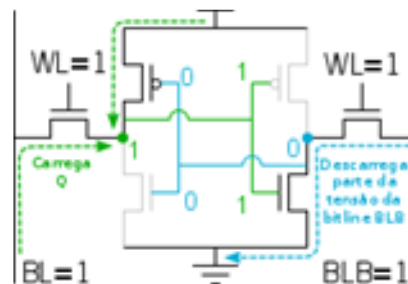


Fonte: Os autores.

A leitura de um valor armazenado em uma célula de memória 6T, assim como em outras células que não possuam uma *bitline* exclusiva para a leitura, depende de dois circuitos: pré-carga e amplificador diferencial. A pré-carga mantém *BL* e *BLB* pré-carregadas enquanto todas as células estão em *hold*. Para realizar a leitura, as *bitlines* devem estar pré-carregadas e equalizadas. Depois, é necessário habilitar o acesso à célula desejada através de sua *wordline*. O nó que estiver armazenando o valor '0' irá descarregar parte da tensão da *bitline* conectada a ele, enquanto que a outra *bitline* mantém sua tensão em '1', como ilustra a Figura 3.5. Quando houver a diferença de tensão necessária entre as *bitlines*, a *wordline* da célula é desativada e o

amplificador de sinais é ativado. O amplificador de sinais recebe a tensão das *bitlines* e força a *bitline* que foi parcialmente descarregada a descarregar completamente, enquanto que a que possui tensão maior se mantém carregada. Dessa forma, ele verifica qual valor estava armazenado em cada nodo da célula de memória e fornece o valor referente ao nodo  $Q$ .

Figura 3.5 Leitura do valor '1' na célula 6T



Fonte: Os autores.

Um fator muito importante no projeto de células SRAM é o dimensionamento dos transistores e sua influência no desempenho e estabilidade. Em uma célula convencional 6T, o dimensionamento pode ser efetuado observando os parâmetros CR (*Cell Ratio*) e PR (*Pull-Up Ratio*) (RABAEY; CHANDRAKASAN; NIKOLIC, 2003). CR é a relação entre os transistores da rede *pull-down* e os transistores de passagem, enquanto que PR é a relação entre os transistores da rede *pull-up* e os transistores de passagem. O valor de CR é definido como  $CR = W_{M1} / W_{M5}$ , esta relação impacta principalmente na estabilidade e desempenho de leitura. Para manter a célula robusta e evitar que o *bit* armazenado seja corrompido, CR deve ser maior ou igual a 1. O valor de PR é definido como  $PR = W_{M3} / W_{M5}$  e têm influência na estabilidade e desempenho de escrita e preferencialmente deve ser igual ou menor que 1, para minimizar a área total da célula de memória.

### 3.3 Células SRAM para aplicações específicas

Novas células vêm sendo propostas nos últimos anos, principalmente devido a necessidade de memórias com menor consumo para aplicações que utilizam baterias como fonte de alimentação ou maior resistência à variabilidade, envelhecimento e outros fatores relacionados à escala nanométrica.

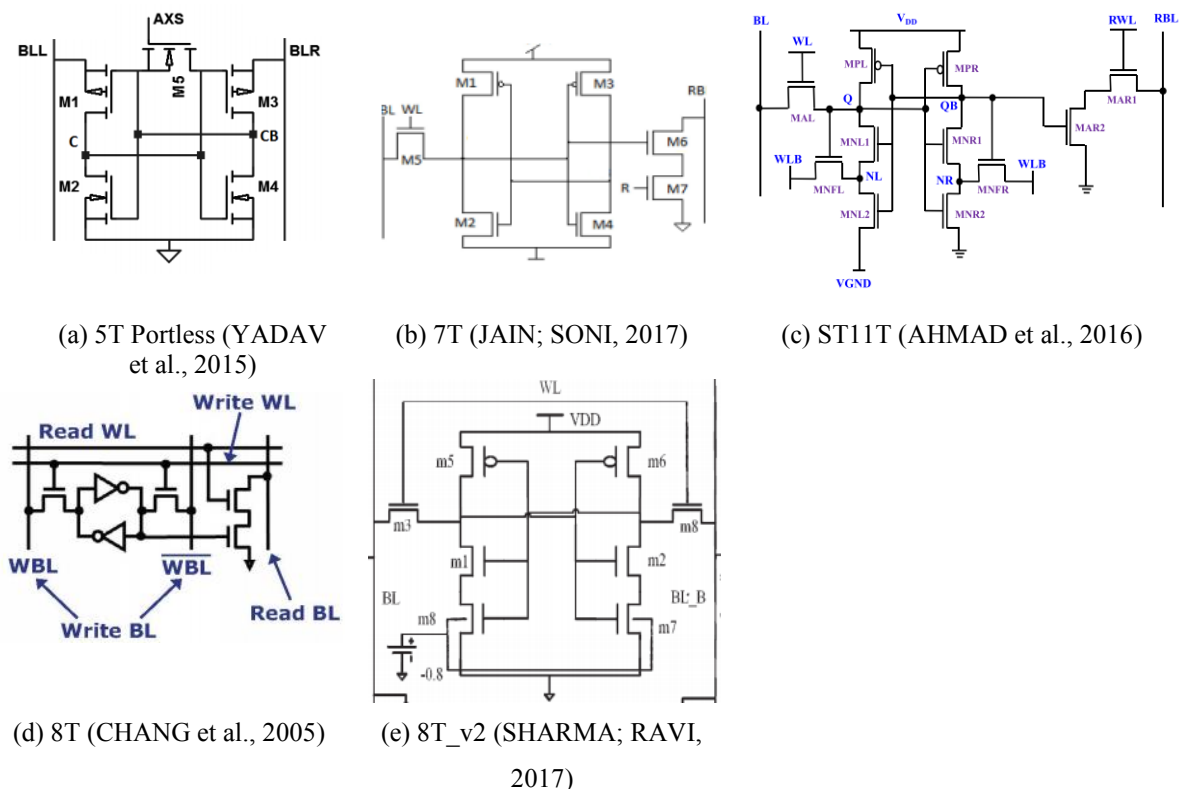
A célula 5T *Portless* (YADAV et al., 2015) apresentada na Figura 3.6 (a) é uma alternativa para a redução de área para circuitos de alto desempenho. A célula 7T proposta por (JAIN; SONI, 2017) apresentada na Figura 3.6 (b) foca a redução do consumo total, reduzindo



a potência média durante os processos de leitura e escrita. A célula *Single-Ended Schmitt-Trigger-Based* (AHMAD et al., 2016) mostrada na Figura 3.6 (c) é uma proposta que utiliza a técnica de inversores *Schmitt-Trigger* para reduzir a potência, consumo estático e melhorar as margens de ruído de escrita e leitura. A célula 8T (CHANG et al., 2005) apresentada na Figura 3.6 (d) é uma das mais encontradas na literatura após a 6T, sendo amplamente usada como ponto de comparação para células que operam com baixas tensões de alimentação. Uma pequena modificação na célula 8T\_v2 é proposta em (SHARMA; RAVI, 2017) e promete operar em circuitos *low power* com a maior estabilidade entre as células encontradas na literatura e redução de 66% da potência em relação à célula 8T proposta em (CHANG et al. 2005), seu diagrama elétrico é representado na Figura 3.6 (e).

O impacto da variabilidade PVT em memórias SRAM é avaliado em diversos trabalhos, principalmente em relação à variabilidade de processo. Em (TORRENS et al., 2017) é feito um estudo da relação do dimensionamento mínimo da célula 6T e seu impacto na área, potência, desempenho e estabilidade. O estudo inclui o impacto da variabilidade de processo em células de área mínima. Outro trabalho que relaciona área e impacto da variabilidade é observado em (KARAPETYAN; SCHLICHTMANN, 2017), avaliando este impacto nas margens de ruído, capacidade de descarga das *bitlines* e corrente estática, porém em uma célula 6T projetada com transistores FinFET.

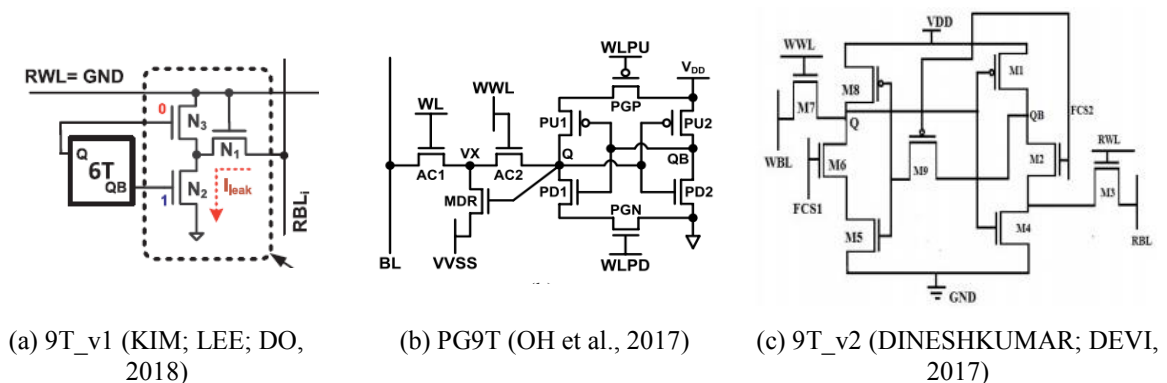
Figura 3.6 – Células de memória 5T Portless, 7T, ST11T, 8T e 8T\_v2.



Em (KIM; LEE; DO, 2018) é proposta uma célula 9T\_v1 com operação na região *near-threshold*, com baixo consumo por acesso e propõe ser robusta a variações PVT, seu diagrama elétrico é apresentado na Figura 3.7. Dadas suas características de baixo consumo em operação NT e por ser proposta para mitigar variabilidade de processo, esta célula é um dos circuitos avaliados neste trabalho e comparado com o funcionamento da células 6T tradicional e 8T da Figura 3.6 (d). A célula *Power-Gated* 9T é apresentada na Figura 3.7 (b) propõe imunidade a *soft errors* e possui apenas uma *bitline* tanto para escrita quanto para a leitura e um mecanismo para evitar descargas desnecessárias de um dos seus nodos (OH et al., 2017). Em (DINESHKUMAR; DEVI, 2017) é proposta uma célula 9T, apresentada na Figura 3.7 (c) tolerante a variações de processo em aplicações *low power*, mas que pode operar em circuitos com tensão nominal reduzindo o consumo de energia em até 91% em relação às células 6T e a 8T proposta por (CHANG et. al, 2005).

Células projetadas para operar em *low power* tendem a criar um mecanismo de leitura que acessa o *bit* armazenado de forma indireta, tentando não causar interferência das *bitlines* sobre os nodos que armazenam os *bits*. Em circuitos que operam em baixas tensões, o tempo de leitura é maior. Caso ocorra um distúrbio em uma das *bitlines* durante a leitura, pode ocorrer a inversão do bit armazenado. Enquanto que em células que possuem este mecanismo, o valor se mantém inalterado.

Figura 3.7 – Células SRAM 9T\_v1, PG9T e 9T\_v2.

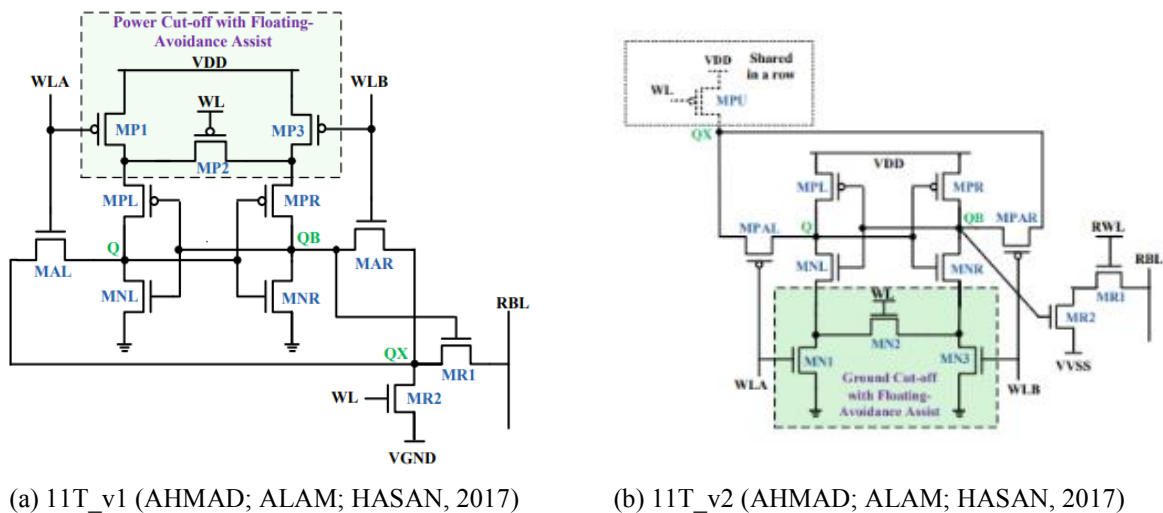


A avaliação dos efeitos de envelhecimento por BTI é observado em diversos trabalhos, nos quais possuem diversas metodologias distintas, mas com resultados próximos. Em (LEE et al., 2017) são avaliados os efeitos de BTI nas margens de ruído de SRAMs projetadas em tecnologia CMOS 20nm e FinFET 20nm, propondo um novo modelo para estimar o envelhecimento. Em (AHMAD; ALAM; HASAN, 2017) são propostas duas células, 11T\_v1 apresentada na Figura 3.8 (a) e a 11T\_v2 na Figura 3.8 (b), que reduzem os distúrbios no

processo de leitura, estas células são avaliadas diante do impacto de BTI. No trabalho realizado por (JIN et al., 2018) é feita a verificação das características e comportamento de BTI na SRAM projetadas na tecnologia FinFET 10nm, observando as variações nas margens de ruído da célula SRAM.

Em projetos que operam em situações críticas de robustez, são necessários circuitos auxiliares e técnicas de projeto para garantir o funcionamento das memórias SRAM. Em (ASYAEI; EBRAHIMI, 2018) é proposto um circuito auxiliar para variar a tensão das *bitlines* dinamicamente para reduzir a potência dissipada, principalmente no estado de *hold*. Em (CHANG et al., 2017) é proposta uma técnica de acesso à célula 6T que utiliza dois sinais de *wordline*, sendo um para cada transistor de passagem e dois sinais terra para os transistores da rede *pull-down*, permitindo a operação com tensões de alimentação abaixo do observado em células 6T projetadas do modo convencional. O impacto da relação entre largura e comprimento dos transistores que compõem a célula 6T, variação da tensão de limiar, leiaute e tensão aplicada nas *wordlines* é avaliado em (GOYAL; TOMAR; GOYAL, 2017). Em (POMPL et al., 2015) é proposta uma técnica para estimar a tensão mínima de operação para células de memória. Técnicas de redução de potência de SRAMs são propostas em (SAMANDARI-RAD; HUGHEY, 2016), considerando o impacto da variabilidade sobre estas técnicas.

Figura 3.8 Células SRAM 11T\_v1 e 11T\_v2.

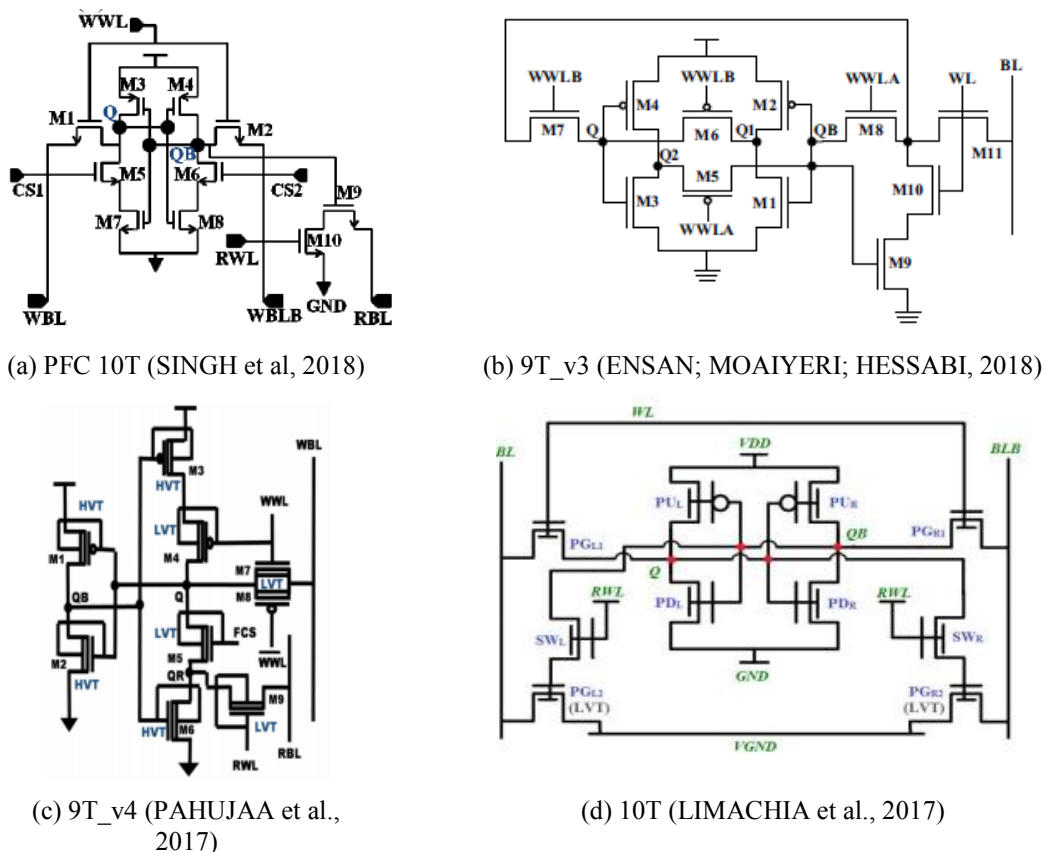


Memórias SRAM são utilizadas para diversas finalidades, sendo que em alguns casos são necessários projetos específicos para atender aos requerimentos de projeto. A compressão de vídeo possui alto consumo de energia, em (KIM; CHANG; LEE, 2018) é proposto um projeto que utiliza células de memória com dimensionamento de acordo com a relevância do

dado na compactação de vídeo. Os dados mais importantes são armazenados em células maiores e mais robustas, enquanto que os dados que não são críticos são armazenados em células menores, reduzindo a área potência. SRAMs podem ser utilizadas em LUTs (*LookUp Table*) de placas FPGA (*Field Programmable Gate Arrays*), a célula PFC 10T (SINGH et al., 2018) foi projetada para melhorar a estabilidade de escrita e leitura e corrente estática em relação às células 6T e 8T (CHANG et al., 2005) em LUTs.

Atualmente, dispositivos FinFET já são fabricados e podem ser utilizados para a concepção de memórias SRAM. Em (ENSAN; MOAIYERI; HESSABI, 2018) é proposta uma célula 11T utilizando FinFETs para operar em near-threshold, propondo maior estabilidade e desempenho de escrita e leitura mesmo em dispositivos com dimensionamento mínimo. Em (PAHUJAA et al., 2017) é proposta uma célula 9T utilizando FinFETs para circuitos *low power*, esta célula foi proposta para alta estabilidade de leitura e escrita mesmo sob a ação de variações de processo e temperatura. Outra proposta que utiliza FinFETs é observada em (LIMACHIA et al., 2017), porém esta é voltada para circuitos de alto desempenho, mas propondo a redução da potência em relação a outras propostas, além de aumentar a RSNM em relação à célula 6T, além de propor alta resistência à variabilidade de processo.

Figura 3.9 Células SRAM PFC 10T, 9T\_v3, 9T\_v4 e 10T.



Para lidar com os problemas encontrados atualmente e novos desafios provenientes da miniaturização, novos tipos de técnicas de projeto de memórias e novos dispositivos vêm sendo propostos. Em (PENG et al., 2017) é proposta uma célula 7T1R não-volátil, que adiciona um resistor que possibilita o armazenamento do dado mesmo sem o circuito estar alimentado, projetado para operar principalmente em circuitos *low power*, mantendo boa robustez. Dispositivos TFET (*Tunnel Field-Effect Transistor*) foram testados em (ANJU et al., 2017) propondo uma memória SRAM de boa eficiência energética em circuitos voltados à IoT (*Internet of Things*), além de maior resistência aos efeitos da variabilidade. Em (TAYAL; NANDI, 2017) é feita uma análise do desempenho e robustez de SRAMs utilizando dispositivos JLSiNTFET (*Junctionless Silicon Nanotube Field-Effect Transistor*), mostrando resultados promissores, principalmente em relação à robustez.

Na Tabela 3.1 é apresentado um resumo do tipo de análise ou proposta em vários dos trabalhos citados. Estes trabalhos foram selecionados de acordo com a relevância com o tipo de análise e foco do presente trabalho. A tabela aponta as principais características de análise e de cada proposta. Vários trabalhos propõem novas células, técnicas e/ou circuitos auxiliares, metodologia para análise das células, enquanto que outros analisam propostas e tecnologias já existentes, verificando e testando com as mais variadas abordagens, como as questões de variabilidade, envelhecimento e operação *low power*. É importante destacar que além dos trabalhos citados, há outros tipos de propostas e análises, porém estes diferem do objeto de estudo desse trabalho de avaliar células mais robustas aos efeitos de variabilidade.

É interessante ressaltar que nos últimos anos várias novas células estão sendo propostas na literatura. A análise da variabilidade é presente em grande parte dos trabalhos, muitos destes avaliando o comportamento de células SRAM projetadas em simuladores 3D, como a ferramenta TCAD, ou em protótipos de circuitos em tecnologias atuais. Poucos trabalhos abordam os efeitos de envelhecimento. A maioria dos trabalhos atuais reforça a importância de reduzir o consumo de energia do sistema de memória, explorando técnicas e circuitos para operação em baixa potência. Dentre a análise, nenhum trabalho estudado apresentou conjuntamente a avaliação de circuitos quanto ao envelhecimento e variabilidade, considerando operação nominal e operação near-threshold como esta proposta apresenta.

#### 3.4 Comparação entre os trabalhos citados

Tabela 3.1 Resumo da abordagem realizada nos trabalhos citados.

Trabalho	Proposta de nova célula	Nova técnica ou circuito auxiliar	Nova metodologia de análise	Análise de variabilidade	Análise de envelhecimento	<i>Low power</i>
SAMANDARI-RAD; HUGHEY, 2016		x				x
ISLAM; HASAN, 2012			x	x		
KARAPETYAN; SCHLICHTM., 2017			x	x		
YADAV et al., 2015	x					
JAIN; SONI, 2017	x					
AHMAD et al., 2016	x					x
SHARMA; RAVI, 2017	x					x
TORRENS et al., 2017			x	x		
KIM; LEE; DO, 2018	x			x		x
OH et al., 2017	x			x		
DINESHKUMAR; DEVI, 2017	x			x		x
LEE et al., 2017			x		x	
AHMAD; ALAM; HASAN, 2017	x				x	
JIN et al., 2018			x		x	
ASYAEI; EBRAHIMI, 2018		x				x
CHANG et al., 2017		x				x
GOYAL; TOMAR; GOYAL, 2017			x			
POMPL et al., 2015		x	x			x
KIM; CHANG; LEE, 2018		x				x
SINGH et al., 2018	X			x		
ENSAN et al. 2018		x				x
PAHUJAA et al., 2017	X			x		x
LIMACHIA et al., 2017	X			x		
PENG et al., 2017	X					x
ANJU et al., 2017		x	x			x
Este trabalho				x	x	x

## 4 METODOLOGIA

O objetivo deste trabalho é avaliar os impactos da variabilidade de processo, tensão e temperatura (PVT) e envelhecimento por BTI em células SRAM e identificar células mais robustas ou que proponham soluções para operar nas condições avaliadas. A avaliação considera o desempenho a partir dos tempos de escrita e leitura, robustez através das margens de ruído estático, potência total considerando os estados de *hold*, escrita e leitura e potência estática em circuitos de alto desempenho (HP) e baixo consumo (LP) utilizando a tecnologia preditiva PTM (ZHAO; CAO, 2006) de 45nm, 32nm e 16nm. Para atingir este objetivo, foi utilizada a seguinte metodologia:

- 1) Revisão conceitual e do estado da arte;
- 2) Descrição, validação e caracterização elétrica da célula 6T;
- 3) Avaliação dos efeitos de variabilidade, radiação e envelhecimento ao longo da evolução tecnológica na célula 6T;
- 4) Descrição, validação e caracterização elétrica da célula 8T;
- 5) Avaliação da célula 8T e comparação com a 6T;
- 6) Descrição, validação e caracterização da célula 9T;
- 7) Avaliação desta quanto aos efeitos e comparação com a 6T e 8T;

O passo inicial deste projeto foi a revisão conceitual sobre o funcionamento de células SRAM e sobre os parâmetros de caracterização do funcionamento destas células. Esta revisão reforçou como principais parâmetros de caracterização das células SRAM a análise dos seus tempos de escrita e leitura, caracterizando como atraso da célula o pior caso; a análise da estabilidade da célula através das margens de ruído e a análise do consumo total e estático de energia. Para a análise das margens de ruído, foram desenvolvidos procedimentos automatizados que extraem as margens de ruído das células. Também como passo inicial, foi feito um levantamento dos trabalhos atuais relacionados ao projeto de células SRAM, incluindo trabalhos que apresentam propostas de novas células, trabalhos que avaliam determinadas características e efeitos e trabalhos que adotam novas tecnologias.

Inicialmente foi escolhida a célula 6T para ser descrita, validada e realizada a caracterização elétrica. Neste passo foi definida a sequência de operações a ser realizada para caracterização de todas as próximas células SRAM a serem avaliadas neste trabalho. O terceiro passo foi avaliar os efeitos dos três principais desafios para projeto em tecnologia nanométricas,

variabilidade, envelhecimento e falhas por radiação, ao longo de diferentes nodos tecnológicos. Para isso, foram utilizados modelos preditivos disponibilizados pela PTM (ZHAO; CAO, 2006) de tecnologias de 45nm, 32nm, 16nm *bulk* CMOS nos modelos *high performance* e *low power* e as tecnologias de 16nm e 7nm FinFET nos modelos *high performance* e *LSTP* (ALMEIDA et al., 2018). Este primeiro experimento tem por objetivo principal traçar um panorama do impacto destes três parâmetros considerando a evolução tecnológica. Destes experimentos, os resultados indicam que a variabilidade e o envelhecimento são os principais desafios para o projeto de células SRAM em tecnologia de 16nm bulk CMOS.

Todos os experimentos consideram uma coluna com 128 células de memória e os circuitos auxiliares quando necessários, tais como: circuito de escrita, circuito de pré-carga e circuito amplificador de sinais. Das 128 células que compõem a estrutura, apenas 1 é usada na avaliação e comparação. As demais 127 células restantes ficam em *hold*, das quais 63 armazenam o valor ‘0’ e as 64 células restantes armazenam o valor ‘1’. Estas 127 células são importantes para simular a capacitância das *bitlines* e a interação da corrente estática entre os nodos que armazenam o valor ‘0’ e as *bitlines*.

Os passos 4 a 6 deste trabalho definem a visão geral da metodologia adotada para possibilitar a comparação entre diferentes células quanto aos efeitos de variabilidade PVT e envelhecimento. Todos os passos consideram a célula 6T como célula de referência por ser a mais amplamente adotada na indústria. Por isso, este trabalho inicia com a descrição, caracterização e avaliação da célula 6T. Na sequência, para validar a metodologia proposta quanto a sua utilização para comparação com outras células, foi escolhida a célula 8T para ser descrita, caracterizada, avaliada e comparada com a célula 6. Esta célula foi escolhida por estar presente em vários trabalhos atuais e por ser uma alternativa proposta para aumentar a robustez das margens de ruído de células SRAM.

O passo seguinte foi escolher uma nova célula para fins de comparação. A célula 9T foi escolhida por ser uma adaptação da 8T e por ser uma célula que propõe maior resistência aos efeitos da variabilidade PVT (KIM; LEE; DO, 2018) sem necessitar de dez ou mais transistores como outras propostas encontradas. Os próximos passos deste trabalho foram analisar os resultados das três propostas de célula e verificar quais os pontos positivos e negativos de cada proposta, sob os aspectos de desempenho, robustez, dissipação de potência e consumo estático.

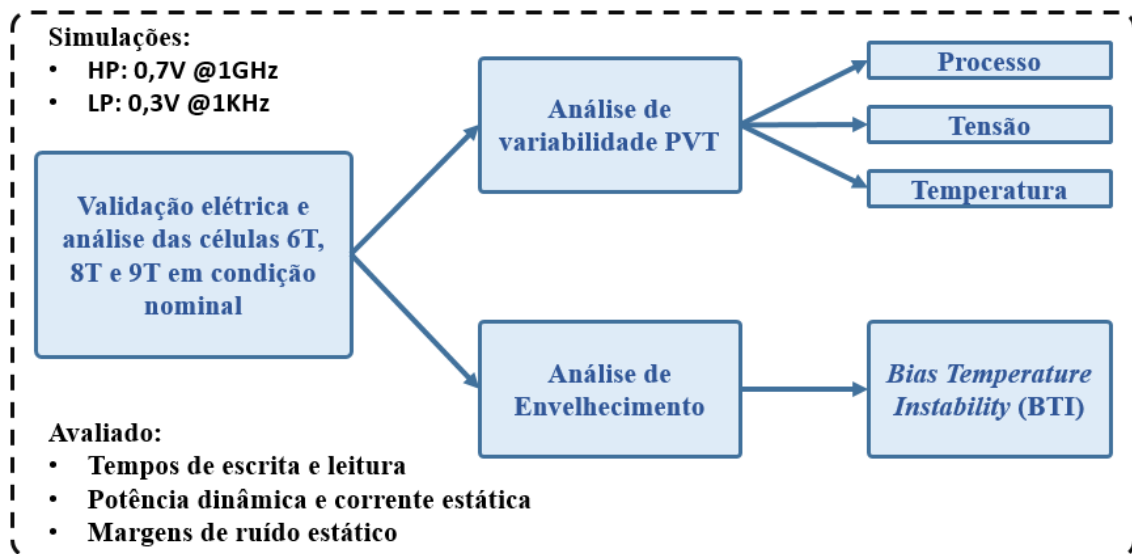


#### 4.1 Metodologia de avaliação dos efeitos na tecnologia de 16nm

Para a comparação entre as células de memória SRAM escolhidas, foi considerado o projeto nas tecnologias preditivas *bulk* CMOS PTM de 16nm de alto desempenho (HP) e *low power* (LP) (ZHAO; CAO, 2006). Os circuitos de alto desempenho foram projetados com a tensão de alimentação igual a 0,7V operando a uma frequência de 1GHz, enquanto os circuitos *low power* utilizaram tensão de alimentação igual a 0,3V e frequência de 1KHz. As simulações elétricas foram realizadas usando o simulador NGSpice (NGSPICE, 2018).

Todas as três células foram descritas e validadas logicamente. São observadas as características elétricas de cada célula, considerando os atrasos, as margens de ruído, o consumo total e consumo estático. Após, são feitos os experimentos de avaliação dos efeitos de variabilidade e envelhecimento circuitos de alto desempenho e em circuitos *near-threshold*, como ilustrado no fluxograma da Figura 4.1.

Figura 4.1 Fluxograma da metodologia de análise das células 6T, 8T e 9T



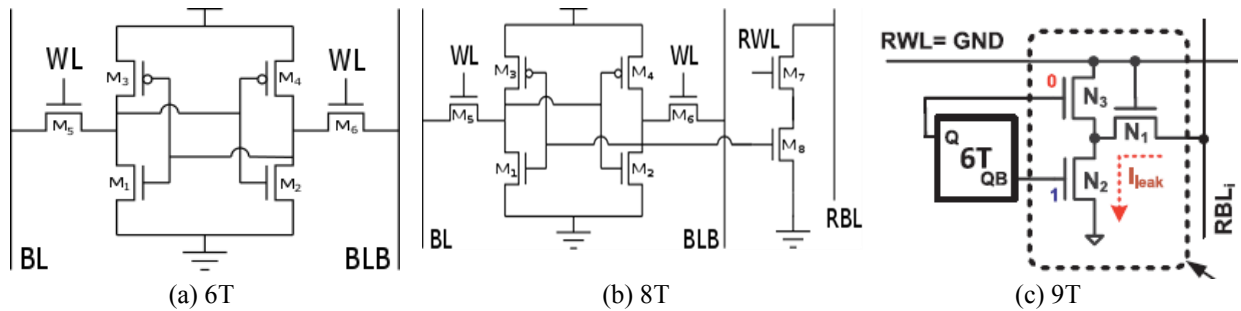
Fonte: Adaptado de ALMEIDA; BUTZEN; MEINHARDT, 2018b.

##### 4.1.1 Características de implementação das células 6T, 8T e 9T

Inicialmente, este trabalho explora o projeto da célula 6T, adotando a célula 8T para fins de comparação. Estas células são mostradas na Figura 4.2. As células foram dimensionadas para manter uma boa relação entre área, desempenho e estabilidade. A Tabela 4.1 mostra o dimensionamento dos transistores conforme identificados na Figura 4.2 (a). A célula 6T possui os transistores M1 e M2 com maior dimensionamento (maior W), para melhorar sua

estabilidade de leitura. A célula 8T, conforme a Figura 4.2 (b), foi dimensionada para melhorar o desempenho de leitura, porém esta célula não depende de um amplificador de sinais para realizar a leitura por possuir uma *bitline* exclusiva para a leitura (RBL).

Figura 4.2 Células 6T, 8T e 9T



Fonte: (a) PAVLOV; SACHDEV, 2009. (b) CHANG et al., 2005. (c) KIM; LEE; DO, 2018.

Tabela 4.1 Dimensionamento das células SRAM

Célula	M1-M2 (pull-down)	M3-M4 (pull-up)	M5-M6 (trans. passagem)	M7-M8 (leitura 8T e 9T)	M9 (leitura 9T)
6T	64nm	32nm	32nm	-	-
8T	32nm	32nm	32nm	64nm	-
9T	32nm	32nm	32nm	64nm	64nm

#### 4.1.2 Caracterização dos atrasos

Para a caracterização de uma célula de memória, é importante observar os tempos de escrita e de leitura para cada um dos valores, zero e um, sendo que o pior caso destes caracteriza o atraso da célula. O maior tempo obtido limita a frequência máxima de operação de uma memória SRAM. Neste trabalho, a obtenção de ambos os se faz necessário para verificar os efeitos da variabilidade e do envelhecimento em cada um deles. A variabilidade e o envelhecimento podem modificar os tempos de escrita e leitura obtidos, de forma que em determinadas condições pode ocorrer a inversão de qual tempo é o fator limitante de operação.

O tempo de escrita de uma célula de memória SRAM é o tempo necessário para que o nodo  $Q$  leva para adquirir um novo valor lógico, caso o valor anterior seja diferente do que será escrito. Este tempo é calculado entre a ativação de 50% da *wordline*  $WL$  da célula desejada e 50% da transição do nodo  $Q$  da célula. O tempo de leitura é definido entre a ativação de 50% da *wordline*  $WL$  da célula desejada e a descarga de 10% da tensão da bitline conectada ao nodo  $Q$  ou  $Qb$  que armazena o valor lógico '0' (AGAL et al., 2014). A obtenção dos atrasos é realizada durante a validação lógica, que consiste na seguinte sequência: Armazenar '0' em  $Q$ ,

*hold*, ler ‘0’ de  $Q$ , *hold*, armazenar ‘1’ em  $Q$ , *hold*, ler ‘0’ de  $Q$ . Dessa forma é possível analisar os três estados da célula e verificar se ela está totalmente operacional. Durante essa simulação é possível obter o consumo total da célula de memória. Um exemplo de arquivo de simulação para caracterização de atrasos é apresentado no Anexo I.

#### 4.1.3 Caracterização das margens de ruído

A integridade dos dados em SRAMs é fundamental para o funcionamento de um circuito digital. Uma métrica de robustez que pode ser usada em células de memória são as margens de ruído estático. Células mais robustas apresentam maiores valores de margem de ruído, ou seja, suportam maior quantidade de ruído sem a perda de dados. Neste trabalho são analisadas três margens de ruído: HSNM (*Hold Static Noise Margin*), RSNM (*Read Static Noise Margin*) e WSNM (*Write Static Noise Margin*). A HSNM é obtida na análise do estado de *hold*, a RSNM é obtida durante a leitura e a WSNM é obtida durante o estado de escrita. Estas margens representam o quanto de ruído uma célula suporta em seus nodos  $Q$  e  $Qb$  durante cada estado de operação sem que haja a perda do valor armazenado.

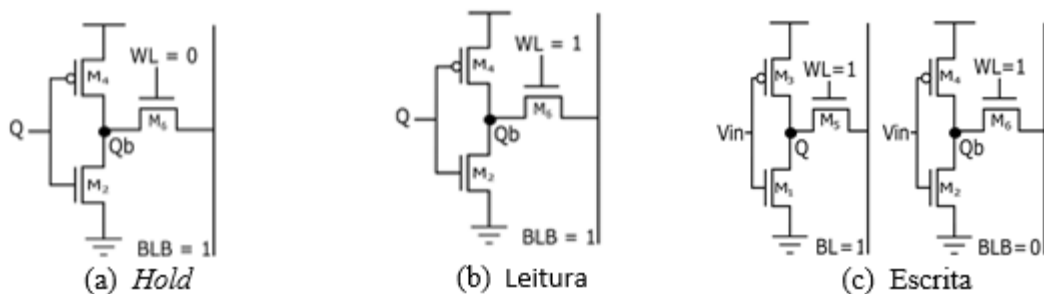
As margens de ruído são obtidas através de simulações DC que reproduzem cada estado de operação de uma célula (*hold*, leitura e escrita) sob a ação de ruído. Para reproduzir o ruído é inserida uma fonte de tensão nos nodos  $Q$  e  $Qb$  (SEEVINCK; LIST; LOHSTROH, 1987). A tensão que simula o ruído varia de 0V até a tensão de operação de cada modelo e condição (tensão nominal ou *near-threshold*), fazendo com que em dado momento os inversores mudem o valor lógico armazenado nos nodos  $Q$  e  $Qb$ . O comportamento dos inversores gera as curvas de transferência de tensão mostradas na Figura 4.4, na qual cada eixo representa a tensão em um dos nodos  $Q$  ou  $Qb$ . A margem de ruído é definida como o lado do maior quadrado encontrado entre as curvas (SEEVINCK; LIST; LOHSTROH, 1987).

Figura 4.3 ilustra os circuitos utilizados para obter as margens de ruído HSNM (a), RSNM (b) e WSNM (c). Ao inserir um ruído na entrada dos inversores, deve ser observada a

curva de transferência de tensão da saída. Para a escrita, como cada bitline possui um valor diferente, é necessário verificar ambas as condições.

A tensão que simula o ruído varia de 0V até a tensão de operação de cada modelo e condição (tensão nominal ou *near-threshold*), fazendo com que em dado momento os inversores mudem o valor lógico armazenado nos nodos  $Q$  e  $Qb$ . O comportamento dos inversores gera as curvas de transferência de tensão mostradas na Figura 4.4, na qual cada eixo representa a tensão em um dos nodos  $Q$  ou  $Qb$ . A margem de ruído é definida como o lado do maior quadrado encontrado entre as curvas (SEEVINCK; LIST; LOHSTROH, 1987).

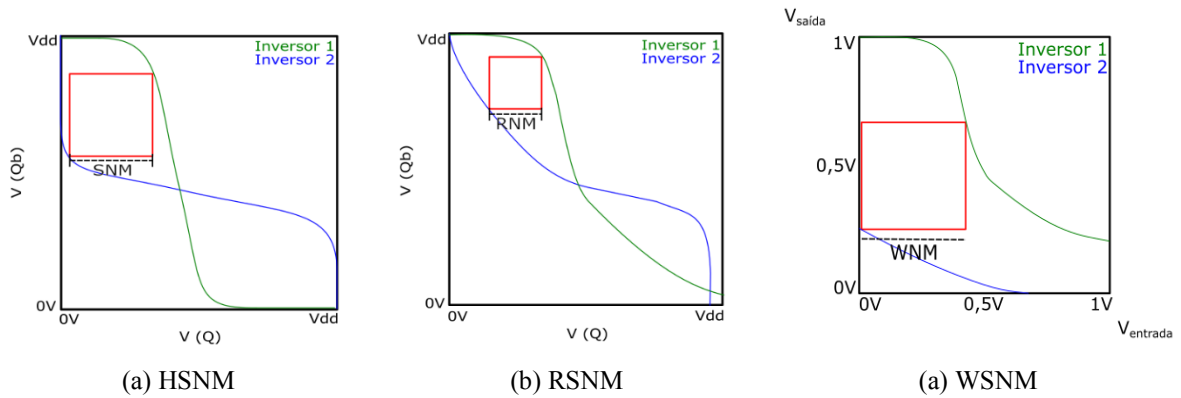
Figura 4.3 Circuitos para a obtenção das margens HSNM (a), RSNM (b) e WSNM (c)



Fonte: ALMEIDA; BUTZEN; MEINHARDT, 2016.

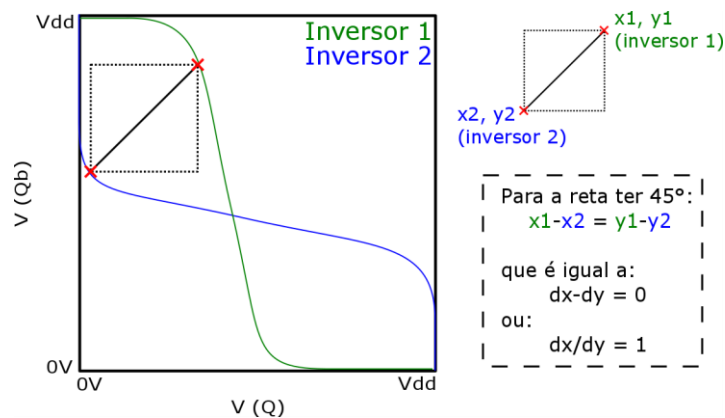
As curvas de transferência de tensão são obtidas através de simulação elétrica, porém para a extração das margens de ruído foi necessário criar um programa para a obtenção dos valores desejados. O programa recebe a especificação do tipo de análise (HSNM, RSNM ou WSNM) e um arquivo com os pontos que representam as curvas. Através de busca exaustiva, são procurados os pontos das curvas que ficam a  $45^\circ$  entre si. Há um quadrado se os pontos estão a  $45^\circ$  entre si e a diferença de tensão em cada eixo ( $V_Q$  e  $V_{Qb}$ ) seja igual, como ilustrado na Figura 4.5. Como pode haver muitos quadrados, é necessário armazenar apenas o maior encontrado. O programa desenvolvido para encontrar os quadrados e calcular as margens de ruído é mostrado no Anexo II.

Figura 4.4 Curvas de transferência de tensão no estado de *hold* (a), leitura (b) e escrita (c)



Fonte: ALMEIDA; BUTZEN; MEINHARDT, 2016.

Figura 4.5 – Método para encontrar quadrados entre as curvas



Fonte: ALMEIDA; BUTZEN; MEINHARDT, 2016.

#### 4.1.4 Caracterização de potência

A energia consumida é obtida de uma fonte de tensão exclusiva para a célula SRAM verificada, mantendo o restante do circuito alimentado por uma segunda fonte de tensão. Ambas as fontes possuem a mesma tensão. O valor de energia é dado pela integral da corrente elétrica durante determinado intervalo de tempo (período). A energia é obtida considerando o período total de simulação para caracterização dos atrasos das células de memória, ou seja, se referem ao consumo total.

Quando é necessário comparar circuitos que não possuem o mesmo período de simulação, pode ser utilizada a potência. A potência é dada pela Equação 4.1, sendo que a

energia é fornecida pelo NGSpice, enquanto que o tempo e a tensão são definidos na simulação realizada.

$$P = \frac{\int_{t_0}^t i dt}{t} * V_{dd}$$

Equação 4.1

Outro aspecto observado é a corrente estática de cada célula de memória. Esta corrente é obtida a partir de uma simulação DC considerando a célula de memória em estado de *hold*. Esta corrente é obtida exclusivamente da fonte que alimenta a célula.

#### 4.1.5 Experimentos para avaliação de variabilidade PVT

Para simular os impactos da variabilidade de processo, foi utilizada uma distribuição gaussiana de  $3\sigma$  com a variação de 10% na tensão de limiar que reproduz a variação geométrica no dispositivo. Para cada tipo de análise foram executadas 2000 simulações de Monte Carlo (ALIOTO, 2015). Para alterar a tensão de limiar dos modelos utilizados, é necessário modificar os parâmetros *vthn0* e *vthp0* do modelo PTM utilizado, estes parâmetros se referem à tensão de *threshold* base, que é utilizada para a obtenção da tensão de *threshold* após as condições de operação e dimensionamento do circuito estarem definidas. Para isso, é necessário inserir duas variáveis *vthn* e *vthp* que variam entre -10% e +10% de uma distribuição gaussiana de  $3\sigma$  em relação ao valor nominal.

O NGSpice não disponibiliza a função Monte Carlo, para isso foi criado um programa na linguagem C que realiza 2000 chamadas do executável NGSPICE com a netlist da simulação como parâmetro. Um exemplo da netlist que possui a função para variar a tensão de limiar encontra-se no Anexo I e um exemplo do programa para rodar 2000 vezes esta netlist é apresentado no Anexo II. Destas 2000 simulações, cada uma assume um valor aleatório respeitando os parâmetros inseridos na distribuição gaussiana. Para cada célula, o programa deve ser executado três vezes: caracterização de atrasos e de energia; caracterização das margens de ruído e caracterização do consumo estático. Todos os resultados são analisados, observando-se os valores mínimos, máximos, média ( $\mu$ ), desvio padrão ( $\sigma$ ) e coeficiente de variação ( $\sigma/\mu$ ) de cada caracterização.

Para analisar a variabilidade de tensão é realizada através da mudança da tensão de alimentação para -10% e +10% do valor nominal. Este tipo de variabilidade afeta os aspectos de desempenho e potência de forma inversamente proporcional. Ao aumentar a tensão há o ganho de desempenho e robustez, mas aumenta também a potência dinâmica e estática. Ao

reduzir a tensão há a redução de potência estática e dinâmica e consequentemente a redução do desempenho e robustez.

A variabilidade de temperatura é verificada através da mudança da variável de temperatura no ambiente de simulação. Neste trabalho foi observada uma variação de entre 0°C e 125°C com o passo de 25°C. Através da variação observada nestas temperaturas é possível estimar temperaturas intermediárias e até mesmo superiores a 125° ou inferiores a 0°.

#### 4.1.6 Experimentos para avaliação de efeitos de envelhecimento

Os efeitos de envelhecimento por NBTI e PBTI foram modelados como uma degradação de 50mV na tensão de limiar dos transistores no decorrer de 5 anos de uso contínuo e o modelo apresentado em (BUTZEN et al., 2013). A probabilidade de estresse dos transistores que compõem o laço de inversores foi de 50%. Como cada célula de memória passa majoritariamente em estado de *hold*, foi considerada a chance de 0,01% do uso do transistor de passagem. Outro fator que contribui para o baixo uso dos transistores de passagem é devido a chance de a célula ser acessada entre as 128 células que compartilham a mesma coluna. Para os circuitos auxiliares foi considerado o uso em 98% do tempo da pré-carga, e 1% para os circuitos de escrita e amplificador de sinais.

Estes valores são aplicados na Equação 4.2, proposta por (WANG et al., 2007). Considera-se  $\Delta V_{th}$  a variação máxima da tensão de limiar,  $b$  uma constante da tecnologia utilizada,  $\alpha$  é a probabilidade de uso do transistor no decorrer do tempo total,  $n$  é uma constante exponencial de tempo igual a 0,16 e  $t$  é o tempo total.

$$\Delta V_{th} = b * \alpha^n * t^n \quad \text{Equação (4.2)}$$

## 5 RESULTADOS

Circuitos produzidos em tecnologias nanométricas se mostram muito sensíveis a variações PVT e envelhecimento por BTI. Estes efeitos são ainda mais graves em circuitos *low power*. Dessa forma, a comunidade científica vem estudando estes efeitos em diversos tipos de circuitos combinacionais e sequenciais. Em memórias SRAM estes efeitos podem inutilizar blocos inteiros de células devido a uma única célula que apresente mau funcionamento. Diante da alta densidade de células em relação a área que elas ocupam e a necessidade de reduzi-las cada vez mais as torna mais sensível a variações.

Os resultados são apresentados iniciando pelo experimento inicial de avaliação do impacto da variabilidade, radiação e envelhecimento ao longo da evolução tecnológica. A segunda parte dos resultados compara os efeitos dos principais desafios nas células 6T, 8T e 9T.

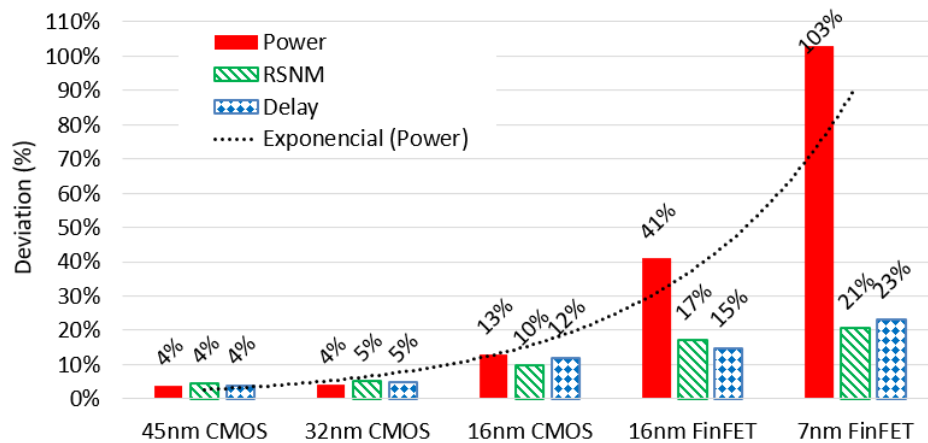
### 5.1 Impacto da variabilidade, radiação e envelhecimento em tecnologias nanométricas

Inicialmente, este trabalho apresenta um panorama do efeito da variabilidade, do envelhecimento e também da radiação em diferentes tecnologias até os nodos atuais. Este panorama destaca a relevância da avaliação da variabilidade e envelhecimento nas tecnologias nanométricas. Com a redução dos transistores, a célula 6T se mostrou cada vez mais afetada pelos efeitos da variabilidade PVT, BTI e efeitos de radiação do tipo *Single Event Upset* (SEU), como mostra a Figura 5.1 para as tecnologias de 45nm, 32nm e 16nm CMOS e 16nm e 7nm FinFET (ALMEIDA et al., 2018). Na Figura 5.1 (a) é possível observar que a tecnologia de alto desempenho (HP) apresenta cada vez mais variações devido a miniaturização do dispositivo e redução da tensão de alimentação, sendo a potência a característica mais afetada neste caso. Na Figura 5.1 (b) é possível observar que em circuitos *low power*, apesar de não seguir uma tendência como a tecnologia HP, a ação da variabilidade foi sentida de forma mais significativa. O impacto de SEU em circuitos é mostrado na Figura 5.1 (c), que mostra que mesmo com a alimentação nominal do modelo LP, ele é mais sensível a radiações do tipo SEU e tende a ser mais sensível em regime *near-threshold*. A redução do transistor e da alimentação contribui para aumentar a sensibilidade de células de memória em tecnologias de menor largura de canal. A radiação demonstrou ser um problema constante nas tecnologias nanométricas e devido a isso os experimentos seguiram com as análises de variabilidade e envelhecimento. Os efeitos de BTI em células 6T em tecnologia HP são mostrados na Figura 5.1 (d). É possível perceber que quanto menor o transistor, maior o impacto no seu desempenho. Apesar do

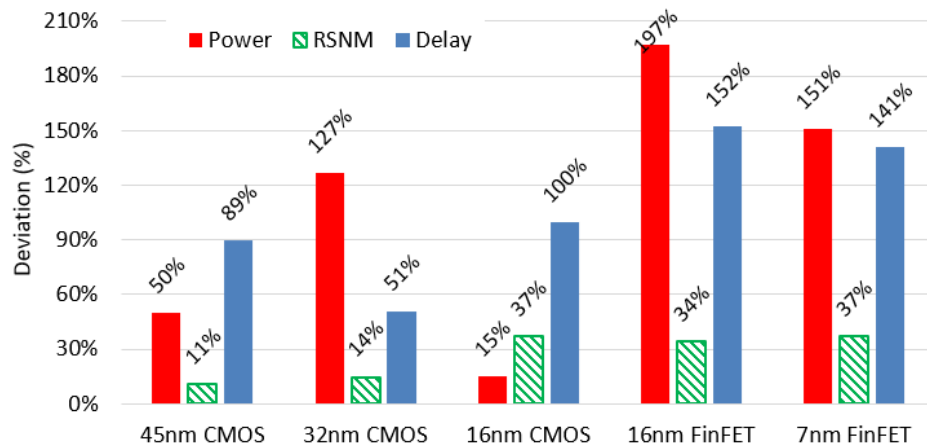


desempenho piorar, a potência mostra uma redução significativa após um ano de uso. Porém, em circuitos focados em alto desempenho, os efeitos da BTI podem ser considerados indesejados. Com estas análises, é possível observar que a redução dos transistores traz novos desafios de projetos que necessitam de atenção no projeto de circuitos VLSI no estado da arte.

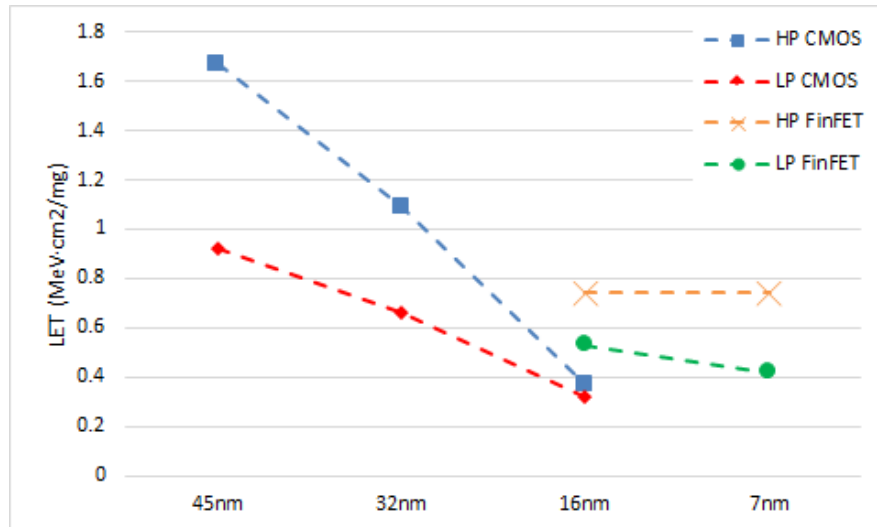
Figura 5.1 Evolução do impacto nas tecnologias



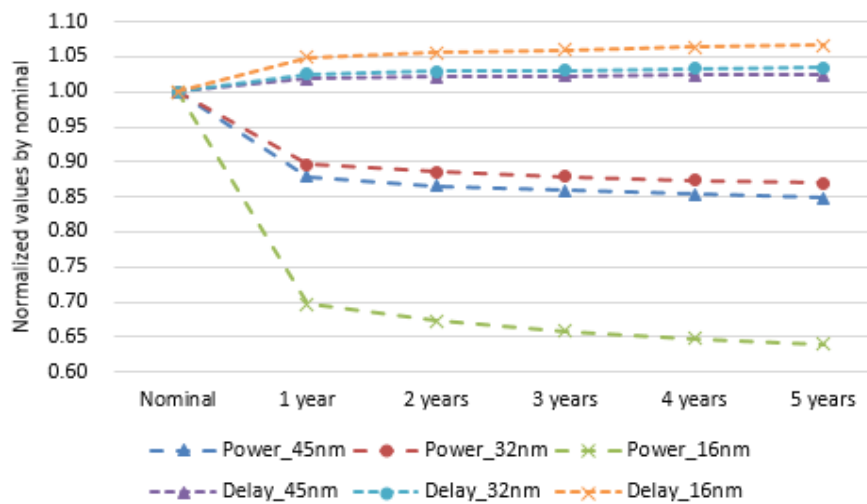
(a) Impacto da Variabilidade no Atraso, RSNM e Potência (HP – tensão nominal)



(b) Impacto da Variabilidade no Atraso, RSNM e Potência (LP – tensão *near-threshold*)



(c) Energia mínima para provocar um bitflip – Efeitos de SEU (HP e LP, ambos c/ tensão nominal)



(d) Efeitos de BTI (HP – tensão nominal)

Fonte: ALMEIDA; BUTZEN; MEIHARDT, 2018

A Figura 5.1 (a) e (b) mostra que a variabilidade de processo impacta a RSNM da célula 6T entre 4 e 21% na tecnologia HP e 11 e 37% na tecnologia LP em seu desvio padrão normalizado. Considerando que a célula 6T possui uma baixa RSNM, estas variações podem implicar em problemas de estabilidade durante o processo de leitura, principalmente em circuitos *low power*. Uma das principais opções encontradas na literatura para operar em *near-threshold* é a célula 8T (CHANG et al., 2005), que possui um circuito auxiliar de leitura. O acesso ao valor dos nodos é forma indireta, com baixa interferência nos nodos internos da célula, promovendo um processo de leitura não-destrutiva. Esta célula utiliza uma *bitline* exclusiva para a leitura, que dispensa o uso de um amplificador de sinais.

## 5.2 Comparação da robustez a variabilidade e envelhecimento

Os resultados apresentam uma comparação entre as células 6T, 8T e 9T visando encontrar alternativas mais robustas para principalmente mitigar os efeitos da variabilidade de processo e de envelhecimento. Inicialmente serão apresentados os valores obtidos através de uma simulação nominal em temperatura ambiente de 27°C sem efeitos de qualquer tipo de variabilidade. Nestes resultados parciais são apresentados somente os resultados referentes aos efeitos de variabilidade PVT e envelhecimento por BTI.

Como ponto de partida, é feita a avaliação das células de memória em condição nominal. Os resultados obtidos para a tecnologia HP são apresentados na Tabela 5.1. Em ambas as células avaliadas, o tempo de leitura é limitante para o desempenho de ambas as topologias. A 8T, apesar de seu mecanismo de leitura, demora mais para descarregar 10% da tensão da *bitline* na qual está conectada em relação à célula 6T, porém a célula 9T apresenta o melhor tempo de leitura entre estas células, sendo 9% menor em relação à 6T e 13% menor comparado à 8T. A 9T se destaca por consumir cerca de 23% menos potência total em relação a 6T e 3% com a 8T. As células 8T e 9T possuem a menor corrente estática, 39% menor que a 6T. A menor margem de ruído é a de leitura, RSNM, sendo a das células 8T e 9T iguais e 175% superiores à 6T.

Tabela 5.1 Resultados em condição nominal, tecnologia HP

Análise		Nominal		
		6T	8T	9T
Atrasos	Escrita	10,0 ps	7,3 ps	8,2 ps
	Leitura	12,7 ps	13,3 ps	11,6 ps
Potência e Corrente estática	Potência total	84,3 nW	67,5 nW	65,3 nW
	Ioff	40,1 nA	24,4 nA	24,4 nA
SNM	H - Hold	177 mV	181 mV	181 mV
	R - Leitura	65 mV	181 mV	181 mV
	W - Escrita	235 mV	262 mV	262 mV

Na Tabela 5.2 são apresentados os resultados em condição nominal para a tecnologia LP com alimentação em tensão *near-threshold*. Em relação à tabela anterior, é possível observar que os tempos aumentaram, deixando as células mais lentas, enquanto que a potência total e corrente estática reduziram, assim como as margens de ruído. O tempo de leitura da 6T passou a ser mais rápido, enquanto que a 9T passou a ser a mais lenta. Os tempos de escrita utilizando a tecnologia LP passaram a ser maiores que o de leitura, se tornando a característica limitante para o desempenho da célula. A célula 8T possui tempo de escrita 23% menor que a 6T e 5% menor que a 9T. A diferença entre a potência das células reduziu e a corrente estática das três

células possui valores próximos, sendo que as células 8T e 9T ainda consomem cerca de 6% menos potência estática que a 6T. A corrente estática das células 8T e 9T são iguais e 6% menor que a da 6T. Outro aspecto relevante é que a RSNM das células 8T e 9T são similares e aproximadamente 4 vezes maior que a da 6T.

Tabela 5.2 Resultados em condição nominal, tecnologia LP

Análise		Near-threshold		
		6T	8T	9T
Atrasos	Escrita	4,9 $\mu$ s	3,8 $\mu$ s	4,0 $\mu$ s
	Leitura	3,0 $\mu$ s	3,4 $\mu$ s	3,5 $\mu$ s
Potência e Corrente estática	Potência total	387,4 fW	360,7 fW	360,3 fW
	Ioff	1,25 pA	1,18 pA	1,18 pA
SNM	H - Hold	52 mV	52 mV	52 mV
	R - Leitura	13 mV	52 mV	52 mV
	W - Escrita	116 mV	128 mV	128 mV

Os resultados mínimos, máximos e médio das células 6T, 8T e 9T em tecnologia HP sob o impacto da variabilidade de processo são mostrados na **Error! Reference source not found.** e o desvio padrão normalizado pela média na Figura 5.2. É possível observar que a diferença entre os tempos mínimos e máximos é muito grande na célula 6T, chegando a quase 3 vezes de diferença considerando o tempo de escrita mínimo de 5,7ps e o máximo de 16,5ps. A potência total média da célula 8T foi de 68,8nW, sendo este valor cerca de 10% inferior ao valor nominal de 74,9nW. Entretanto, a célula 6T mostrou o comportamento oposto, apresentando valor médio de potência de 86,8nW sobre efeito de variabilidade de process, sendo aproximadamente 3% superior que o valor nominal de 83,6nW.

Outro aspecto importante é a variação entre o valor mínimo e máximo em relação à potência total e corrente estática, chegando a cerca de 9,5 vezes para a corrente estática da célula 6T. A célula 8T se mostrou mais robusta que as demais, obtendo sempre o menor valores, além de possui uma variação entre valor máximo e média menor que as demais. Esta característica fica clara ao analisar o tempo de leitura dela, que possui uma média de 13,3ps e valor máximo de 17ps com 3,7ps de diferença, enquanto que a diferença da 6T é de 5,2ps e da 9T é de 5,3ps.

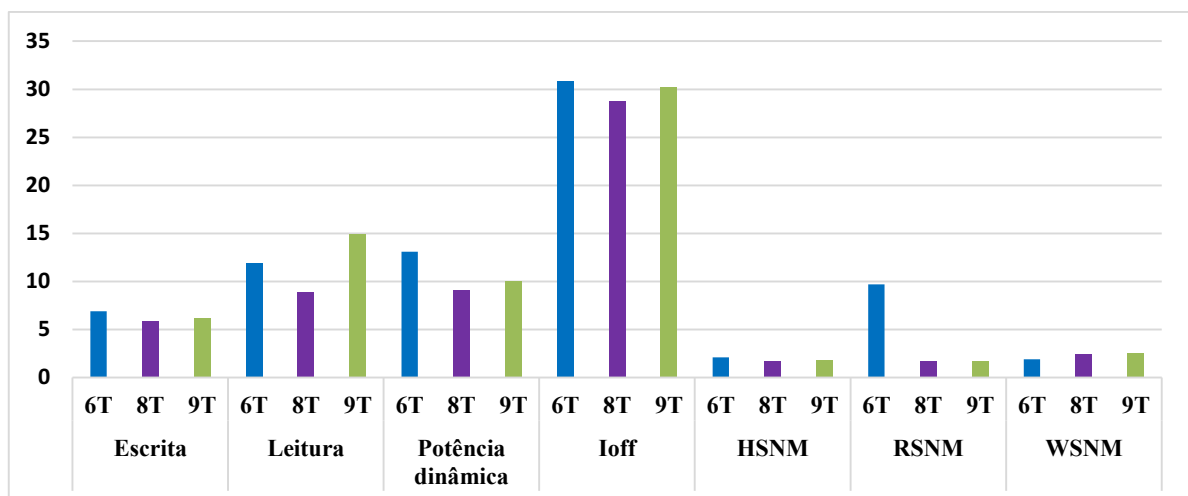
Na Figura 5.2 é possível observar que a corrente estática foi a característica mais afetada pela variabilidade de processo, causando maior variação entre os valores obtidos. As margens de ruído foram as características menos afetadas pela variabilidade de processo, entretanto a RSNM da célula 6T além de possuir os piores valores mínimos, máximos e médios, é a margem mais afetada pela variabilidade de processo chegando a quase 10% de variação. A RSNM mesmo no seu melhor caso (86,4mV), se mostra mais sensível que as demais margens.

O desvio padrão normalizado mostrou que a célula 8T é mais robusta em todos os pontos avaliados. O único caso que a 6T se mostrou mais resistente foi em relação à WSNM, porém a diferença foi de apenas 1%. A célula 9T se mostrou mais resistente que a 6T, excetuando o tempo de leitura que mostrou a maior variação entre as células analisadas.

Tabela 5.3 Impacto da variabilidade de processo, tecnologia HP

Análise		Min	Max	$\mu$	$\sigma$	$\sigma/\mu$ (%)
Escrita (ps)	6T	8,6	14,8	9,7	0,7	6,9
	8T	6,2	9,0	7,4	0,4	5,9
	9T	6,9	10,3	8,2	0,5	6,2
Leitura (ps)	6T	5,7	16,5	11,3	1,3	11,9
	8T	9,4	17,0	13,3	1,2	8,9
	9T	4,7	16,6	11,3	1,7	14,9
Potência total (nW)	6T	64,9	146,5	86,8	11,4	13,1
	8T	53,7	95,2	68,8	6,3	9,1
	9T	51,4	92,1	67,5	6,7	10,0
Ioff (nA)	6T	13,5	128,8	43,3	13,4	30,9
	8T	8,3	61,9	26,2	7,6	28,8
	9T	8,5	58,4	27,2	8,2	30,2
HSNM (mV)	6T	163,7	188,5	176,3	3,8	2,1
	8T	167,6	190,5	180,5	3,1	1,7
	9T	169,9	189,7	180,2	3,3	1,8
RSNM (mV)	6T	42,9	86,4	65,1	6,3	9,7
	8T	170,0	189,3	180,4	3,0	1,7
	9T	169,8	189,6	180,3	3,1	1,7
WSNM (mV)	6T	217,7	248,6	235,3	4,5	1,9
	8T	202,5	238,8	220,4	5,3	2,4
	9T	203,2	236,8	220,2	5,5	2,5

Figura 5.2 Impacto da variabilidade de processo na tecnologia HP

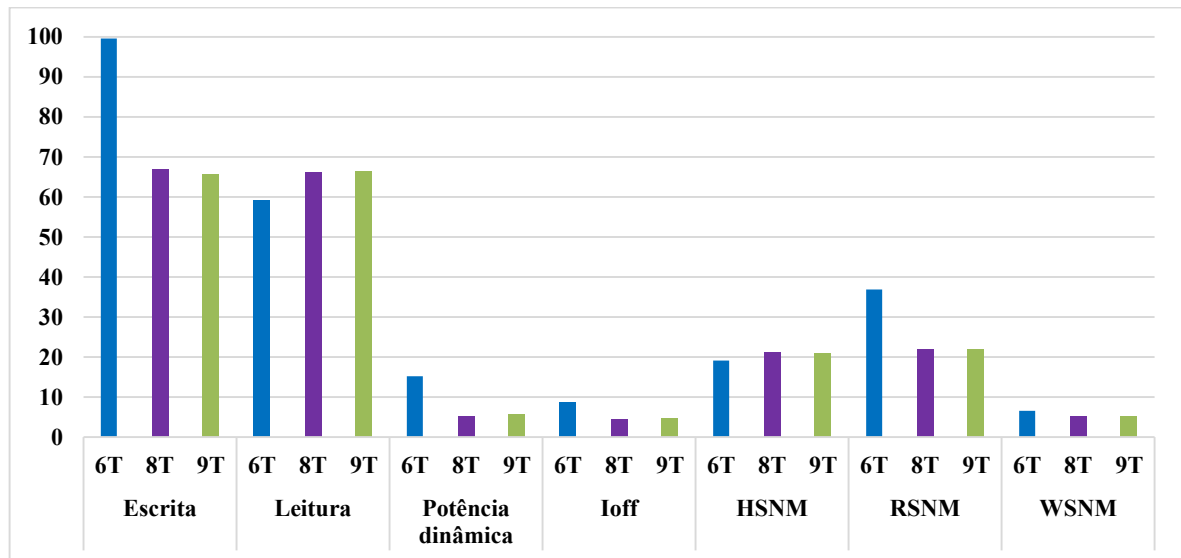


A Tabela 5.4 mostra os resultados mínimos, máximos e médios da variabilidade de processo considerando as simulações *near-threshold* em tecnologia LP e a Figura 5.3 mostra o desvio padrão normalizado pela média. É possível observar que os atrasos mostraram grande variação entre os valores mínimos e máximos. Os valores máximos dos atrasos se mostraram muito superiores aos valores médios. No gráfico é possível verificar a alta variação nos resultados obtidos. Essa alta variação traz um alto grau de incerteza no projeto e dificulta a previsão de como seria o desempenho de um circuito nessa faixa de tensão e tecnologia utilizada. O desvio padrão normalizado pela média nesta tecnologia foi muito maior que o observado na tecnologia HP, sendo que os tempos de escrita, leitura, potência total das células 8T e 9T e as três margens de ruído variaram muito em relação à tecnologia HP. A variação do tempo de escrita da célula 6T passou de 6,9% (HP) para 99,6% (LP). Porém a corrente estática passou a variar menos, se mostrando altamente dependente da tecnologia e tensão utilizada para definir o seu comportamento diante da variabilidade de processo.

Tabela 5.4 Impacto da variabilidade de processo, tecnologia LP

Análise		Min	Max	$\mu$	$\sigma$	$\sigma/\mu$ (%)
Escrita ( $\mu$ s)	6T	2,5	144,3	7,2	7,1	99,6
	8T	0,8	30,9	4,8	3,2	66,8
	9T	0,9	32,9	4,9	3,2	65,6
Leitura ( $\mu$ s)	6T	0,1	17,8	3,4	2,0	59,1
	8T	0,6	25,0	4,0	2,6	66,1
	9T	0,5	24,2	3,7	2,5	66,5
Potência (fW)	6T	285,7	999,8	403,8	61,2	15,2
	8T	276,1	479,7	363,2	19,2	5,3
	9T	268,5	553,3	364,4	20,8	5,7
Ioff (pA)	6T	1,0	2,4	1,3	0,1	8,6
	8T	0,9	1,6	1,2	0,1	4,5
	9T	1,0	1,6	1,2	0,1	4,6
HSNM (mV)	6T	16,4	77,6	51,1	9,8	19,1
	8T	6,4	78,3	50,4	10,7	21,1
	9T	6,3	74,4	50,6	10,6	20,9
RSNM (mV)	6T	5,4	44,8	16,4	6,1	36,9
	8T	6,6	77,6	49,9	11,0	22,0
	9T	6,3	74,4	50,6	11,1	22,0
WSNM (mV)	6T	90,7	122,6	113,9	7,5	6,6
	8T	74,8	110,4	94,8	4,9	5,1
	9T	67,8	109,1	94,9	5,0	5,2

Figura 5.3 Impacto da variabilidade de processo na tecnologia LP



A corrente estática foi menos impactada na tecnologia LP em tensão *near-threshold*, pois com a redução na diferença de tensão entre os dispositivos, a passagem da corrente estática é reduzida. Ao contrário do modelo de alto desempenho, a potência e a corrente estática variaram menos que as demais características, apenas a WSNM mostrou menor variação. As margens RSNM mínimas de todas as células, 6T – 5,4mV, 8T – 6,6mV e 9T – 6,3mV, e a margem HSNM das células 8T – 6,4mV e 9T – 6,3mV apresentaram valores muito baixos, isso significa que qualquer ruído acima destes valores poderia ocasionar na perda do dado.

Conhecidos os parâmetros mais afetados pela variabilidade de processo, a avaliação das variabilidades de tensão e temperatura serão realizadas apenas para os aspectos que se mostraram mais afetados. O pior caso entre escrita e leitura será chamado de atraso. A margem RSNM se mostrou a mais sensível em todas as análises e limitante para o funcionamento de ambas as células e pode ser utilizada para avaliar a sensibilidade de ambas as células a ruídos.

Na Figura 5.44 são apresentados os resultados do impacto da variabilidade de tensão nas células 6T, 8T e 9T em tecnologia HP e na Figura 5.5 em tecnologia LP. O aumento de 10% da tensão reduz o atraso e a potência total, corrente estática e a aumenta a RSNM em ambas as tecnologias. Ao reduzir a tensão ocorre o oposto para todas as características anteriormente apontadas. É interessante observar que para a variação de 10% na tecnologia HP, as maiores variações são em relação à potência total e à corrente estática, enquanto que a tecnologia LP apresentou maiores variações em relação aos atrasos e RSNM. Os resultados mostram que, excetuando a RSNM de todas as células em tecnologia HP, para uma variação de 10% na tensão de alimentação os valores variaram mais que este percentual. Isto ocorre porque

a relação entre desempenho e potência possuem comportamento quadrático em relação à variação da tensão alimentação, como verificado em (ALMEIDA; BUTZEN; MEINHARDT, 2017).

Os resultados do impacto da variabilidade de temperatura em tecnologia HP são apresentados na **Error! Reference source not found.6**. A célula 6T apresentou os piores atrasos por volta da temperatura ambiente (27°C), enquanto que a célula 8T entre 75°C e 100°C e a célula 9T teve a tendência de sempre piorar com o aumento da temperatura. A corrente estática e potência total de todas as células aumenta muito a cada passo de 25°, sendo a corrente estática mais afetada com um aumento de aproximadamente 42% entre 0°C e 25°C para a célula 6T e que reduz proporcionalmente a cada passo, chegando a 25% entre 100°C e 125°C. A RSNM de todas as células reduz consideravelmente, porém a 6T é a mais afetada, chegando a uma diferença de aproximadamente 18mV entre 0°C e 25°C.

Figura 5.4 Impacto da variabilidade de tensão na tecnologia HP

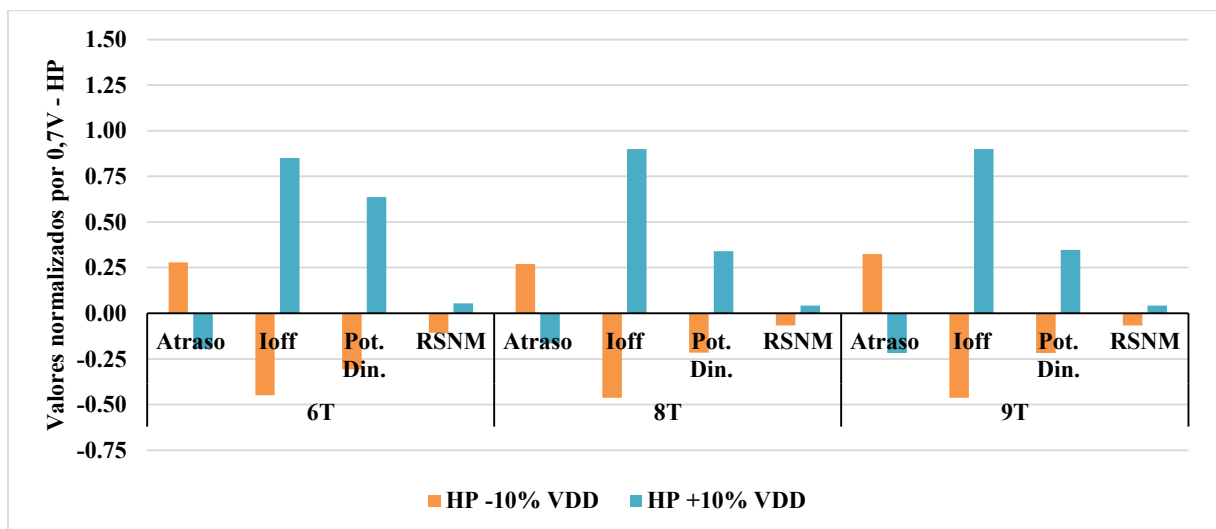


Figura 5.5 Impacto da variabilidade de tensão na tecnologia LP



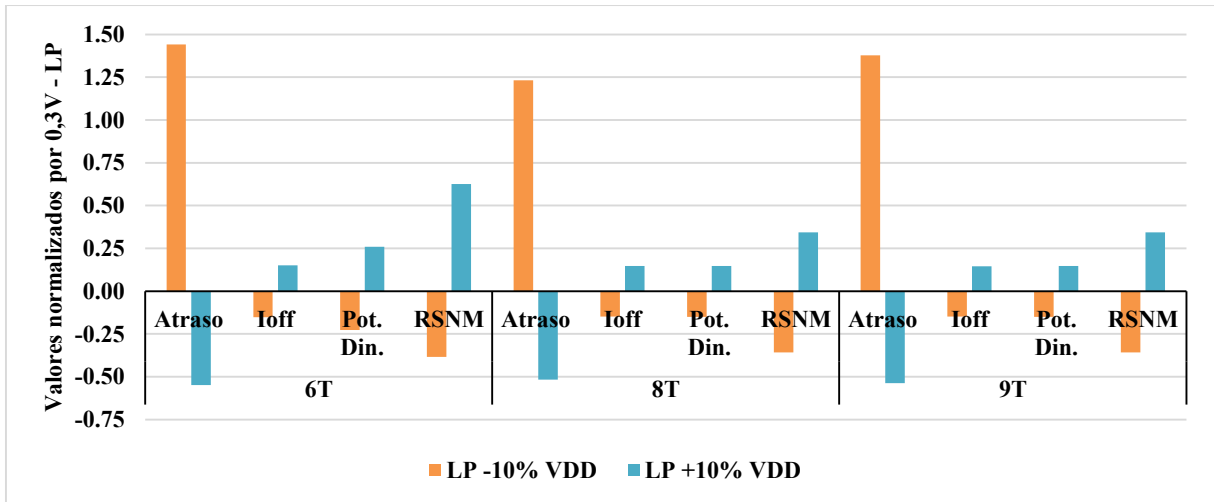
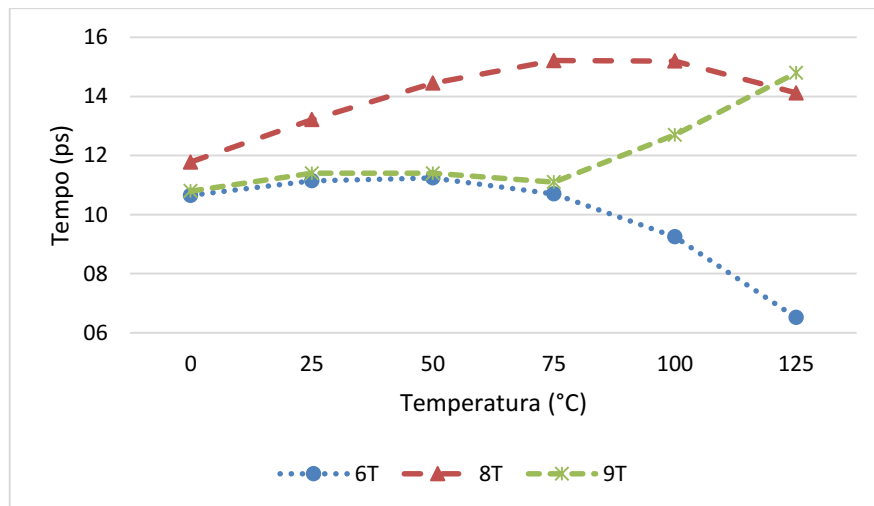
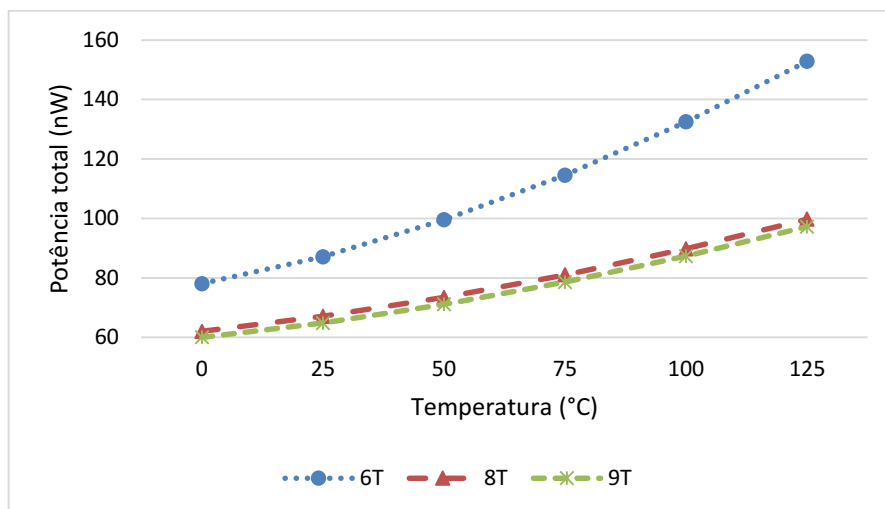


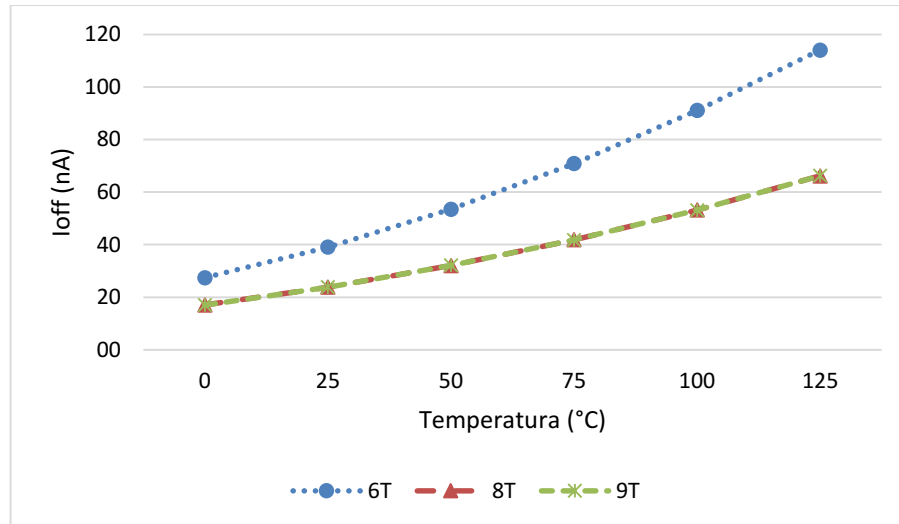
Figura 5.6 Impacto da variabilidade de temperatura, tecnologia HP nos (a) atrasos, (b) potência total, (c) corrente total e (d) RSNM



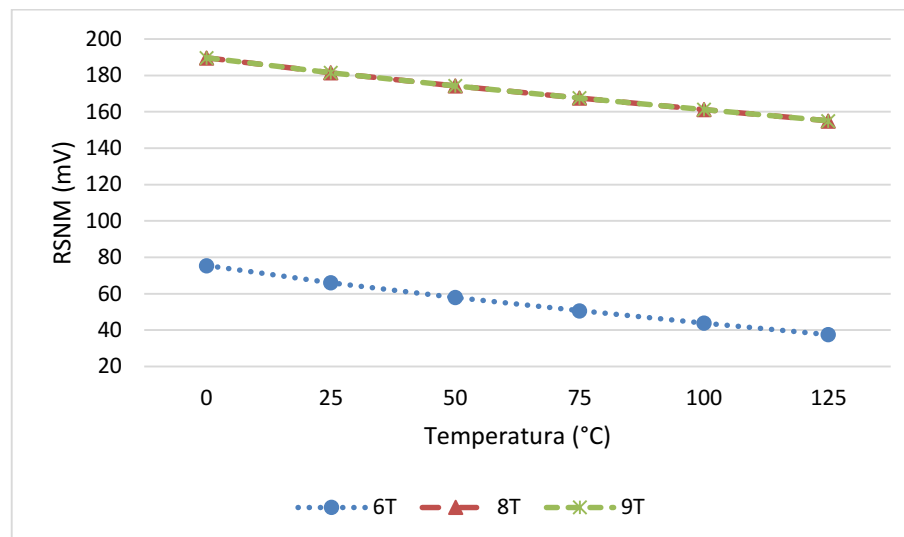
(a) Atrasos



(b) Potência total



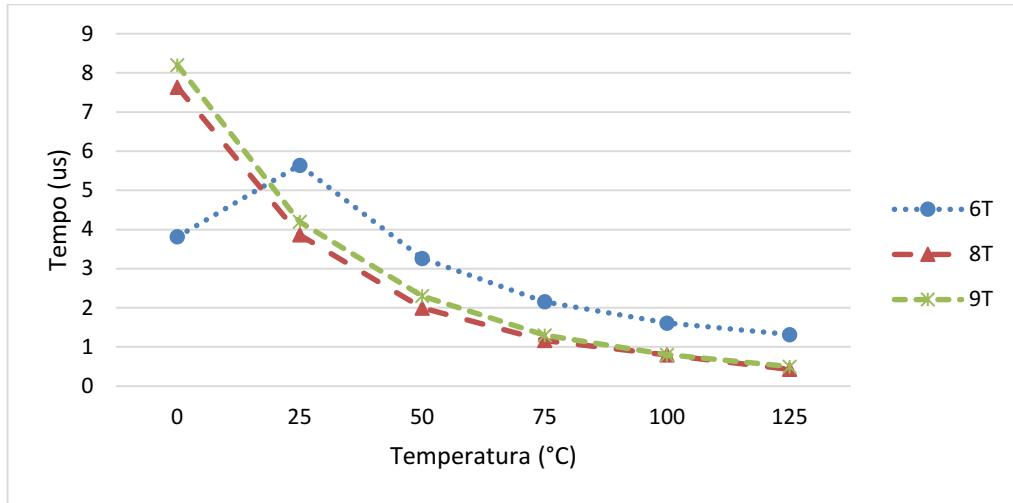
(c) Corrente estática



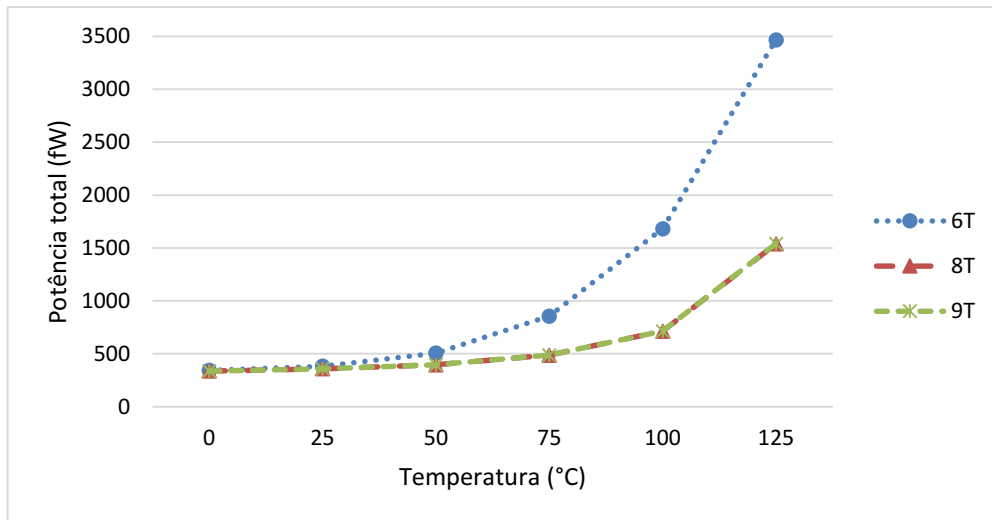
(d) RSNM

Os resultados do impacto da variabilidade de temperatura nas células 6T, 8T e 9T na tecnologia LP são apresentados na **Error! Reference source not found.**7. A célula 6T mostrou que seu pior atraso ocorre próximo à temperatura ambiente, enquanto que as células 8T e 9T melhoraram com o aumento da temperatura. A potência total e a corrente estática de todas mostraram aumento exponencial com o aumento da temperatura, apesar dos valores iniciais de ambas as células serem parecidos por volta dos 75°C a célula 6T passa a ter consumo total e estático muito superior ao das demais. A margem RSNM da célula 6T mostrou o pior resultado por volta dos 75°C, enquanto que as células 8T e 9T mostraram seus melhores resultados na mesma faixa de temperatura.

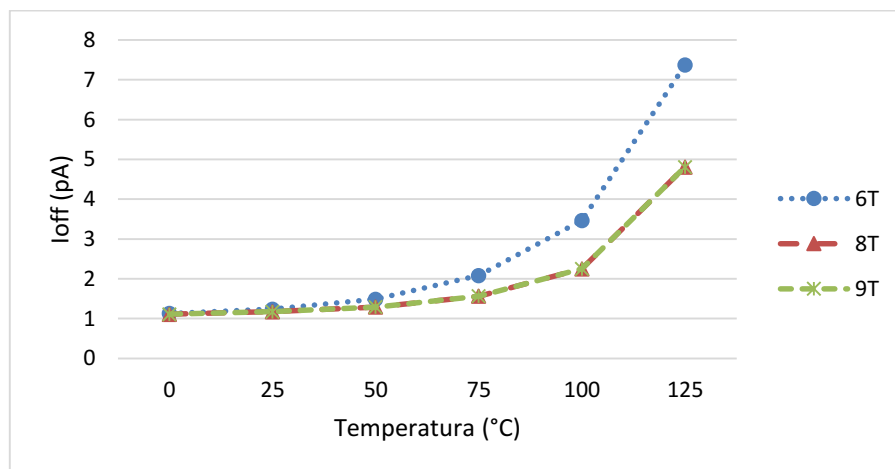
Figura 5.7 Impacto da variabilidade de temperatura, tecnologia LP nos (a) atrasos, (b) potência total, (c) corrente total e (d) RSNM.



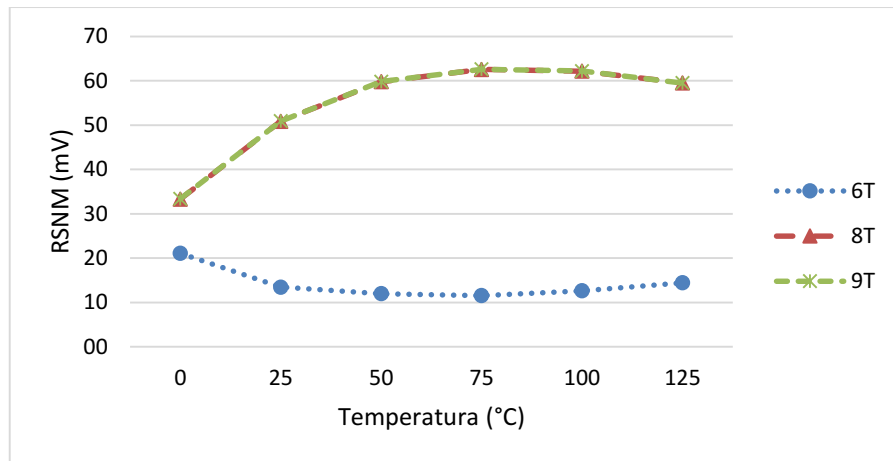
(a) Atrasos



(b) Potência total



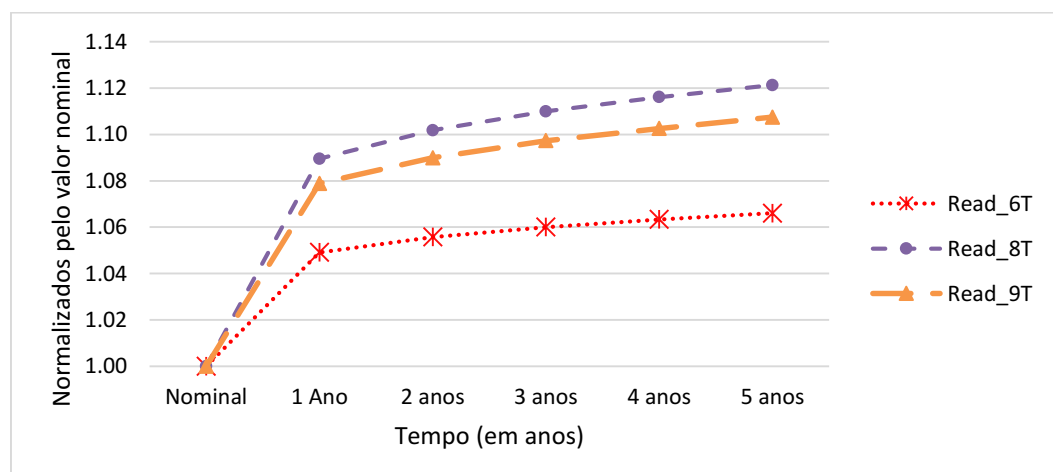
(c) Corrente estática



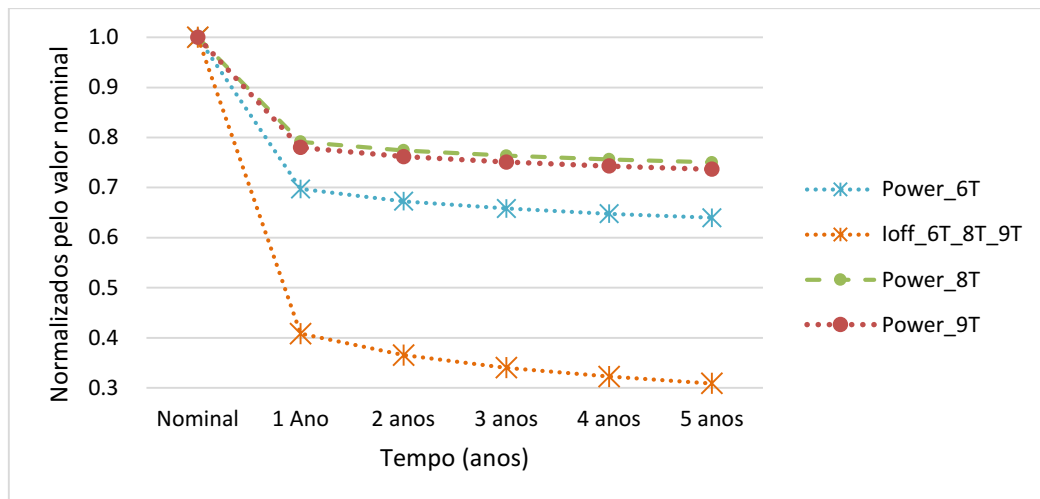
(d) RSNM

Os efeitos por envelhecimento por BTI nos atrasos, potência total, corrente estática são apresentados na **Error! Reference source not found.8**, utilizando a tecnologia HP. Foi observado que a leitura foi mais afetada pelo envelhecimento em todas as células, desta forma elas podem ser utilizadas para avaliar o impacto do envelhecimento no desempenho da célula. Como mostrado na Figura 5.8 (a) o aumento da tensão de limiar deixou as células mais lentas, principalmente a célula 8T que teve um aumento superior a 12% no tempo de leitura ao decorrer de 5 anos, enquanto que a 9T teve um aumento de aproximadamente 10,5%. A potência total reduziu muito como mostrado na Figura 5.8 (b), chegando a uma redução de mais de 35% para a célula 6T, enquanto que a célula 8T foi a que menos variou, mas ainda com uma redução de cerca de 24%. A corrente estática de todas as células teve um comportamento similar, com uma variação menor que 1%, dessa forma elas foram agrupadas no gráfico para fins de legibilidade. Logo após o primeiro ano houve uma redução de 60% chegando próximo a 68% após 5 anos para as três células.

Figura 5.8 Ação do envelhecimento por BTI (a) nos atrasos, (b) potência total e corrente estática na tecnologia HP



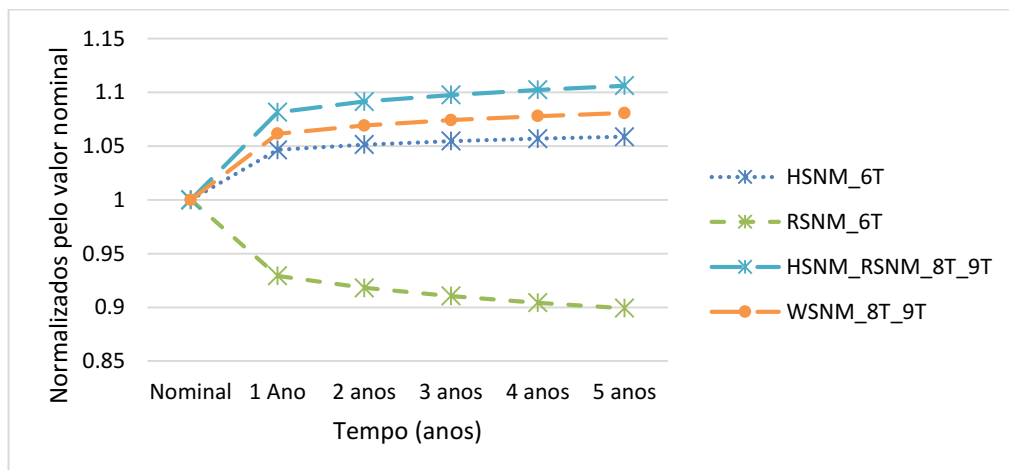
(a) Atrasos



(b) Potência total e Ioff

As margens de ruído tenderam a aumentar como mostra a Figura 5.9, porém a RSNM da célula 6T foi a única a apresentar redução, sendo cerca de 7% em um ano e alcançando 10% em 5 anos. Esse comportamento ocorre devido ao transistor de passagem sofrer um desgaste menor e o transistor NMOS dos inversores internos ficar mais lento e descarregar a tensão vinda da bitline cada vez com maior dificuldade. As margens de ruído HSNM e RSNM das células 8T e 9T mostraram comportamento similar, com uma variação menor que 1% entre si, aumentando mais de 7,5% após o primeiro ano e chegando a mais de 10% após 5 anos.

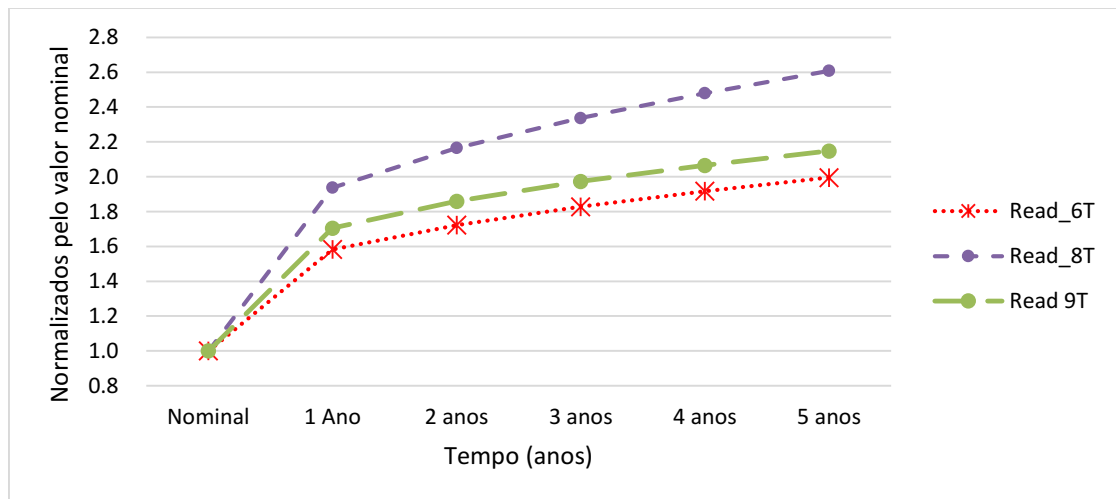
Figura 5.9 Envelhecimento por BTI nas margens de ruído na a tecnologia HP



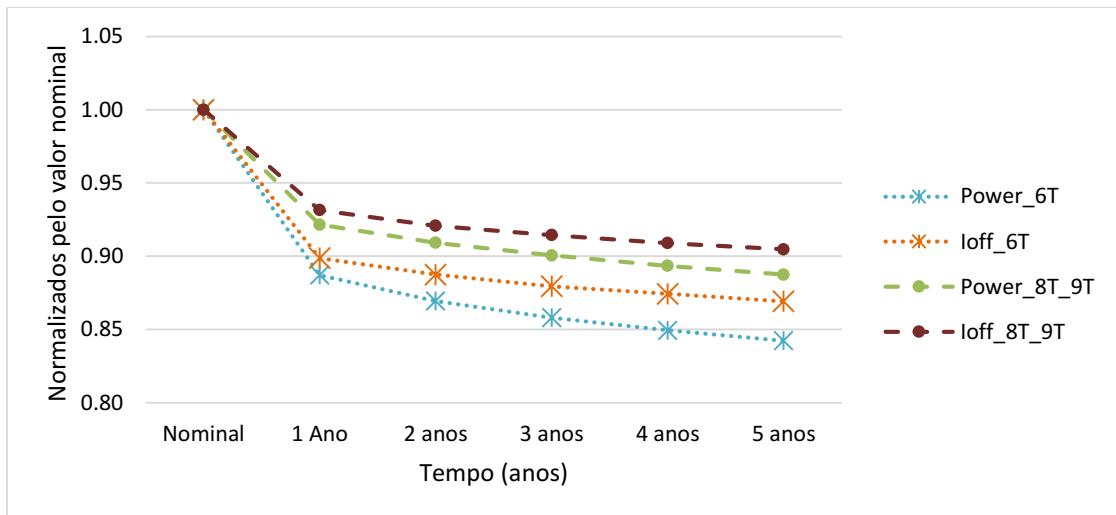
Os impactos do envelhecimento por BTI nas células em tecnologia LP são apresentados na **Error! Reference source not found.**10 e Figura 5.11 11. Este impacto afetou os atrasos de forma mais acentuada que a potência total e a corrente estática. O tempo de leitura da célula 8T aumentou mais de 160% após 5 anos e tende a aumentar significativamente após esse período,

assim como a leitura das células 9T e 6T. O tempo de escrita também teve degradação em um percentual elevado, chegando a 30% na célula 8T após 5 anos. A potência total e corrente estática das células 8T e 9T apresentaram comportamento muito próximo, com diferenças abaixo de 2% em seus resultados absolutos. As células 8T e 9T mostraram comportamento similar em relação à potência total e corrente estática, sendo a potência mas afetada com uma redução de 11%. A célula 6T foi a mais afetada, com redução da potência total acima de 15% e a corrente estática aproximadamente 13%.

Figura 5.10 Ação do envelhecimento por BTI (a) nos atrasos, (b) potência total e corrente estática na tecnologia LP



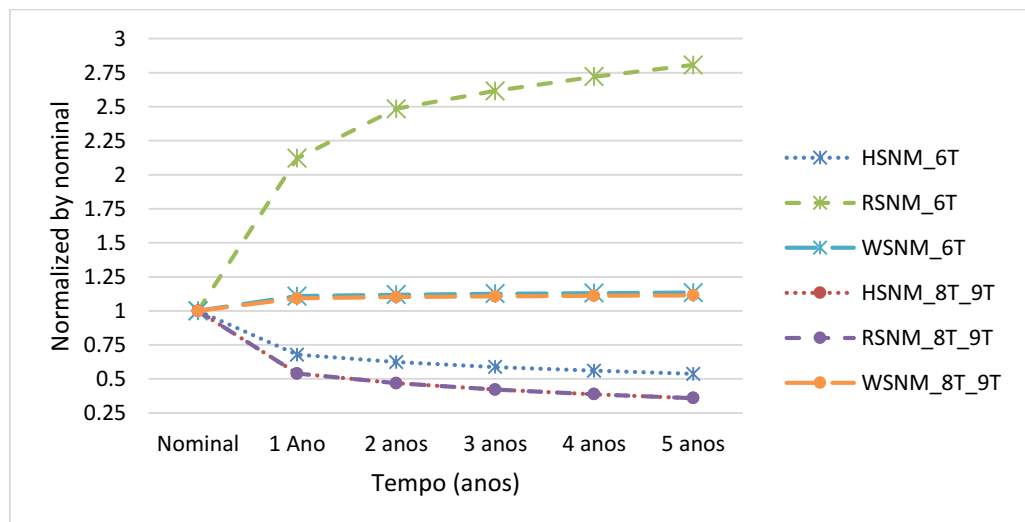
(a) Atrasos



(b) Potência total e Ioff

As margens de ruído mostraram um comportamento diferente ao observado na tecnologia HP. A Figura 5.11 mostra que a margem RSNM da célula 6T aumentou mais de 2 vezes após um ano, isso se deve ao aumento da tensão de limiar e a redução da frequência, dessa forma, mesmo com o transistor NMOS dos inversores sendo mais lento, ele possui tempo suficiente para descarregar o nodo que armazena o valor '0' durante a leitura. Outro aspecto que contribui para o aumento da RSNM da célula 6T é a redução da corrente estática proveniente de outras células e que podem agir como ruído durante a leitura. As margens de ruído da célula 8T e 9T apresentaram comportamento similar com a utilização da tecnologia LP. As margens HSNM da célula 6T e HSNM e RSNM das células 8T e 9T reduziram em mais de 45% após 5 anos, isso se deve às alterações da razão PN dos inversores diante da variação na tensão de limiar. A margem WSNM de todas as células aumentou cerca de 12% após 5 anos.

Figura 5.11 Ação do envelhecimento por BTI nas margens de ruído na tecnologia LP.



De acordo com os resultados apresentados neste trabalho, é possível observar que a variabilidade PVT e o envelhecimento devido a ação de BTI implica em vários desvios em relação aos valores nominais. Diante destes efeitos, uma análise destes efeitos se mostra necessária para garantir plena funcionalidade do circuito e que atenda às especificações iniciais.



## 6 CONCLUSÕES

O objetivo deste trabalho foi realizar uma análise das células de memória SRAM 6T, 8T e 9T nas tecnologias HP e LP de 45, 32 e 16nm. Foram avaliados os impactos de variabilidade de processo, tensão e temperatura e do envelhecimento dos dispositivos que compõem as células. Estes impactos foram observados nos tempos de escrita, leitura, potência total, consumo estático e margens de ruído das células analisadas.

Os resultados mostraram que no geral a célula 8T se mostra mais resistente a variações que as demais células, sendo que a célula 9T apresentou bons resultados, porém dificilmente compensariam em um projeto por ocupar uma área maior que a 8T. Para a tecnologia HP a célula 6T mostrou comportamento que, apesar de não ser o melhor, é o suficiente para operar sem maiores desvantagens. Em projetos de alto desempenho, a célula 6T tem a vantagem de ser menor em área e a necessidade de maior capacidade nestes projetos a torna mais vantajosa, apesar da 8T ser mais robusta. Porém, a célula 8T é uma boa alternativa quando há a necessidade de operação em condições não-ideais de ambiente, como em circuitos que operam em altas temperaturas. Para a tecnologia LP, a célula 8T se mostrou muito mais robusta que a 6T, além de sofrer menor variação nos aspectos de desempenho, consumo total e estático.

Diante da análise realizada, é possível observar que tanto a variabilidade PVT quanto o envelhecimento impactam todos os aspectos de funcionamento avaliados das células selecionadas. A variabilidade de processo se mostrou um fator de grande risco, sendo que na tecnologia HP ela afeta muito as características de desempenho, potência total e principalmente a corrente estática, enquanto que na tecnologia LP ela afeta principalmente no desempenho. A célula 6T se mostrou pouco robusta diante da variabilidade de processo, sendo que nos piores casos há uma chance razoável de fabricação de uma célula com uma robustez muito baixa. A variabilidade de tensão mostrou um impacto não-linear, sendo que para uma variação de 10% os impactos ultrapassam esse percentual facilmente, o que torna cada célula muito sensível a estes efeitos em ambas as tecnologias. A variabilidade de temperatura mostrou impactos muito expressivos em todas as células em ambas as tecnologias, o que mostra a importância de projetar as células de acordo com uma faixa de temperatura de operação. É importante destacar que a temperatura, em muitos casos, pode ser controlada para que o circuito opere em condição ideal ou próxima dele. De acordo com a metodologia adotada, foi possível verificar que o envelhecimento afeta as células de forma mais expressiva nos primeiros anos de utilização, sendo as células projetadas na tecnologia LP mais sensíveis.

Um ponto importante a se destacar neste trabalho é que devido a utilização de fonte uma alimentação com tensão próxima da tensão de limiar dos dispositivos com a tecnologia LP, qualquer variação na tensão de limiar, seja por variabilidade de processo ou envelhecimento, torna a célula mais sensível a estas variações. Devido a estas características que a célula 6T se mostra como uma opção arriscada para operar em circuitos *low power*.

Para trabalhos futuros há a possibilidade de avaliar o uso destas células para aplicações como *Physical Unclonable Function* (PUF), que pode se valer dos efeitos da variabilidade para fazer com que uma sequência de células de memória assumam um valor inicial a fim de formar um código que será único de cada dispositivo e que não poderia ser clonado ou definido em projeto. Outra possibilidade é o uso de células de memória para aplicações de processamento de sinais, no qual os bits de maior magnitude e importância podem ser armazenados em memórias de alta robustez, enquanto que os de menor importância são armazenados em células com menos transistores ou com dimensões reduzidas, dessa forma pode-se obter uma otimização na razão entre robustez e área.

## 7 REFERÊNCIAS

AGAL, A. et al. 6T SRAM Cell Design And Analysis. *International Journal of Engineering Research and Applications*, [S.l.], v.4, n.3, p.574–577, 2014.

AGBO, I.; TAOUIL, M.; HAMDIOUI, S.; KUKNER, H.; WECKX, P.; RAGHAVAN, P.; CATTLOOR, F. Integral impact of BTI and voltage temperature variation on SRAM sense amplifier. In: *VLSI TEST SYMPOSIUM (VTS), 2015 IEEE 33RD*, 2015. Anais. [S.l.: s.n.], 2015. p.1–6.

AHMAD, Sayeed et al. Single-ended Schmitt-trigger-based robust low-power SRAM cell. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 24, n. 8, p. 2634-2642, 2016.

AHMAD, Sayeed; ALAM, Naushad; HASAN, Mohd. Low leakage write-enhanced robust 11T SRAM cell with fully half-select-free operation. In: *Trends in Electronics and Informatics (ICEI), 2017 International Conference on*. IEEE, 2017. p. 419-424.

ALDERIGHI, M.; CASINI, F.; D'ANGELO, S.; MANCINI, M.; PASTORE, S.; SECHI, G. R. Evaluation of single event upset mitigation schemes for SRAM based FPGAs using the FLIPPER fault injection platform. In: *DEFECT AND FAULT-TOLERANCE IN VLSI SYSTEMS, 2007. DFT'07. 22ND IEEE INTERNATIONAL SYMPOSIUM ON*, 2007. Anais. . . [S.l.: s.n.], 2007. p.105–113.

ALIOTO, Massimo; CONSOLI, Elio; PALUMBO, Gaetano. Variations in nanometer CMOS flip-flops: Part I—Impact of process variations on timing. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 62, n. 8, p. 2035-2043, 2015.

ALMEIDA, Roberto Borba de; BUTZEN, Paulo F.; MEINHARDT, Cristina. ANÁLISE DE CÉLULAS DE MEMÓRIA SRAM DE 1-bit Rio Grande 2016. 2016. 55 f. TCC (Graduação) - Curso de Engenharia de Computação, Universidade Federal do Rio Grande, Rio Grande, 2016.

ALMEIDA, Roberto et al. Analysis of 6T SRAM cell in sub-45nm CMOS and FinFET technologies. In: *EUROPEAN SYMPOSIUM ON RELIABILITY OF ELECTRON DEVICES, FAILURE PHYSICS AND ANALYSIS*, 29., 2018, Aalborg. Proceedings. Aalborg: Esref, 2018. p. 0 - 6.

ALMEIDA, Roberto; BUTZEN, Paulo F.; MEINHARDT, Cristina. 16nm 6T and 8T CMOS SRAM Cell Robustness against Process Variability and Aging Effects. In: *SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN*, 31., 2018, Bento Gonçalves. Proceedings... . Bento Gonçalves: Sbcci, 2018. p. 0 - 6.

ANJU, Sunil et al. Realization of Junctionless TFET-Based Power Efficient 6T SRAM Memory Cell for Internet of Things Applications. In: Proceedings of First International Conference on Smart System, Innovations and Computing. Springer, Singapore, 2018. p. 515-523.

ASYAEI, Mohammad; EBRAHIMI, Emad. Low power dynamic circuit for power efficient bit lines. AEU-International Journal of Electronics and Communications, v. 83, p. 204-212, 2018.

ATIAS, L.; TEMAN, A.; GITERMAN, R.; MEINERZHAGEN, P.; FISH, A. A Low-Voltage Radiation-Hardened 13T SRAM Bitcell for Ultralow Power Space Applications. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, [S.l.], v.24, n.8, p.2622–2633, 2016.

BAUMANN, Robert C. Radiation-induced soft errors in advanced semiconductor technologies. IEEE Transactions on Device and materials reliability, v. 5, n. 3, p. 305-316, 2005.

BERNSTEIN, K.; FRANK, D. J.; GATTIKER, A. E.; HAENSCH, W.; JI, B. L.; NASSIF, S. R.; NOWAK, E. J.; PEARSON, D. J.; ROHRER, N. J. High-performance CMOS variability in the 65-nm regime and beyond. IBM Journal of Research and Development, [S.l.], v.50, n.4.5, p.433–449, jul 2006.

BUTZEN, Paulo F. et al. BTI and HCI first-order aging estimation for early use in standard cell technology mapping. Microelectronics Reliability, v. 53, n. 9-11, p. 1360-1364, 2013.

CALHOUN, B. H.; CHANDRAKASAN, A. P. A 256-kb 65-nm Sub-threshold SRAM Projeto for Ultra-Low-Voltage Operation. IEEE Journal of Solid-State Circuits, vol. 42, 2007.

CHANG, I. J.; KIM, J.; PARK, S. P.; ROY, K. A 32 kb 10T Sub-Threshold SRAM Array With Bit-Interleaving and Differential Read Scheme in 90 nm CMOS. IEEE Journal of Solid-State Circuits, vol. 44, 2009.

CHANG, L.; FRIED, D. M.; HERGENROTHER, J.; SLEIGHT, J. W.; DENNARD, R. H.; MONTOYE, R. K. Stable SRAM Cell Projeto for the 32 nm Node and Beyond. Symposium on VLSI Technology Digest of Technical Paper, 2005.

CHANG, Meng-Fan et al. A Compact-Area Low-VDDmin 6T SRAM With Improvement in Cell Stability, Read Speed, and Write Margin Using a Dual-Split-Control-Assist Scheme. IEEE Journal of Solid-State Circuits, v. 52, n. 9, p. 2498-2514, 2017.

DINESHKUMAR; DEVI, M. Parimala. Variation Tolerant Sram Cell for Low Power Applications. 2017.

ENSAN, Sina Sayyah; MOAIYERI, Mohammad Hossein; HESSABI, Shaahin. A robust and low-power near-threshold SRAM in 10-nm FinFET technology. *Analog Integrated Circuits and Signal Processing*, v. 94, n. 3, p. 497-506, 2018.

GADHE, A.; SHIRODE, U. Read stability and Write ability analysis of different SRAM cell structures. *International Journal of Engineering Research and Applications (IJERA)*, vol. 3, 2013.

GIERING, K.-U.; LANGE, A.; KACZER, B.; JANCKE, R. BTI variability of SRAM cells under periodically changing stress profiles. In: *INTEGRATED RELIABILITY WORKSHOP (IIRW), 2016 IEEE INTERNATIONAL*, 2016. Anais. . . [S.l.: s.n.], 2016. p.1–5.

HU, V. P.-H.; SU, P.; CHUANG, C.-T. Investigation of BTI reliability for monolithic 3D 6T SRAM with ultra-thin-body GeOI MOSFETs. In: *CIRCUITS AND SYSTEMS (ISCAS), 2016 IEEE INTERNATIONAL SYMPOSIUM ON*, 2016. Anais. . . [S.l.: s.n.], 2016. p.2106–2109.

JAIN, Abhishek; SONI, Braj Bihari. A Novel 7T SRAM Cell Layout Design with Low Average Power in Read and Write Cycles. *International Journal of Computer Applications*, v. 157, n. 3, 2017.

JEON, D.; DONG, Q.; KIM, Y.; WANG, X.; CHEN, S.; YU, H.; BLAAUW, D.; SYLVESTER, D. A 23-mW Face Recognition Processor with Mostly-Read 5T Memory in 40-nm CMOS. *IEEE Journal of Solid-State Circuits*, [S.l.], v.52, n.6, p.1628–1642, 2017.

JIN, Minjung et al. Investigation of BTI characteristics and its behavior on 10nm SRAM with high-k/metal gate FinFET technology having multi-VT gate stack. *Microelectronics Reliability*, v. 81, p. 201-209, 2018.

JOSHI, R. V.; ZIEGLER, M. M.; WETTER, H. A Low Voltage SRAM Using Resonant Supply Boosting. *IEEE Journal of Solid-State Circuits*, [S.l.], v.52, n.3, p.634–644, 2017.

KARAPETYAN, S.; SCHLICHTMANN, U. 20nm FinFET-based SRAM cell: Impact of variability and design choices on performance characteristics. In: *SYNTHESIS, MODELING, ANALYSIS AND SIMULATION METHODS AND APPLICATIONS TO CIRCUIT DESIGN (SMACD), 2017 14TH INTERNATIONAL CONFERENCE ON*, 2017. Anais. . . [S.l.: s.n.], 2017. p.1–4.

KARL, E.; GUO, Z.; CONARY, J. W.; MILLER, J. L.; NG, Y.-G.; NALAM, S.; KIM, D.; KEANE, J.; BHATTACHARYA, U.; ZHANG, K. 17.1 A 0.6 V 1.5 GHz 84Mb SRAM design in 14nm FinFET CMOS technology. In: *SOLID-STATE CIRCUITS CONFERENCE-(ISSCC), 2015 IEEE INTERNATIONAL*, 2015. Anais. . . [S.l.: s.n.], 2015. p.1–3.

KIM, Hyun; CHANG, Ik Joon; LEE, Hyuk-Jae. Optimal Selection of SRAM Bit-Cell Size for Power Reduction in Video Compression. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2018.

KIM, Tony Tae-Hyoung; LEE, Zhao Chuan; DO, Anh Tuan. A 32 kb 9T near-threshold SRAM with enhanced read ability at ultra-low voltage operation. *Solid-State Electronics*, v. 139, p. 60-68, 2018.

KÖNIG, Karsten; OSTENDORF, Andreas (Ed.). *Optically induced nanostructures: biomedical and technical applications*. Walter de Gruyter GmbH & Co KG, 2015.

KULKARNI, Jaydeep P.; KIM, Keejong; ROY, Kaushik. A 160 mV robust Schmitt trigger based subthreshold SRAM. *IEEE Journal of Solid-State Circuits*, v. 42, n. 10, p. 2303-2313, 2007.

LEE, Y.-H. et al. Modeling of BTI-aging V T stability for advanced planar and FinFET SRAM reliability. In: *Simulation of Semiconductor Processes and Devices (SISPAD), 2017 International Conference on*. IEEE, 2017. p. 85-88.

LI, Y.; HWANG, C. H.; LI, T. Y.; HAN, M. H. Process-Variation Effect, Metal-Gate Work-Function Fluctuation, and Random-Dopant Fluctuation in Emerging CMOS Technologies. *IEEE Transactions on Electron Devices*, [S.l.], v.57, n.2, p.437–447, Feb 2010.

LIMACHIA, Mitesh et al. Characterization of a Novel 10T Low-Voltage SRAM Cell with High Read and Write Margin for 20nm FinFET Technology. In: *VLSI Design and 2017 16th International Conference on Embedded Systems (VLSID), 2017 30th International Conference on*. IEEE, 2017. p. 309-314.

LIN, Dianpeng et al. A novel highly reliable and low-power radiation hardened SRAM bit-cell design. *IEICE Electronics Express*, v. 15, n. 3, p. 20171129-20171129, 2018.

LU, N.; GERZBERG, L.; MEINDL, J. Scaling limitations of monolithic polycrystalline-silicon resistors in VLSI Static RAM's and logic. *IEEE Journal of Solid State Circuits*, vol. 17, 1982.

LUONG, G.; STRANGIO, S.; TIEDEMANN, A.; BERNARDY, P.; TRELLENKAMP, S.; PALESTRI, P.; MANTL, S.; ZHAO, Q. Experimental characterization of the static noise margins of strained silicon complementary tunnel-FET SRAM. In: *SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 2017 47TH EUROPEAN, 2017*. Anais. . . [S.l.: s.n.], 2017. p.42–45.

MARTINS, Marco Túlio Gonçalves. *Avaliação de defeitos resistivos de manufatura em SRAMs frente ao fenômeno de NBTI*. 2016. Dissertação de Mestrado. Pontifícia Universidade Católica do Rio Grande do Sul.

MOHAMED, H. A.-R.; ANIS, M. Nanometer Variation-Tolerant SRAM: Circuits and Statistical Design for Yield. [S.l.]: Springer, 2013.

MOORE, G.E. Cramming More Components Onto Integrated Circuits. Electronics Magazine, vol. 38, Abr. 1965. pp 114-117.

NASSIF, S. R. Process variability at the 65nm node and beyond. In: IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE, 2008. Anais. . . IEEE, 2008. n.Cicc, p.1–8.

NGSPICE. Holger Vogt, Marcel Hendrix, Paolo Nenzi, 2018. Disponível em: <<http://ngspice.sourceforge.net/>>. Acesso em: 09 jul. 2018.

OH, Tae Woo et al. Power-Gated 9T SRAM cell for low-energy operation. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, v. 25, n. 3, p. 1183-1187, 2017.

PAHUJA, Hitesh et al. A novel single-ended 9T FinFET sub-threshold SRAM cell with high operating margins and low write power for low voltage operations. Integration, the VLSI Journal, v. 60, p. 99-116, 2018.

PASANDI, G.; JAFARI, M.; IMANI, M. A new low-power 10T SRAM cell with improved read SNM. International Journal of Electronics, vol. 102, 2015.

PAVLOV, A.; SACHDEV, M. CMOS SRAM Circuit Project and Parametric Test in Nano-Scaled Technologies – Process-Aware SRAM Project and Test. Springer, 2008.

PENG, Chunyu et al. Average 7T1R Nonvolatile SRAM With R/W Margin Enhanced for Low-Power Application. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, v. 26, n. 3, p. 584-588, 2018.

POMPL, T.; STRASSER, R.; DREXL, S.; OSTERMAYR, M. Comprehensive methodology for the statistic of SRAM Vmin. IEEE Transactions on Device and Materials Reliability, [S.l.], v.15, n.3, p.289–297, 2015.

PRAKASH, O.; MAHESHWARAM, S.; SHARMA, M.; BULUSU, A.; MANHAS, S. K. Performance and Variability Analysis of SiNW 6T-SRAM Cell Using Compact Model With Parasitics. IEEE Transactions on Nanotechnology, [S.l.], v.16, n.6, p.965–973, 2017.

RABAEY, J.M.; CHANDRAKASAN, A.; NIKOLIC, B. Digital Integrated Circuits – A Projeto Perspective. 2nd.ed. Pearson, 2003.

RAHMAN, N.; SINGH, B.P. Static-Noise-Margin Analysis of Conventional 6T SRAM Cell at 45nm Technology. International Journal of Computer Applications, vol. 66, 2013.

ROY, C; ISLAM A. Comparative Analysis of Various 9T SRAM Cell at 22-nm Technology Node. IEEE 2nd International Conference on Recent Trends in Information Systems (ReTIS), 2015.

ROY, Kaushik; MUKHOPADHYAY, Saibal; MAHMOODI-MEIMAND, Hamid. Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits. *Proceedings of the IEEE*, v. 91, n. 2, p. 305-327, 2003.

SAMANDARI-RAD, J.; HUGHEY, R. Power/Energy Minimization Techniques for Variability-Aware High-Performance 16-nm 6T-SRAM. *IEEE Access*, [S.l.], v.4, p.594– 613, 2016.

SANDEEP, R.; DESHPANDE, N. T.; ASWATHA, A. R. Projeto and Analysis of a New Loadless 4T SRAM Cell in Deep Submicron CMOS Technologies. *Second International Conference on Emerging Trends in Engineering and Technology*, 2009.

SARFRAZ, K.; HE, J.; CHAN, M. A 140-mV Variation-Tolerant Deep Sub-Threshold SRAM in 65-nm CMOS. *IEEE Journal of Solid-State Circuits*, [S.l.], v.52, n.8, p.2215–2220, 2017.

SAXENA, S.; MEHRA, R. Low-power and high-speed 13T SRAM cell using FinFETs. *IET Circuits, Devices & Systems*, [S.l.], v.11, n.3, p.250–255, 2016.

SEEVINCK, E.; LIST, F.; LOHSTROH, J. Static-noise margin analysis of MOS SRAM cells. *IEEE Journal of Solid-State Circuits*, [S.l.], v.22, n.5, p.748–754, 1987.

SEMICONDUCTOR INDUSTRY ASSOCIATION – SIA. International Technology Roadmap for Semiconductors 2011 Edition. Disponível em: [http://www.semiconductors.org/clientuploads/directory/DocumentSIA/ITRS\\_2011ExecSum.pdf](http://www.semiconductors.org/clientuploads/directory/DocumentSIA/ITRS_2011ExecSum.pdf). Acesso: Novembro, 2016.

SHARMA, Ashish Kumar; RAVI, V. A novel method for design and implementation of low power, high stable SRAM cell. In: *Nextgen Electronic Technologies: Silicon to Software (ICNETS2)*, 2017 International Conference on. IEEE, 2017. p. 112-116.

SHIN, Kyungho; CHOI, Woong; PARK, Jongsun. Half-Select Free and Bit-Line Sharing 9T SRAM for Reliable Supply Voltage Scaling. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 64, n. 8, p. 2036-2048, 2017.

SILVA, F. G. da; BUTZEN, P. F.; MEINHARDT, C. PVT variability analysis of Fin-FET and CMOS XOR circuits at 16nm. In: *ELECTRONICS, CIRCUITS AND SYSTEMS (ICECS)*, 2016 IEEE INTERNATIONAL CONFERENCE ON, 2016. Anais. . . [S.l.: s.n.], 2016. p.528–531.

SINGH, J.; PRADHAN, D.K.; HOLLIS, S.; MOHANTY, S.P. A Single Ended 6T SRAM Cell Projeto for Ultra-Low-Voltage Applications. *IEICE Electronics Express*, vol. 5, 2008.

SINGH, P. et al. Ultra low power-high stability, positive feedback controlled (PFC) 10T SRAM cell for look up table (LUT) design. *Integration*, v. 62, p. 1-13, 2018.



SMITH, J. A.; NI, K.; GHOSH, R. K.; XU, J.; BADAROGLU, M.; CHIDAMBARAM, P. C.; DATTA, S. Investigation of electrically gate-all-around hexagonal nanowire FET (HexFET) architecture for 5 nm node logic and SRAM applications. In: SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 2017 47TH EUROPEAN, 2017. Anais. . . [S.l.: s.n.], 2017. p.188–191.

SNEHA, G.; KRISHNA, B. H.; KUMAR, C. A. Design of 7T FinFET based SRAM cell design for nanometer regime. In: INVENTIVE SYSTEMS AND CONTROL (ICISC), 2017 INTERNATIONAL CONFERENCE ON, 2017. Anais. . . [S.l.: s.n.], 2017. p.1–4.

SONG, T.; RIM, W.; PARK, S.; KIM, Y.; YANG, G.; KIM, H.; BAEK, S.; JUNG, J.; KWON, B.; CHO, S. et al. A 10 nm FinFET 128 Mb SRAM with assist adjustment system for power, performance, and area optimization. IEEE Journal of Solid-State Circuits, [S.l.], v.52, n.1, p.240–249, 2017.

STALLINGS, W. Computer Organization and Architecture – Projetoing for Performance. 9th.ed. Pearson, 2012.

SUBIRATS, A.; GARROS, X.; MAZURIER, J.; EL HUSSEINI, J.; ROZEAU, O.; REIMBOLD, G.; FAYNOT, O.; GHIBAUDO, G. Impact of dynamic variability on SRAM functionality and performance in nano-scaled CMOS technologies. In: RELIABILITY PHYSICS SYMPOSIUM (IRPS), 2013 IEEE INTERNATIONAL, 2013. Anais. . . [S.l.: s.n.], 2013. p.4A–6.

TAYAL, Shubham; NANDI, Ashutosh. Study of 6T SRAM cell using high-k gate dielectric based junctionless silicon nanotube FET. Superlattices and Microstructures, v. 112, p. 143-150, 2017.

TORRENS, G. et al. A 65-nm Reliable 6T CMOS SRAM Cell with Minimum Size Transistors. IEEE Transactions on Emerging Topics in Computing, n. 1, p. 1-1, 2017.

VASHISHT, G.; PAHUJA, H.; SINGH, B.; PANDAY, S. Design and comparative analysis of low power 64 Bit SRAM and its peripherals using power reduction techniques. In: WIRELESS NETWORKS AND EMBEDDED SYSTEMS (WECON), 2016 5TH INTERNATIONAL CONFERENCE ON, 2016. Anais. . . [S.l.: s.n.], 2016. p.1–6.

VENKATAREDDY, A.; SITHARA, R.; KUMAR N. Y. B.; VASANTHA, M.H. Characterization of a Novel Low Leakage Power and Area Efficient 7T SRAM Cell. International Conference on VLSI Projeto, 2016.

VERMA, N.; CHANDRAKASAN, A. P.; A 256 kb 65 nm 8T Subthreshold SRAM Employing Sense-Amplifier Redundancy. IEEE Journal of Solid-State Circuits, Vol. 43, 2008.

WADSACK, R. L. Fault modeling and logic simulation of CMOS and MOS integrated circuits. *Bell Labs Technical Journal*, v. 57, n. 5, p. 1449-1474, 1978.

WANG, Wenping et al. An efficient method to identify critical gates under circuit aging. In: *Computer-Aided Design, 2007. ICCAD 2007. IEEE/ACM International Conference on*. IEEE, 2007. p. 735-740.

WESTE, N. H. E.; HARRIS, D. CMOS VLSI Projeto – A Circuits and Systems Perspective. 4rd.ed. [S.l.]: Pearson Addison Wesley, 2010.

YABUUCHI, Makoto et al. A 45nm low-standby-power embedded SRAM with improved immunity against process and temperature variations. In: *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*. IEEE, 2007. p. 326-606.

YADAV, J. K.; DAS, P.; JAIN, A.; GROVER, A. Area compact 5T portless SRAM cell for high density cache in 65nm CMOS. In: *VLSI DESIGN AND TEST (VDAT), 2015 19TH INTERNATIONAL SYMPOSIUM ON*, 2015. Anais. . . [S.l.: s.n.], 2015. p.1–4.

YAO, X.; HINDMAN, N.; CLARK, L. T.; HOLBERT, K. E.; ALEXANDER, D. R.; SHEDD, W. M. The impact of total ionizing dose on unhardened SRAM cell margins. *IEEE Transactions on Nuclear Science*, [S.l.], v.55, n.6, p.3280–3287, 2008.

YOSHIMOTO, S.; AMASHITA, T.; OKUMURA, S.; NII, K.; KAWAGUCHI, H.; YOSHIMOTO, M. NMOS-inside 6T SRAM layout reducing neutron-induced multiple cell upsets. In: *RELIABILITY PHYSICS SYMPOSIUM (IRPS), 2012 IEEE INTERNATIONAL*, 2012. Anais. . . [S.l.: s.n.], 2012. p.5B–5.

ZHANG, K.; BHATTACHARYA; CHEN, F. HAMZAOGLU, F.; MURRAY, D.; VALLEPALI, N.; WANG, Y.; ZHENG, B.; BOHR, M. A 3-GHz 70-Mb SRAM in 65-nm CMOS technology with integrated column-based dynamic power supply. *IEEE Journal of Solid State Circuits*, vol. 41, 2006.

ZHAO, W.; CAO, Y. New generation of Predictive Technology Model for sub-45nm early projeto exploration. *IEEE Trans. on Electron Devices*, vol. 53, 2006.

ZIMMER, B.; TOH, S. O.; VO, H.; LEE, Y.; THOMAS, O.; ASANOVIC, K.; NIKOLIC, B. SRAM Assist Techniques for Operation in a Wide Voltage Range in 28-nm CMOS. *IEEE Transactions on Circuits and Systems—II: Express Briefs*, vol. 44, 2009.

ZIMPECK, A. L.; AGUIAR, Y.; MEINHARDT, C.; REIS, R. Geometric variability impact on 7nm Trigate combinational cells. In: *ELECTRONICS, CIRCUITS AND SYSTEMS (ICECS), 2016 IEEE INTERNATIONAL CONFERENCE ON*, 2016. Anais. . . [S.l.: s.n.], 2016. p.9–12.

## ANEXO I – DESCRIÇÕES ELÉTRICAS EM SPICE

Descrição elétrica 1 – Realizar simulações Monte Carlo para calcular os tempos de escrita, leitura e potência total da célula 6T.

```
.include 16nm_HP_Vth_var.pm
.include inversor_cmos.txt

* Distribuição gaussiana
.define gauss(nom, rvar, sig) (nom + (nom*rvar)/sig * sgauss(0))
.param vthn = gauss(0.47965, 0.1, 3)
.param vthp = gauss(-0.43121, 0.1, 3)

* Nodo tecnológico
.param length = 16n

* Tensão do circuito
.param supply = 0.7

* Numero de células na coluna
.param num_cell = 128

* Contantes de tempo
* Tempo de sinal alto ou baixo
.param ts_r = 1/(7*clock)
.param ts_w = 1/(7*clock)
* Clock (g: ghz, meg:mhz, k: khz)
.param clock = 1g
.param slope = 0.01*unit
.param unit = 1/clock

* Dimensão mínima
.param w_min = 32n
* Dimensionamento da célula
.param w_m1m2 = 64n
.param w_m3m4 = 32n
.param w_m5m6 = 32n
* Dimensionamento do circuito de escrita
.param w_me_pmos = 64n
.param w_me_nmos = 64n
* Dimensionamento do sense amplifier
.param w_sa = 64n
* Dimensionamento da pré-carga
.param w_pc = 64n

*** Fontes DC
Vcell vcell gnd DC supply
Vvdd vdd gnd DC supply
Vw12 w12 gnd DC 0
```

```

Vw122 w122 gnd DC 0

*** Ondas
* Grava o valor 0
  Vbit bit gnd DC supply

  Vw_we w_we gnd PWL (0n 0 '2*ts_w' 0 '2*ts_w+slope' supply '5*ts_w' supply
'5*ts_w+slope' 0 '6*ts_w' 0)
* 2x Inversores após a onda
  Xwe w_we we vdd w_min inv_inv_CMOS

  Vw_wl w_wl gnd PWL (0n 0 '3*ts_w' 0 '(3*ts_w)+slope' supply '(4*ts_w)'
supply '(4*ts_w)+slope' 0 + '5*ts_w' 0 '(1*unit)+(2*ts_r)' 0 '(1*unit)+(2*ts_r)+slope'
supply '(1*unit)+(3*ts_r)' supply '(1*unit)+(3*ts_r)+slope' 0 '(1*unit)+(5*ts_r)' 0)
* 2x Inversores após a onda
  Xwl w_wl wl vdd w_min inv_inv_CMOS

  Vw_pre w_pre gnd PWL (0n 0 ts_w 0 'ts_w+slope' supply '(6*ts_w)' supply
'6*ts_w+slope' + 0 '7*ts_w' 0 '(1*unit)+(2*ts_r)' 0 '(1*unit)+(2*ts_r)+slope' supply
'(1*unit)+(6*ts_r)' supply '(1*unit)+(6*ts_r)+slope' 0 '(1*unit)+(7*ts_r)' 0)

* 2x Inversores após a onda
  Xpre w_pre pre vdd w_min inv_inv_CMOS

  Vw_sae w_sae gnd PWL (0n 0 '(1*unit)+(4*ts_r)' 0 '(1*unit)+(4*ts_r)+slope'
supply '(1*unit)+(5*ts_r)' supply '(1*unit)+(5*ts_r)+slope' 0 '(1*unit)+(6*ts_r)' 0)

* 2x Inversores após a onda
  Xsae w_sae sae vdd w_min inv_inv_CMOS

* Valor inicial da célula de teste
.ic v(q)=0

* Valores iniciais das 127 células em hold
.ic v(q2)=0 v(qb2)=supply
.ic v(q22)=supply v(qb22)=0

* Netlist célula 6T
* Inversor 1
Mm3 vcell qb q vcell PMOS w=w_m3m4 l=length
Mm1 q qb gnd gnd NMOS w=w_m1m2 l=length

* Inversor 2
Mm4 vcell q qb vcell PMOS w=w_m3m4 l=length
Mm2 qb q gnd gnd NMOS w=w_m1m2 l=length

* Transistores de passagem
Mm6 blb wl qb gnd NMOS w=w_m5m6 l=length
Mm5 bl wl q gnd NMOS w=w_m5m6 l=length

* Netlist circuito de escrita
* Inversor Bit

```

```

Minv_bit1    vdd    bit    bitb    vdd    PMOS    w=w_me_pmos    l=length
Minv_bit2    bitb   bit    gnd     gnd    NMOS    w=w_me_nmos    l=length

* Inversor Write Enable
Minv_we1     vdd    we     web     vdd    PMOS    w=w_me_pmos    l=length
Minv_we2     web    we     gnd     gnd    NMOS    w=w_me_nmos    l=length

* Escreve em BL
Mme1    vdd    bitb   xe1    vdd    PMOS    w=w_me_pmos    l=length
Mme2    gnd    bitb   xe1    gnd    NMOS    w=w_me_nmos    l=length
Mme3    xe1    we     bl     gnd    NMOS    w=w_me_nmos    l=length
Mme4    xe1    web    bl     vdd    PMOS    w=w_me_pmos    l=length

* Escreve em BLB
Mme5    vdd    bit    xe2    vdd    PMOS    w=w_me_pmos    l=length
Mme6    gnd    bit    xe2    gnd    NMOS    w=w_me_nmos    l=length
Mme7    xe2    we     blb    gnd    NMOS    w=w_me_nmos    l=length
Mme8    xe2    web    blb    vdd    PMOS    w=w_me_pmos    l=length

* Sense Amplifier
* Transistores de passagem
Mmsa2    blb    sae    outb   vdd    PMOS    w=w_sa    l=length
Mmsa1    bl    sae    out    vdd    PMOS    w=w_sa    l=length

* Inversor 1
Mmsa3    vdd    out    outb   vdd    PMOS    w=w_sa    l=length
Mmsa5    outb   out    xsa1   gnd    NMOS    w=w_sa    l=length

* Inversor 2
Mmsa4    vdd    outb   out    vdd    PMOS    w=w_sa    l=length
Mmsa6    out    outb   xsa1   gnd    NMOS    w=w_sa    l=length

* Transistor de passagem gnd
Mmsa7    xsa1   sae    gnd    gnd    NMOS    w=w_sa    l=length

* Capacitores para as saidas do sense amplifier
Cload    out    gnd    1f
Cload2   outb   gnd    1f

* Pré-carga
Mpc1    vdd    pre    bl     vdd    PMOS    w= w_pc    l=length
Mpc2    vdd    pre    blb    vdd    PMOS    w= w_pc    l=length
Mpc3    blb    pre    bl     vdd    PMOS    w= w_pc    l=length

*** 63 Celulas 6T (Q = 0)
* Inversor 1
MP12    vdd    q2     qb2    vdd    PMOS    w='w_m3m4*((num_cell/2)-1)'
l=length
MN12    qb2    q2     gnd    gnd    NMOS    w='w_m1m2*((num_cell/2)-1)'
l=length

```

```

        * Inversor 2
        MP22  vdd  qb2  q2  vdd  PMOS  w='w_m3m4*((num_cell/2)-1)'
l=length
        MN22  q2  qb2  gnd  gnd  NMOS  w='w_m1m2*((num_cell/2)-1)'
l=length

        * Transistores de passagem
        MN32  blb  w12  qb2  gnd  NMOS  w='w_m5m6*((num_cell/2)-1)'
l=length
        MN42  bl  w12  q2  gnd  NMOS  w='w_m5m6*((num_cell/2)-1)'
l=length

*** 64 Celulas 6T (Q = 1)
        * Inversor 1
        MP122 vdd  q22  qb22 vdd  PMOS  w='w_m3m4*(num_cell/2)'
l=length
        MN122 qb22 q22  gnd  gnd  NMOS  w='w_m1m2*(num_cell/2)'
l=length

        * Inversor 2
        MP222 vdd  qb22 q22  vdd  PMOS  w='w_m3m4*(num_cell/2)'
l=length
        MN222 q22  qb22 gnd  gnd  NMOS  w='w_m1m2*(num_cell/2)'
l=length

        * Transistores de passagem
        MN322 blb  w122 qb22 gnd  NMOS  w='w_m5m6*(num_cell/2)'
l=length
        MN422 bl  w122 q22  gnd  NMOS  w='w_m5m6*(num_cell/2)'
l=length

*** Tipo de simulação
        .tran '0.005*unit' '2*unit'

Vvtempo vtempo gnd DC '2*unit'

.control
run

** Gambiarra para usar variaveis no meas dentro do .control
meas tran vdd_max find v(vdd) at = 0n
let meia_tensao = vdd_max/2
let descarga_bitline = vdd_max*0.9
meas tran tempo_aux find v(vtempo) at = 0n
let tempo = tempo_aux

*** Obtenção de resultados
        * Escrita 0
meas tran Escrita0 trig v(w1) val=meia_tensao rise=1 targ
v(qb) val=meia_tensao fall=1
echo $&Escrita0 >> Resultados/6t_escrita0.txt

```

```

* Escrita 1
    meas tran Escrita1 trig v(w1) val=meia_tensao rise=1 targ
v(q) val=meia_tensao rise=1
    echo $&Escrita1 >> Resultados/6t_escrita1.txt
* Leitura
    meas tran Leitura trig v(w1) val=meia_tensao rise=2 targ
v(blb) val=descarga_bitline fall=2
    echo $&Leitura >> Resultados/6t_leitura.txt
* Energia
    meas tran Energia_vcell INTEG i(Vcell) from=0 to=tempo
    echo $&Energia_vcell >> Resultados/6t_energia.txt
* set
    set appendwrite true
    set noaskquit
    set color0=white      **white background
    set color1=black     **black grid
    set xbrushwidth=2    **linewidth for grid, border and graph
quit
.endc
.end
```

## Descrição elétrica 2 – Realizar simulações para variabilidade de temperatura.

```

*** Célula SRAM

.include 16nm_HP.pm
.include inversor_cmos.txt

* Temperatura
    .temp 0

* Numero de células na coluna
    .param num_cell = 128

* Tecnologia
    .param length = 16n

* Tensão nominal
    .param supply = 0.7

* Tempo de sinal alto ou baixo
    .param ts_r = 1/(7*clock)
    .param ts_w = 1/(7*clock)

* Clock (g: ghz, meg:mhz, k: khz)
    .param clock = 1g
    .param slope = 0.01n
    *.param slope = 0.01*unit
    .param unit = 1/clock

* Dimensão mínima
    .param w_min = 32n

* Sizing da célula
    .param wpcell = 32n
    .param wncell = 32n
    .param wpt = 32n
    .param wread = 64n

* Transistores de escrita e pré-carga
    .param wp = 64n
    .param wn = 64n

*** Fontes DC
    Vvdd  vdd          gnd          DC          supply
    Vcell  vcell       gnd          DC          supply
    Vw12   w12         gnd          DC          0
    vrw12  rw12       gnd          DC          0

```



```

*** Ondas

      Vbit          bit    gnd          DC          0

      Vw_we          w_we   gnd          PWL (0 0
+      '(2*ts_w)'    0      '(2*ts_w)+slope'  supply '(5*ts_w)'  supply
'(5*ts_w)+slope'  0      '6*ts_w'  0
+      )
      Xwe           w_we   we          vdd        w_min   inv_inv_CMOS

      Vw_rwl         w_rwl  gnd          PWL      (0 0
+      '(unit)+(2*ts_r)' 0  '(unit)+(2*ts_r)+slope' supply '(unit)+(3*ts_r)'
supply '(unit)+(3*ts_r)+slope' 0
+      )
      Xrwl          w_rwl  rwl         vdd        w_min   inv_inv_CMOS

      Vw_wl          w_wl   gnd          PWL      (0 0
+      '3*ts_w' 0      '(3*ts_w)+slope' supply '(4*ts_w)-slope' supply '(4*ts_w)'
0 '5*ts_w' 0
+      )
      Xw_wl          w_wl   wl          vdd        w_min   inv_inv_CMOS

      Vw_pre         w_pre  gnd          PWL (0 0
+      'ts_w' 0      'ts_w+slope' supply '(6*ts_w)-slope' supply '(6*ts_w)' 0
+      )
      Xpre          w_pre  pre         vdd        w_min   inv_inv_CMOS

      Vw_pre_r       w_pre_r gnd          PWL (0 0
+      '(unit)+(2*ts_r)' 0  '(unit)+(2*ts_r)+slope' supply '(unit)+(4*ts_r)'
supply '(unit)+(4*ts_r)+slope' 0
+      )
      Xpre_r        w_pre_r          pre_r   vdd        w_min   inv_inv_CMOS

*** Valor inicial da célula de teste
.ic v(q)=supply

*** Escrita
* Inversor Bit
      MPinvbit       vdd    bit    bitb    vdd    PMOS    w='3*wp'    l=length
      MNinvbit       bitb   bit    gnd     gnd    NMOS    w='3*wn'    l=length

* Inversor Write Enable
      MPinvwe        vdd    we    web     vdd    PMOS    w='3*wp'    l=length
      MNinvwe        web    we    gnd     gnd    NMOS    w='3*wn'    l=length

* Gera blb
      MPbit1         vdd    bit    xesc1   vdd    PMOS    w='3*wp'    l=length
      MNbit1         gnd    bit    xesc1   gnd    NMOS    w='3*wn'    l=length
      MNwe1          xesc1  we    blb     gnd    NMOS    w='3*wn'    l=length
      MPweb1         xesc1  web   blb     vdd    PMOS    w='3*wp'    l=length

```

```

* Gera bl
MPbitb2      vdd  bitb  xesc2  vdd  PMOS  w='3*wp'  l=length
MNbit2      gnd  bitb  xesc2  gnd  NMOS  w='3*wn'  l=length
MNwe2       xesc2 we    bl    gnd  NMOS  w='3*wn'  l=length
MPweb2      xesc2 web   bl    vdd  PMOS  w='3*wp'  l=length
***

*** Pré-carga
MPpre1 vdd  pre  blb  vdd  PMOS  w='3*wp'  l=length
MPpre2 vdd  pre  bl  vdd  PMOS  w='3*wp'  l=length
MPpre3 blb  pre  bl  vdd  PMOS  w='3*wp'  l=length

*** Pré-carga RBL
MPpre4      vdd  pre_r  rbl  vdd  PMOS  w='3*wp'  l=length

*** Celula 8T
* Inversor 1
MP1  vcell  Qb  Q  vcell  PMOS  w=wpcell  l=length
MN1  Q  Qb  gnd  gnd  NMOS  w=wncell  l=length

* Inversor 2
MP2  vcell  Q  Qb  vcell  PMOS  w=wpcell  l=length
MN2  Qb  Q  gnd  gnd  NMOS  w=wncell  l=length

* Transistores de passagem
MN3  bl  w1  Q  gnd  NMOS  w=wpt  l=length
MN4  blb  w1  Qb  gnd  NMOS  w=wpt  l=length

* Leitura
MNLei1  rbl  rw1  nodo1  gnd  NMOS  w=wread  l=length
MNLei2  nodo1  Qb  gnd  gnd  NMOS  w=wread  l=length

*** 63 Celulas 8T
* Inversor 1
MP12  vdd  Qb2  Q2  vdd  PMOS
w='wpcell*((num_cell/2)-1)'  l=length
MN12  Q2  Qb2  gnd  gnd  NMOS
w='wncell*((num_cell/2)-1)'  l=length

* Inversor 2
MP22  vdd2  Q2  Qb2  vdd  PMOS
w='wpcell*((num_cell/2)-1)'  l=length
MN22  Qb2  Q2  gnd  gnd  NMOS
w='wncell*((num_cell/2)-1)'  l=length

* Transistores de passagem
MN32  bl  w12  Q2  gnd  NMOS
w='wpt*((num_cell/2)-1)'  l=length
MN42  blb  w12  Qb2  gnd  NMOS
w='wpt*((num_cell/2)-1)'  l=length

```

```

* Leitura
    MNLei12  rbl          rw12  nodo12  gnd          NMOS
w='wread*((num_cell/2)-1)' l=length
    MNLei22  nodo12  Qb2    gnd    gnd    NMOS
w='wread*((num_cell/2)-1)' l=length

*** 64 Celulas 8T
* Inversor 1
    MP122  vdd    Qb22  Q22    vdd          PMOS
w='wpcell*(num_cell/2)' l=length
    MN122  Q22          Qb22  gnd          gnd    NMOS
w='wncell*(num_cell/2)' l=length

* Inversor 2
    MP222  vdd2  Q22          Qb22  vdd          PMOS
w='wpcell*(num_cell/2)' l=length
    MN222  Qb2          Q22          gnd    gnd          NMOS
w='wncell*(num_cell/2)' l=length

* Transistores de passagem
    MN322  b1          w12          Q22          gnd          NMOS
w='wpt*(num_cell/2)' l=length
    MN422  blb          w12          Qb22  gnd          NMOS
w='wpt*(num_cell/2)' l=length

* Leitura
    MNLei122  rbl          rw12  nodo122  gnd    NMOS
w='wread*(num_cell/2)' l=length
    MNLei222  nodo122  Qb22  gnd          gnd    NMOS
w='wread*(num_cell/2)' l=length

Vvtempo vtempo gnd DC '2*unit'

.control
    foreach var 0 25 50 75 100 125

        set temp = $var
        tran 0.001n 2n

        ** Gambiarra para usar variaveis no meas dentro do .control
        meas tran vdd_max find v(vdd) at = 0n
        let meia_tensao = vdd_max/2
        let descarga_bitline = vdd_max*0.9

        meas tran tempo_aux find v(vtempo) at = 0n
        let tempo = tempo_aux
        echo Valores em $var °C >> Resultados_timing_8t.txt

* Escrita 0

```

```
meas tran Escrita_0 trig v(wl) val=meia_tensao rise=1 targ
v(q) val=meia_tensao fall=1
echo Escrita0 >> Resultados_timing_8t.txt
echo $&Escrita_0 >> Resultados_timing_8t.txt

* Escrita 1
meas tran Escrita_1 trig v(wl) val=meia_tensao rise=1 targ
v(qb) val=meia_tensao rise=1
echo Escrita1 >> Resultados_timing_8t.txt
echo $&Escrita_1 >> Resultados_timing_8t.txt

* Leitura 0
meas tran Leitura trig v(rwl) val=meia_tensao rise=1 targ
v(rbl) val=descarga_bitline fall=1
echo Leitura >> Resultados_timing_8t.txt
echo $&Leitura >> Resultados_timing_8t.txt

* Energia
meas tran Energia_vcell INTEG i(Vcell) from=0 to=tempo
echo Energia >> Resultados_timing_8t.txt
echo $&Energia_vcell >> Resultados_timing_8t.txt

echo >> Resultados_timing_8t.txt
reset
end

set noaskquit
.endc
.end
```

## Descrição elétrica 3 – Realizar simulações para BTI.

```
*** Célula SRAM

.include 16nm_HP_aging.pm

.include 8t_params_temp.txt

.include inversor_cmos.txt

* Nodo tecnológico

    .param length = 16n

* Tensão do circuito

    .param supply = 0.7

* Numero de células na coluna

    .param num_cell = 128

* Contantes de tempo

    * Tempo de sinal alto ou baixo

        .param ts_r = 1/(7*clock)

        .param ts_w = 1/(7*clock)

    * Clock (g: ghz, meg:mhz, k: khz)

        .param clock = 1g

        .param slope = 0.01*unit

        .param unit = 1/clock

    * Dimensão mínima

        .param w_min = 32n

    * Dimensionamento da célula

        .param w_m1m2 = 64n

        .param w_m3m4 = 32n

        .param w_m5m6 = 32n

    * Dimensionamento do circuito de escrita

        .param w_me_pmos = 64n

        .param w_me_nmos = 64n

    * Dimensionamento do sense amplifier

        .param w_sa = 64n

    * Dimensionamento da pré-carga

        .param w_pc = 64n
```

## \*\*\* Fontes DC

```

Vcell  vcell  gnd  DC  supply
Vvdd   vdd    gnd  DC  supply
Vw12   w12    gnd  DC  0
Vw122  w122   gnd  DC  0

```

## \*\*\* Ondas

```
* Grava o valor 0
```

```
Vbit   bit    gnd  DC  supply
```

```
Vw_we  w_we   gnd          PWL (0p 0 0.001p 0
```

```

+      '2*ts_w' 0 '2*ts_w+slope' supply '5*ts_w' supply '5*ts_w+slope' 0
'6*ts_w' 0)

```

```
* 2x Inversores após a onda
```

```
Xwe    w_we   we      vdd   w_min  inv_inv_CMOS
```

```

Vw_wl  w_wl   gnd          PWL (0p 0 0.001p 0 '3*ts_w' 0 '(3*ts_w)+slope'
supply '(4*ts_w)' supply '(4*ts_w)+slope' 0 '5*ts_w' 0 '(1*unit)+(2*ts_r)' 0
'(1*unit)+(2*ts_r)+slope' supply '(1*unit)+(3*ts_r)' supply '(1*unit)+(3*ts_r)+slope' 0
'(1*unit)+(5*ts_r)' 0)

```

```
* 2x Inversores após a onda
```

```
Xwl    w_wl   wl      vdd   w_min  inv_inv_CMOS
```

```
Vw_pre w_pre  gnd          PWL (0p 0 0.001p 0
```

```
ts_w 0 'ts_w+slope' supply '(6*ts_w)' supply '6*ts_w+slope' 0 '7*ts_w' 0
```

```

'(1*unit)+(2*ts_r)' 0 '(1*unit)+(2*ts_r)+slope' supply '(1*unit)+(6*ts_r)' supply
'(1*unit)+(6*ts_r)+slope' 0 '(1*unit)+(7*ts_r)' 0)

```

```
* 2x Inversores após a onda
```

```
Xpre   w_pre  pre      vdd   w_min  inv_inv_CMOS
```

```
Vw_sae w_sae  gnd          PWL (0p 0 0.001p 0
```

```

'(1*unit)+(4*ts_r)' 0 '(1*unit)+(4*ts_r)+slope' supply '(1*unit)+(5*ts_r)' supply
'(1*unit)+(5*ts_r)+slope' 0 '(1*unit)+(6*ts_r)' )

```

```
* 2x Inversores após a onda
```

```
Xsae   w_sae  sae      vdd   w_min  inv_inv_CMOS
```

\* Valor inicial da célula de teste

```
.ic v(q)=0
```

\* Valores iniciais das 127 células em hold

```
.ic v(q2)=0          v(qb2)=supply
```

```
.ic v(q22)=supply  v(qb22)=0
```

\* Netlist célula 6T

\* Inversor 1

```
Mm3      vcell qb    q    vcell PMOS_inv  w=w_m3m4    l=length
```

```
Mm1      q    qb    gnd  gnd  NMOS_inv  w=w_m1m2    l=length
```

\* Inversor 2

```
Mm4      vcell q     q    vcell PMOS_inv  w=w_m3m4    l=length
```

```
Mm2      qb   q     gnd  gnd  NMOS_inv  w=w_m1m2    l=length
```

\* Transistores de passagem

```
Mm6      blb  w1    qb    gnd  NMOS_pt  w=w_m5m6    l=length
```

```
Mm5      bl   w1    q     gnd  NMOS_pt  w=w_m5m6    l=length
```

\* Netlist circuito de escrita

\* Inversor Bit

```
Minv_bit1 vdd          bit          bitb  vdd          PMOS_wd_sa
w=w_me_pmos          l=length
```

```
Minv_bit2 bitb      bit          gnd          gnd          NMOS_wd_sa
w=w_me_nmos          l=length
```

\* Inversor Write Enable

```
Minv_we1  vdd          we          web      vdd          PMOS_wd_sa
w=w_me_pmos          l=length
```

```
Minv_we2  web          we          gnd      gnd          NMOS_wd_sa
w=w_me_nmos          l=length
```

\* Escreve em BL

```
Mme1  vdd          bitb  xe1          vdd          PMOS_wd_sa  w=w_me_pmos
      l=length
```

```
Mme2  gnd          bitb  xe1          gnd          NMOS_wd_sa  w=w_me_nmos
      l=length
```

```
Mme3  xe1          we          bl          gnd          NMOS_wd_sa
w=w_me_nmos          l=length
```

```
Mme4  xe1      web      bl      vdd      PMOS_wd_sa
w=w_me_pmos   l=length
```

\* Escreve em BLB

```
Mme5  vdd      bit      xe2      vdd      PMOS_wd_sa
w=w_me_pmos   l=length
```

```
Mme6  gnd      bit      xe2      gnd      NMOS_wd_sa
w=w_me_nmos   l=length
```

```
Mme7  xe2      we      blb     gnd      NMOS_wd_sa
w=w_me_nmos   l=length
```

```
Mme8  xe2      web      blb     vdd      PMOS_wd_sa
w=w_me_pmos   l=length
```

\* Sense Amplifier

\* Transistores de passagem

```
Mmsa2  blb     sae     outb   vdd     PMOS_wd_sa  w=w_sa l=length
```

```
Mmsa1  bl      sae     out    vdd     PMOS_wd_sa  w=w_sa l=length
```

\* Inversor 1

```
Mmsa3  vdd     out     outb   vdd     PMOS_wd_sa  w=w_sa l=length
```

```
Mmsa5  outb    out     xsal   gnd     NMOS_wd_sa  w=w_sa l=length
```

\* Inversor 2

```
Mmsa4  vdd     outb    out    vdd     PMOS_wd_sa  w=w_sa l=length
```

```
Mmsa6  out     outb    xsal   gnd     NMOS_wd_sa  w=w_sa l=length
```

\* Transistor de passagem gnd

```
Mmsa7  xsal    sae     gnd     gnd     NMOS_wd_sa  w=w_sa l=length
```

\* Capacitores para as saídas do sense amplifier

```
Cload  out          gnd          1f
```

```
Cload2 outb      gnd          1f
```

\* Pré-carga

```
Mpc1  vdd     pre     bl      vdd     PMOS_pre    w= w_pc
l=length
```

```
Mpc2  vdd     pre     blb     vdd     PMOS_pre    w= w_pc
l=length
```

```
Mpc3  blb     pre     bl      vdd     PMOS_pre    w= w_pc
l=length
```



\*\*\* 63 Celulas 6T (Q = 0)

\* Inversor 1

MP12 vdd q2 qb2 vdd PMOS\_inv w='w\_m3m4\*((num\_cell/2)-1)'  
l=length

MN12 qb2 q2 gnd gnd NMOS\_inv w='w\_m1m2\*((num\_cell/2)-1)'  
l=length

\* Inversor 2

MP22 vdd qb2 q2 vdd PMOS\_inv w='w\_m3m4\*((num\_cell/2)-1)'  
l=length

MN22 q2 qb2 gnd gnd NMOS\_inv w='w\_m1m2\*((num\_cell/2)-1)'  
l=length

\* Transistores de passagem

MN32 blb w12 qb2 gnd NMOS\_pt  
w='w\_m5m6\*((num\_cell/2)-1)'  
l=length

MN42 bl w12 q2 gnd NMOS\_pt  
w='w\_m5m6\*((num\_cell/2)-1)'  
l=length

\*\*\* 64 Celulas 6T (Q = 1)

\* Inversor 1

MP122 vdd q22 qb22 vdd PMOS\_inv w='w\_m3m4\*(num\_cell/2)'  
l=length

MN122 qb22 q22 gnd gnd NMOS\_inv  
w='w\_m1m2\*(num\_cell/2)'  
l=length

\* Inversor 2

MP222 vdd qb22 q22 vdd PMOS\_inv  
w='w\_m3m4\*(num\_cell/2)'  
l=length

MN222 q22 qb22 gnd gnd NMOS\_inv  
w='w\_m1m2\*(num\_cell/2)'  
l=length

\* Transistores de passagem

MN322 blb w122 qb22 gnd NMOS\_pt  
w='w\_m5m6\*(num\_cell/2)'  
l=length

MN422 bl w122 q22 gnd NMOS\_pt  
w='w\_m5m6\*(num\_cell/2)'  
l=length

Vvtempo vtempo gnd DC '2\*unit'

```

.control

tran 0.01n 2n

** Gambiarra para usar variaveis no meas dentro do .control

    meas tran vdd_max find v(blb) at = 0n

    let meia_tensao = vdd_max/2

    let descarga_bitline = vdd_max*0.9

    meas tran tempo_aux find v(vtempo) at = 0n

    let tempo = tempo_aux

* Escrita 0

    meas tran Escrita0 trig v(wl) val=meia_tensao rise=1 targ v(qb)
val=meia_tensao fall=1

    echo Escrita0 >> Resultados_timing_6t.txt

    echo $&Escrita0 >> Resultados_timing_6t.txt

* Escrita 1

    meas tran Escrita1 trig v(wl) val=meia_tensao rise=1 targ v(q)
val=meia_tensao rise=1

    echo Escrita1 >> Resultados_timing_6t.txt

    echo $&Escrita1 >> Resultados_timing_6t.txt

* Leitura

    meas tran Leitura trig v(wl) val=meia_tensao rise=2 targ v(blb)
val=descarga_bitline fall=2

    echo Leitura >> Resultados_timing_6t.txt

    echo $&Leitura >> Resultados_timing_6t.txt

* Energia

    meas tran Energia_vcell INTEG i(Vcell) from=0 to=tempo

    echo Energia >> Resultados_timing_6t.txt

    echo $&Energia_vcell >> Resultados_timing_6t.txt

echo >> Resultados_timing_6t.txt

* set

    set appendwrite true

    set noaskquit

quit

.endc

.end

```

## ANEXO II – SOFTWARES CRIADOS E UTILIZADOS

### Código 1 – Calcular as margens de ruído a partir da inserção das curvas de transferência de tensão

```

#include<stdio.h>
#include<stdlib.h>
#include<string.h>
#include <unistd.h>

void montaCurvas_SNM_RNM(FILE *arquivo, double** curva1, double** curva2, int tam_curva){
    int x, x_aux=0;
    char str [50];
    double numero;

    for (x=0;x<tam_curva*2;x++){
        fscanf(arquivo,"%s",str);
        numero = atof(str);
        if (x%2 == 0){
            curva1[x_aux][0] = numero;
            curva2[x_aux][1] = numero;
        }
        else{
            curva1[x_aux][1] = numero;
            curva2[x_aux][0] = numero;
            x_aux++;
        }
    }
}

void montaCurvas_WNM(FILE *arquivo, FILE *arquivo2, double** curva1, double** curva2, int
tam_curva){
    int x, x_aux=0;
    char str1 [50];
    char str2 [50];
    double numero1;
    double numero2;

    for (x=0;x<tam_curva*2;x++){
        fscanf(arquivo,"%s",str1);
        numero1 = atof(str1);
        fscanf(arquivo2,"%s",str2);
        numero2 = atof(str2);
        if (x%2 == 0){
            curva1[x_aux][0] = numero1;
            curva2[x_aux][1] = numero2;
        }
        else{
            curva1[x_aux][1] = numero1;

```

```

        curva2[x_aux][0] = numero2;
        x_aux++;
    }
}

double calculaNM(double** curva1, double** curva2, int tam_curva){
    double snm = -1;
    double erro = 0.01;
    double dx, dy;

    int x,y;
    for(x=0;x<tam_curva;x++){
        for(y=0;y<tam_curva;y++){
            dx = curva1[x][0] - curva2[y][0];
            dy = curva1[x][1] - curva2[y][1];
            if ((1-erro <= dx/dy) && (dx/dy <= 1+erro)){
                if (dx > snm)
                    snm = dx;
            }
            else if (dx/dy > 1.25 || dx/dy < 0.75)
                y = y + (tam_curva*0.04);
            else if (dx/dy > 1.5 || dx/dy < 0.5)
                y = y + (tam_curva*0.08);
        }
    }

    return snm;
}

int tamCurva(FILE *arquivo){
    int tam = 0, fim_curva = 0;
    double numero;
    char str[50];

    while((fscanf(arquivo,"%s",str) != EOF) && fim_curva == 0){
        numero = atof(str);
        if (numero == 0 && tam > 0)
            fim_curva = 1;
        else
            tam++;
    }

    // Cada linha possui 2 valores que são lidos separadamente
    tam = tam/2;

    // Seta o ponteiro para o começo do arquivo
    rewind(arquivo);

    return tam;
}

```

```

int main() {
    double **curval;
    double **curva2;
    double snm;
    int x, se_wnm=1;
    char* nome_arq;
    nome_arq = "wnm_6t_c2.data";

    FILE *arquivo;
    arquivo = fopen (nome_arq,"r");
    if(arquivo == NULL)
        printf("Não foi possível abrir o arquivo");

    char* nome_arq2;
    FILE *arquivo2;
    if (se_wnm == 1){
        nome_arq2 = "wnm_6t_c1.data";
        arquivo2 = fopen (nome_arq2,"r");
        if(arquivo2 == NULL)
            printf("Não foi possível abrir o arquivo");
    }

    int tam_curva = tamCurva(arquivo);

    curval = malloc(tam_curva * sizeof *curval);
    curva2 = malloc(tam_curva * sizeof *curva2);
    for (x=0;x<tam_curva;x++){
        curval[x] = malloc(2 * sizeof *curval[x]);
        curva2[x] = malloc(2 * sizeof *curva2[x]);
    }

    char fileSpec[strlen("resultados_")+strlen(nome_arq)+strlen(".data ")];
    snprintf(fileSpec, sizeof(fileSpec), "resultados_%s", nome_arq);
    FILE *arq_resultados = fopen(fileSpec,"ab+");

    for (x=0;x<2000;x++){
        if (se_wnm == 1){
            montaCurvas_WNM(arquivo,arquivo2,curval,curva2,tam_curva);
            double wnm = calculaNm(curval,curva2,tam_curva);
            fprintf(arq_resultados,"%f\n",wnm);
        }
        else{
            montaCurvas_SNM_RNM(arquivo,curval,curva2,tam_curva);
            snm = calculaNm(curval,curva2,tam_curva);
            fprintf(arq_resultados,"%f\n",snm);
        }
    }

    fclose(arq_resultados);
    fclose(arquivo);
    fclose(arquivo2);
}

```

## Código 2 – Programa para executar 2000 simulações Monte Carlo

```
#include<stdio.h>
#include<stdlib.h>
#include<string.h>
#include <unistd.h>

int main(int argc, char* argv[]) {

    int i, j;

    for(i = 0; i < 2000; i++) {

        // Célula 6T
        char timing[199] = "ngspice.exe 6t_timing.txt";
        system(timing);

        char hsnm[199] = "ngspice.exe 6t_hsnm.txt";
        system(hsnm);

        char rsnm[199] = "ngspice.exe 6t_rsnm.txt";
        system(rsnm);

        char wsnm[199] = "ngspice.exe 6t_wsnm.txt";
        system(wsnm);
    }
    return 0;
}
```

## ANEXO III – TABELAS COMPLEMENTARES

Tabela 1 – Variabilidade de temperatura em tecnologia HP

Temperatura (°C)		0	25	50	75	100	125
<b>6T</b>	<b>Atraso (ps)</b>	10.7	11.1	11.2	10.7	9.2	6.5
	<b>Ioff (nA)</b>	27.4	39.0	53.5	70.9	91.1	114.1
	<b>Pot. Total (nW)</b>	78.0	87.1	99.5	114.6	132.5	152.8
	<b>RSNM (mV)</b>	75.4	66.1	57.9	50.6	43.9	37.5
<b>8T</b>	<b>Atraso (ps)</b>	11.8	13.2	14.5	15.2	15.2	14.1
	<b>Ioff (nA)</b>	17.0	23.8	32.1	41.8	53.2	66.2
	<b>Pot. Total (nW)</b>	62.0	67.1	73.4	81.0	89.8	99.7
	<b>RSNM (mV)</b>	189.7	181.5	174.3	167.6	161.2	155.0
<b>9T</b>	<b>Atraso (ps)</b>	10.8	11.4	11.4	11.5	12.7	14.8
	<b>Ioff (nA)</b>	17.0	23.8	32.1	41.8	53.1	66.2
	<b>Pot. Total (nW)</b>	60.0	64.8	71.1	78.6	87.3	97.2
	<b>RSNM (mV)</b>	189.7	181.5	174.3	167.6	161.2	155.0

Tabela 2 – Variabilidade de temperatura em tecnologia LP

Temperatura (°C)		0	25	50	75	100	125
<b>6T</b>	<b>Atraso (µs)</b>	3.8	5.6	3.3	2.2	1.6	1.3
	<b>Ioff (pA)</b>	1.1	1.2	1.5	2.1	3.5	7.4
	<b>Pot. Total (fW)</b>	344.0	382.4	506.1	856.6	1681.5	3466.8
	<b>RSNM (mV)</b>	21.1	13.4	12.0	11.5	12.6	14.4
<b>8T</b>	<b>Atraso (µs)</b>	7.6	3.9	2.0	1.2	0.8	0.4
	<b>Ioff (pA)</b>	1.1	1.2	1.3	1.6	2.3	4.8
	<b>Pot. Total (fW)</b>	337.6	358.7	396.7	486.8	713.4	1538.4
	<b>RSNM (mV)</b>	33.3	50.8	59.8	62.6	62.2	59.5
<b>9T</b>	<b>Atraso (µs)</b>	8.2	4.2	2.3	1.3	0.8	0.5
	<b>Ioff (pA)</b>	1.1	1.2	1.3	1.6	2.3	4.8
	<b>Pot. Total (fW)</b>	337.2	358.2	396.8	487.0	714.3	1539.1
	<b>RSNM (mV)</b>	33.4	50.9	59.8	62.6	62.2	59.5