

UNIVERSIDADE FEDERAL DO RIO GRANDE – FURG
CENTRO DE CIÊNCIAS COMPUTACIONAIS
PROGRAMA DE PÓS GRADUAÇÃO EM COMPUTAÇÃO
CURSO DE MESTRADO EM ENGENHARIA DE COMPUTAÇÃO

Dissertação de Mestrado

**Aplicação da tecnologia memresistiva ao projeto de sistemas
digitais através da exploração de circuitos híbridos e implicação
material**

Cesar de Souza Dias

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Computação da Universidade Federal do Rio Grande, como requisito parcial para a obtenção do grau de Mestre em Engenharia de Computação

Orientador: Prof. Dr. Paulo Francisco Butzen

Rio Grande, 2018

Ficha catalográfica

D541a

Dias, Cesar de Souza.

Aplicação da tecnologia memresistiva ao projeto de sistemas digitais através da exploração de circuitos híbridos e implicação material / Cesar de Souza Dias. – 2018.

150 p.

Dissertação (Mestrado) – Universidade Federal do Rio Grande, Programa de Pós-Graduação em Computação, Rio Grande/RS, 2018.
Orientador: Dr. Paulo Francisco Butzen.

1. Tecnologia CMOS 2. Nanoeletrônica 3. Memristor 4. Circuitos híbridos 5. Implicação material I. Butzen, Paulo Francisco II. Título.

CDU 004

Catálogo na fonte: Bibliotecária Claudia Maria Gomes da Cunha CRB10/1942

ATA DE SESSÃO DE DEFESA DE DISSERTAÇÃO DE MESTRADO

Ata nº 09/2018

Na data de 26 de abril de 2018, às 14h, ocorreu a Sessão de Defesa de Dissertação de Mestrado de Cesar de Souza Dias, que apresentou a dissertação intitulada Aplicação da tecnologia memresistiva ao projeto de sistemas digitais através da exploração de circuitos híbridos e implicação material, realizada sob a orientação do Prof. Dr. Paulo Francisco Butzen. A banca examinadora foi constituída pelos Profs. Prof. Dr. Raphael Martins Bhrum (UFRGS), Prof. Dr. Denis Teixeira Franco (UFPEL) e sob a presidência do orientador. Após a apresentação do trabalho, a banca arguiu o candidato e, a seguir, deliberou pela

- aprovação da Dissertação
() aprovação da Dissertação, sugerindo modificações no texto
() reprovação da Dissertação

Rio Grande, 26 de abril de 2018.

_____
Prof. Dr. Raphael Martins Bhrum_____
Prof. Dr. Denis Teixeira Franco_____
Prof. Dr. Paulo Francisco Butzen
Orientador

AGRADECIMENTOS

Primeiramente, gostaria de agradecer à minha esposa, Aline, pelo seu carinho, companheirismo e dedicação.

Agradeço à minha mãe, irmãos e família, por fazerem parte de toda a minha trajetória.

Um agradecimento especial ao meu orientador, professor Paulo Francisco Butzen, tanto pela sua contribuição técnica quanto pelo tratamento humilde e compreensivo que recebi ao longo desta jornada. Em especial, sou grato pela confiança creditada à minha proposta de dissertação e pelo encorajamento ao desbravamento dos memristores. Nossos debates sobre o tema foram de inestimável importância para o desenvolvimento do trabalho.

Agradeço também a todos os amigos e professores que, de alguma forma, contribuíram para a minha formação pessoal e profissional, em todos os locais e níveis de ensino.

“Eu prefiro ser

Essa metamorfose ambulante

Do que ter aquela velha opinião

Formada sobre tudo...” – Raul Seixas.

RESUMO

A redução de escala dos circuitos CMOS tem sido incessantemente explorada durante as últimas décadas para aumentar a densidade de encapsulamento de transistores, tornar os circuitos eletrônicos mais rápidos e diminuir a sua dissipação de potência (TAUR et al., 1997). Isso possibilitou uma grande evolução dos computadores e o surgimento de uma infinidade de aplicações. Entretanto, está se tornando cada vez mais difícil sustentar essa tendência, uma vez que as dimensões dos MOSFETs já se encontram sobre o regime nanométrico (BORKAR et al., 2004; KUHN, 2012). Com a escala de fabricação dos transistores aproximando-se dos limites físicos da atômica e da mecânica quântica, a indústria de semicondutores está enfrentando importantes desafios técnicos, sobretudo em relação à redução da confiabilidade e ao crescimento da dissipação estática de potência e do custo de produção dos circuitos integrados (KIM et al., 2003; CHING-TE et al., 2007; HOEFFLINGER, 2012). Além disso, o próprio progresso científico das arquiteturas computacionais convencionais também tem enfrentado importantes barreiras nos dias de hoje. Em contrapartida, aplicações atuais, como aquelas relacionadas à *Big Data* e Internet das Coisas (IoT) demandam cada vez mais poder de processamento e capacidade de armazenamento (HAMDIQUI et al., 2017). Para lidar com essa realidade, a exploração de arquiteturas computacionais alternativas baseadas na utilização de tecnologias emergentes, em substituição ou complemento à CMOS, parece ser uma alternativa promissora para o futuro da nanoeletrônica (JABEUR et al., 2014). Dentro do grupo de candidatos com esse perfil, encontram-se os memristores. O nome desse dispositivo é uma contração das palavras “*Memory*” e “*Resistor*”, em função desse componente se comportar, de certa forma, como um resistor não linear com memória (CHUA, 1971). Dentre as características marcantes desse elemento, podem ser citadas a sua não volatilidade, boa escalabilidade, ausência de correntes de fuga e compatibilidade com a tecnologia CMOS (WASER et al., 2009; YANG et al., 2013). Esse conjunto de características possibilita a exploração dos memristores em diversas aplicações, que incluem memórias não voláteis de alta densidade de integração, circuitos lógicos digitais, circuitos analógicos e até mesmo sistemas neuromórficos. Considerando o potencial dessa tecnologia, uma extensa revisão bibliográfica sobre o tema foi realizada pelo presente trabalho, incluindo a busca por modelos elétricos de simulação para a realização de experimentos práticos com memristores. A partir dessa investigação, o foco da pesquisa foi direcionado para o projeto de sistemas digitais através de duas abordagens distintas: lógica híbrida CMOS/memresistiva e implicação material memresistiva. Em relação à lógica híbrida, propõe-se um somador completo inteiramente não volátil de extra-baixo consumo. No campo de implicação material, trabalha-se com um circuito capaz de minimizar expressivamente o tempo de execução necessário para a síntese de uma função Booleana qualquer através da execução preditiva das implicações. Desse modo, tendo como base trabalhos prévios publicados na literatura, espera-se que o conteúdo desta Dissertação possa trazer contribuições relevantes a essa área de interesse.

Palavras-Chave: tecnologia CMOS; nanoeletrônica; memristor; lógica híbrida CMOS/memresistiva; implicação material.

ABSTRACT

The downscaling of CMOS circuits has been unceasingly used in the last decades to achieve higher encapsulation density, faster circuits and lower power consumption (TAUR et al., 1997). This led to a great evolution of computers and the development of innumerable applications. Unfortunately, it has become harder to sustain this tendency, once the dimensions of the MOSFETs are already under the nanometric regime (BORKAR et al., 2004; CHING-TE et al., 2007; KUHN, 2012). With the transistors approaching the physical limits of atomistic and of quantum mechanics, the industry of semiconductors is facing an enormous technical challenge, especially in relation to the reduction of the reliability and growth of static power dissipation and the cost of production of integrated circuits (KIM et al., 2003; CHING-TE et al., 2007; HOEFFLINGER, 2012). In addition, the very scientific progress of conventional computing architectures has also faced important barriers today. In contrast, current applications such as those related to Big Data and Internet of Things (IoT) demand more and more processing power and storage capacity (HAMDIOUI *et al.*, 2017). To deal with this reality, the exploration of alternative computational architectures based on the use of emerging technologies, replacing or complementing CMOS, seems to be a promising alternative for the future of nanoelectronics (JABEUR *et al.*, 2014). Within the group of candidates with this profile are the memristors. The name of this device is a contraction of the words "Memory" and "Resistor", because this component behaves, in a way, as a nonlinear resistor with memory (CHUA, 1971). Among the outstanding characteristics of this element, we can mention its non-volatility, good scalability, absence of leakage currents and compatibility with CMOS technology (WASER *et al.*, 2009; YANG *et al.*, 2013). This set of features enables the exploration of memristors in a variety of applications, including non-volatile high-density integration memories, digital logic circuits, analog circuits, and even neuromorphic systems. Considering the potential of this technology, an extensive bibliographical review on the subject was carried out by the present work, including the search for electrical simulation models for the realization of practical experiments with memristors. From this research, the focus of the work was directed to the design of digital systems through two distinct approaches: hybrid CMOS / memristive logic and memristive material implication. In relation to the hybrid logic, it is proposed a completely non-volatile full adder of extra-low consumption. In the field of material implication, we worked with a circuit capable of expressively minimizing the execution time required for the synthesis of any Boolean function through the predictive execution of the implications. Thus, based on previous works published in the literature, it is expected that the content of this Dissertation can bring relevant contributions to this area of interest.

Keywords: CMOS technology; nanoelectronics; memristor; CMOS/memristive hybrid logic; material implication.

LISTA DE FIGURAS

| | |
|--|----|
| Figura 1: Relações entre as grandezas elétricas fundamentais..... | 18 |
| Figura 2: Quantidade de publicações registradas na biblioteca <i>online</i> do IEEE no intervalo 2008-2017 para as palavras chave “ <i>Memristor</i> ” e “ <i>Memristive</i> ”..... | 21 |
| Figura 3: Símbolo elétrico do memristor..... | 24 |
| Figura 4: Estrutura física do memristor..... | 26 |
| Figura 5: Circuito equivalente com resistores variáveis em série..... | 27 |
| Figura 6: Curva de histerese do memristor..... | 28 |
| Figura 7: (a) Esquemático do MTJ apresentado por IKEDA et al. (2010) (b) Comutação R_P-R_{AP} (c) Comutação $R_{AP}-R_P$ | 29 |
| Figura 8: Transistor ferroelétrico (FeFET) (KANEKO et al., 2010)..... | 32 |
| Figura 9: (a) Construção e (b) Símbolo do memristor orgânico apresentado por EROKHIN e FONTANA (2008). | 34 |
| Figura 10: Função janela proposta por JOGLEKAR e WOLF (2009)..... | 36 |
| Figura 11: Diagrama em blocos do modelo de memristor (BIOLEK et al., 2009). | 37 |
| Figura 12: Circuito equivalente utilizado na montagem do modelo SPICE. | 38 |
| Figura 13: Função janela descrita pela Equação (31), para $p=2$ (BIOLEK et al., 2009)..... | 40 |
| Figura 14: Formas de onda do experimento apresentado por BIOLEK et al. (2009), obtidas a partir da aplicação de uma forma de onda senoidal com amplitude de 1,2 V e frequência de 1 Hz. | 41 |
| Figura 15: Simulações do memristor para sinal de entrada $\pm V_0 (\text{sen}\omega t)^2$, para $V_0 = 1,5$ V e $f_0 = 1$ Hz (BIOLEK et al., 2009). | 42 |
| Figura 16: Formas de onda do experimento apresentado em (BIOLEK et al., 2009), obtidas a partir da aplicação de uma forma de onda senoidal com amplitude de 1,2 V e frequência de 1 Hz. | 42 |
| Figura 17: Função janela proposta em (PRODROMAKIS et al., 2011) versus largura normalizada da região dopada x , para $p = 10$ e j variável. | 43 |

| | |
|---|----|
| Figura 18: Gráfico da função $f(V_M)$ para (a) $\alpha > 0$ e $\beta > 0$ e (b) $\alpha = 0$ e $\beta > 0$. | 45 |
| Figura 19: (a) Circuito equivalente do modelo SPICE controlado por tensão (PERSHIN; DI VENTRA, 2012). | 45 |
| Figura 20: Comportamento ao longo do tempo da tensão aplicada $V(t)$, corrente $I(t)$ e memresistência $R_M(t)$ para dispositivos memresistivos com (a) <i>soft</i> ($\alpha = 0,1\beta$) e (b) <i>hard threshold</i> ($\alpha = 0$) (PERSHIN; DI VENTRA, 2012). | 47 |
| Figura 21: Curva $I \times V$ para o modelo de deriva iônica não linear. (a) Tensão de entrada senoidal para frequências ω_0 , $2\omega_0$ e $3\omega_0$. (b) Tensão de entrada retangular (KVATINSKY <i>et al.</i> , 2013b). | 48 |
| Figura 22: Estrutura de um dispositivo memresistivo do tipo <i>Simmons Tunnel Barrier</i> (PICKETT <i>et al.</i> , 2009). | 49 |
| Figura 23: Circuito equivalente do modelo TEAM no SPICE (KVATINSKY <i>et al.</i> , 2013b). | 52 |
| Figura 24: Código SPICE do modelo de memristor acionado por corrente desenvolvido. | 54 |
| Figura 25: Diagrama em blocos do modelo proposto, considerando $\alpha = 0$. | 57 |
| Figura 26: Lógica de operação do modelo representada por meio de um fluxograma. | 59 |
| Figura 27: Circuito descrito em linguagem SPICE para a realização de experimentos com o modelo desenvolvido. | 60 |
| Figura 28: (a) Sinal senoidal aplicado ao memristor. (b) Corrente elétrica resultante. (c) Variação da resistência do memristor em resposta ao estímulo recebido. | 62 |
| Figura 29: Curvas de Lissajous geradas a partir do modelo de memristor desenvolvido para um estímulo de tensão senoidal com amplitude de 1V e frequência (a) ω_0 (b) $2\omega_0$ (c) $3\omega_0$ e (d) $10\omega_0$. | 63 |
| Figura 30: Forma de onda quadrada produzida pela fonte. | 65 |
| Figura 31: Erro percentual do valor alcançado por R_{MEM} em relação ao valor alvo ($80k\Omega$) após o término da transição ascendente $10k\Omega \rightarrow 80k\Omega$. | 66 |
| Figura 32: Erro percentual do valor alcançado por R_{MEM} em relação ao valor alvo ($10k\Omega$) após o término da transição descendente $80k\Omega \rightarrow 10k\Omega$. | 66 |
| Figura 33: Memristor alimentado com sinal de corrente triangular. | 67 |

| | |
|--|----|
| Figura 34: Gráfico, em relação ao tempo (a) do sinal fornecido pela fonte de corrente (b) da resistência do memristor (c) das funções f_1 e f_2 sobrepostas (d) da função $d(R_{MEM})/dt$ (e) da função $d^2(R_{MEM})/dt^2$ | 69 |
| Figura 35: Sinal de tensão aplicado ao memristor para a análise do parâmetro C_1 | 71 |
| Figura 36: Influência da constante C_1 na transição R_{ON} - R_{OFF} | 71 |
| Figura 37: Resistência final e tempo de transição da comutação em função da constante C_1 | 72 |
| Figura 38: Comparação do gráfico de $d(R_{MEM})/dt$ para diferentes valores de C_1 | 73 |
| Figura 39: Símbolo da porta IMPLY..... | 75 |
| Figura 40: Circuito para a realização de síntese lógica memresistiva através da implicação material. | 76 |
| Figura 41: Característica $I \times V$ do memristor com tensões de <i>threshold</i> (BORGHETTI <i>et al.</i> , 2010). | 77 |
| Figura 42: Tensões no circuito de implementação da implicação material com dois memristores, para as combinações de entrada (a) “00” (b) “01” (c) “10” e (d) “11”. | 78 |
| Figura 43: Ilustração da operação IMP para as quatro combinações de entrada das variáveis p e q (BORGHETTI <i>et al.</i> , 2010). | 79 |
| Figura 44: (a) Implementação da operação NAND através de uma lógica implicativa sequencial, utilizando três memristores. (b) Resumo das tensões aplicadas a cada um dos memristores em cada uma das etapas. (c) Resultados experimentais obtidos por BORGHETTI <i>et al.</i> (2010) para a NAND de duas entradas. | 81 |
| Figura 45: Exemplificação de um circuito para a implementação da técnica de implicação multientradas. | 83 |
| Figura 46: (a, b) Circuitos das portas lógicas AND e OR MRL. (c, d) Ilustração do comportamento dos circuitos na presença de sinais de entrada. (e, f) Gráfico da variação de memresistência dos dispositivos..... | 85 |
| Figura 47: Circuito esquemático das portas lógicas MAGIC (a) NOR, (b) OR, (c) NAND, (d) AND e (e) NOT. | 87 |
| Figura 48: Redes <i>pull-up</i> e <i>pull-down</i> convencionais de um circuito lógico CMOS e as redes equivalentes usando memristores com polarizações distintas (VOURKAS; SIRAKOULIS, 2012). | 89 |

| | |
|--|-----|
| Figura 49: Implementação das portas lógicas universais e do inversor por meio da lógica complementar com memristores (VOURKAS; SIRAKOULIS, 2012)..... | 90 |
| Figura 50: (a) Implementação de uma porta lógica NAND do tipo CMOS-Like de duas entradas. (b) Sumário das tensões aplicadas e das posições das chaves para todas as possíveis fases de operação do circuito (VOURKAS; SIRAKOULIS, 2014)..... | 92 |
| Figura 51: Diagrama em blocos do somador completo inteiramente não volátil..... | 95 |
| Figura 52: Votador majoritário não-volátil proposto por SLIMANI <i>et al.</i> (2016)..... | 96 |
| Figura 53: Registrador não volátil..... | 98 |
| Figura 54: Resultados da simulação transiente do somador completo não volátil..... | 102 |
| Figura 55: Comutações de resistência no circuito votador..... | 103 |
| Figura 56: (a) Sinal <i>Select</i> (b) Resistências complementares do sinal <i>Select</i> (c) Sinal Q_S (seleção do MUX). | 104 |
| Figura 57: Correntes de leitura no amplificador sensor e no registrador não volátil. | 105 |
| Figura 58: (a) Circuito básico para síntese de funções através da função implicação (b) Circuito equivalente por implicação..... | 108 |
| Figura 59: Interrupção prematura da transição $R_{OFF} - R_{ON}$ | 110 |
| Figura 60: Variação temporal dos estados memresistivos durante a síntese da porta XOR, para as combinações de entrada “10” e “11”. A saída é armazenada em WM5. | 114 |
| Figura 61: Diagrama em blocos do circuito implicador preditivo proposto..... | 115 |
| Figura 62: Divisão da palavra de instrução utilizada no projeto. | 117 |
| Figura 63: Emulação da memória de programa através de um MUX 16x1..... | 117 |
| Figura 64: Diagrama esquemático da Unidade Lógica Memresistiva (ULM)..... | 119 |
| Figura 65: Quantidade máxima de memristores de entrada simultâneos e máxima corrente nesses elementos (que ocorre quando $n = 1$) em função de R_G , para a combinação “00”. | 122 |
| Figura 66: Dimensionamento do parâmetro R_{ON} baseado na análise do caso crítico (a) para as correntes nos memristores e (b) para a tensão V_G | 123 |
| Figura 67: Diagrama da Unidade de Amostragem e Retenção. | 124 |
| Figura 68: Amplificador sensor/comparador de tensão CMOS. | 125 |

| | |
|---|-----|
| Figura 69 Diagrama esquemático interno da Unidade de Controle. | 128 |
| Figura 70: Circuito responsável pela habilitação da operação <i>Clear</i> | 129 |
| Figura 71: Circuito de comando das portas de transmissão da ULM. | 130 |
| Figura 72: Sinal de reset externo. | 132 |
| Figura 73: Saídas $E_3 - E_0$ do contador de programa. | 132 |
| Figura 74: Saídas $Q_3 - Q_0$ do temporizador de implicação. | 133 |
| Figura 75: Saídas Smp1 - Smp0 do temporizador de amostragem. | 133 |
| Figura 76: Sinais de controle $Clk_1 - Clk_7$ | 134 |
| Figura 77: Variação temporal da tensão V_G | 137 |
| Figura 78: Variação temporal das saídas de tensão S_p e S_n do comparador de tensão. | 137 |
| Figura 79: Variação temporal da saída <i>Sampling Output</i> da UAR. | 137 |
| Figura 80: Sinal de controle <i>End</i> | 137 |
| Figura 81: Sinais de controle EndN e EndN2. | 137 |
| Figura 82: Forma de onda do sinal E_{CL} | 137 |
| Figura 83: Variação dos estados de memresistência das variáveis do circuito. | 138 |

LISTA DE TABELAS

| | |
|---|-----|
| Tabela 1: Lista de parâmetros utilizados no modelo controlado por corrente elétrica..... | 57 |
| Tabela 2: Tabela verdade da operação lógica implicativa..... | 75 |
| Tabela 3: Sequência de implicações para a síntese da porta NAND2..... | 80 |
| Tabela 4: Sequências para síntese das funções lógicas NOT, NAND, AND, OR e NOR por meio da implicação material memresistiva. | 82 |
| Tabela 5: Tabela-verdade do somador completo e do votador majoritário..... | 94 |
| Tabela 6: Tensão V_G no início de cada implicação. | 111 |
| Tabela 7: Sequência de implicações para a síntese da função XOR. | 112 |
| Tabela 8: Intervalo de execução das implicações para a síntese da porta XOR..... | 113 |
| Tabela 9: Percentual de produtividade das implicações implementadas na síntese da função XOR em função das combinações de entrada. | 114 |
| Tabela 10: Relação entre as combinações do VCODE e as suas respectivas tensões..... | 116 |
| Tabela 11: Sequência de implicações de um somador completo. | 131 |
| Tabela 12: Resumo da produtividade das implicações..... | 139 |

Lista de Siglas e Abreviações

| | |
|--------|--|
| CC | Corrente Contínua |
| CI | Circuito Integrado |
| CMOS | <i>Complementary Metal Oxide Semiconductor</i> |
| DRAM | <i>Dynamic Random Access Memory</i> |
| EnW | <i>Enable Write</i> |
| FPGA | <i>Field Programmable Gate Array</i> |
| FPM | <i>Forward Polarized Memristors</i> |
| GND | <i>Ground</i> |
| IoT | <i>Internet of Things</i> |
| MAGIC | <i>Memristor Aided LoGIC</i> |
| MOSFET | <i>Metal Oxide Semiconductor Field Effect Transistor</i> |
| MRL | <i>Memristor Ratioed Logic</i> |
| MTJ | <i>Magnetic Tunnel Junction</i> |
| MUX | Multiplexador |
| NOMFET | <i>Nanoparticle Organic Memory Field Effect Transistor</i> |
| NV | Não-volátil |
| PANI | Polianilina |
| PLA | <i>Programmable Logic Array</i> |
| PWL | <i>Piecewise Linear</i> |
| R/W | <i>Read/Write</i> |
| RPM | <i>Reverse Polarized Memristors</i> |
| SE | <i>Sampling Enable</i> |
| SO | <i>Sampling Output</i> |

| | |
|-------|---|
| SRAM | <i>Static Random Access Memory</i> |
| STT | <i>Spin Transfer Torque</i> |
| TEAM | <i>ThrEshold Adaptive Memristor Model</i> |
| TG | <i>Transmission Gate</i> |
| TMR | <i>Tunnel Magnetoresistance Ratio</i> |
| UAR | Unidade de Amostragem e Retenção |
| UAR | Unidade de Amostragem e Retenção |
| UC | Unidade de Controle |
| UC | Unidade de Controle |
| ULM | Unidade Lógica Memresistiva |
| ULM | Unidade Lógica Memresistiva |
| VCODE | <i>Voltage Code</i> |
| VLSI | <i>Very Large Scale Integration</i> |
| V_t | <i>Threshold Voltage</i> |
| WM | <i>Working Memristor</i> |

Sumário

| | | |
|-------|---|----|
| 1 | Introdução | 18 |
| 1.1 | Objetivos/Contribuições | 22 |
| 1.1.1 | Objetivos específicos | 23 |
| 1.2 | Organização do trabalho..... | 23 |
| 2 | Memristores | 24 |
| 2.1 | Aspectos gerais | 24 |
| 2.2 | Implementações físicas..... | 26 |
| 2.2.1 | Memristor de TiO ₂ | 26 |
| 2.2.2 | Memristor spintrônico | 29 |
| 2.2.3 | Memristor ferroelétrico | 31 |
| 2.2.4 | Memristor orgânico..... | 32 |
| 3 | Modelos de simulação | 35 |
| 3.1 | Modelo de Biolek | 35 |
| 3.1.1 | Simulações do modelo de Biolek..... | 41 |
| 3.2 | Modelo de Prodromakis e Peh | 43 |
| 3.3 | Modelo de Pershin e Di Ventra | 43 |
| 3.3.1 | Simulações do modelo de Pershin e Di Ventra | 46 |
| 3.4 | Modelo de deriva iônica não linear | 47 |
| 3.5 | Modelo Simmons Tunnel Barrier | 49 |
| 3.6 | Modelo TEAM (ThrEshold Adaptive Memristor) | 50 |
| 4 | Modelo de memristor com limiar de corrente elétrica | 53 |
| 4.1 | Modelagem matemática..... | 54 |
| 4.2 | Lógica de operação e implementação computacional | 57 |
| 4.3 | Simulações com o modelo | 60 |
| 4.3.1 | Operação baseada em limiar de corrente | 60 |
| 4.3.2 | Curva característica corrente x tensão..... | 62 |

| | | |
|-------|---|-----|
| 4.3.3 | Eficácia da remodelagem matemática adotada | 64 |
| 4.3.4 | Influência do fator de proporcionalidade na taxa de variação da resistência | 67 |
| 5 | Projeto de circuitos lógicos com memristores | 75 |
| 5.1 | Lógica implicativa | 75 |
| 5.1.1 | Implicação multientradas | 82 |
| 5.1.2 | Implicação multimemristores | 84 |
| 5.2 | MRL – Memristor Ratioed Logic | 84 |
| 5.3 | MAGIC – Memristor-Aided Logic | 87 |
| 5.4 | Lógica Complementar com memristores | 89 |
| 6 | Somador completo híbrido CMOS-Memresistivo | 94 |
| 6.1.1 | Sequência Lógica de Operação | 96 |
| 6.1.2 | Dimensionamento do circuito | 99 |
| 6.1.3 | Simulação funcional | 102 |
| 7 | Circuito Implicador Preditivo | 107 |
| 7.1 | Implementação da implicação material | 107 |
| 7.1 | Seleção de modelo elétrico | 108 |
| 7.2 | Análise da tensão V_G | 110 |
| 7.3 | Validação prática | 112 |
| 7.4 | Visão geral do projeto | 115 |
| 7.5 | Memória de programa | 116 |
| 7.6 | Unidade Lógica Memresistiva | 118 |
| 7.6.1 | Dimensionamento da ULM | 120 |
| 7.7 | Unidade de Amostragem e Retenção (UAR) | 124 |
| 7.8 | Unidade de Controle | 126 |
| 7.9 | Sequência lógica de operação | 131 |
| 8 | Considerações Finais | 141 |
| 9 | Referências | 143 |

1 Introdução

Em 1971, o pesquisador Leon Chua observou que, do ponto de vista da teoria de circuitos, os três elementos básicos de dois terminais conhecidos até então, isto é, resistor, capacitor e indutor, eram definidos através de uma relação entre duas das quatro grandezas elétricas fundamentais, a saber, corrente, tensão, carga elétrica e fluxo magnético (CHUA, 1971). Além disso, das seis combinações possíveis com essas quatro variáveis, cinco delas conduziam a relações conhecidas, como pode ser visto na Figura 1.

A partir dessas observações, o pesquisador postulou que deveria haver um quarto elemento para completar a lacuna existente na relação entre o fluxo magnético e a carga elétrica, o qual ele nomeou de memristor, uma contração de “*Memory*” e “*Resistor*”, em razão desse se comportar, de certa forma, como um resistor não linear com memória (CHUA, 1971). Alguns anos após a publicação desse trabalho, o autor redefiniu o memristor como um caso especial de uma classe mais ampla de sistemas e dispositivos físicos, que ele denominou de sistemas memresistivos (CHUA; SUNG MO, 1976). Ainda, segundo o pesquisador, o comportamento desses sistemas não pode ser reproduzido por circuitos constituídos apenas pelos outros três componentes básicos da Eletrônica (CHUA, 2011), o que caracteriza o memristor como o quarto elemento fundamental.

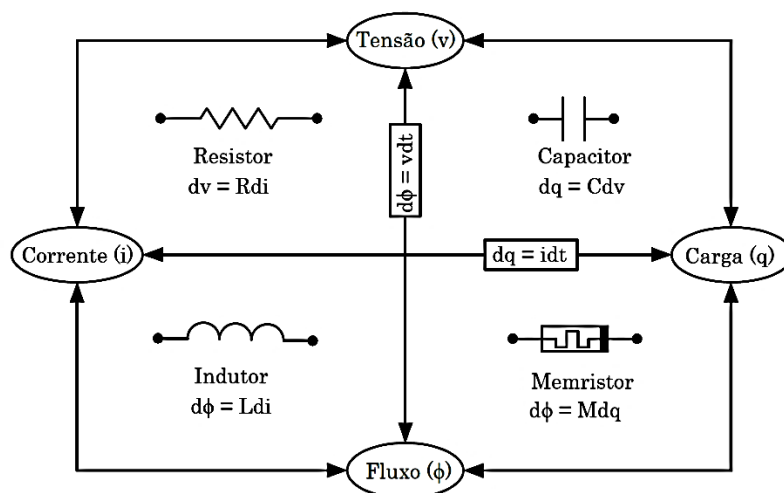


Figura 1: Relações entre as grandezas elétricas fundamentais.

Esse estudo do cientista norte-americano esteve incógnito por décadas, até que, em 2008, pesquisadores da Hewlett Packard anunciaram a fabricação de um “novo” dispositivo

que, de acordo com os autores, seria a materialização do memristor previsto por Chua (STRUKOV et al., 2008). Embora haja alguma discordância na literatura acerca do pioneirismo e até mesmo sobre a correspondência entre o dispositivo produzido e aquele preconizado por Chua (MEUFFELS; SONI, 2012; VONGEHR; MENG, 2015), é fato que essa ambiciosa publicação agitou a comunidade científica e resgatou o tema do ostracismo. Desde então, intensificou-se a pesquisa nessa nova e promissora área de estudo, incluindo a busca por novos compostos químicos e tecnologias para a construção de nanoestruturas com comportamento memresistivo (TORREZAN et al., 2011).

Dentre a grande variedade de alternativas apresentadas na literatura, destacam-se os óxidos metálicos de transição (como NiO, CuO, ZrO₂, TiO₂ e TaO_x) (HA; RAMANATHAN, 2011), as perovskitas (YANG et al., 2009) e os eletrólitos de estado sólido (KIM;BIJU; et al., 2011). Apesar da abundante quantidade de materiais identificados até o momento, KVATINSKY et al. (2013a) salientam que a tecnologia memresistiva ainda encontra-se imatura e que as características desses dispositivos carecem de padronização. Essa ponderação baseia-se no fato de que a escolha de determinado composto para a fabricação de um memristor depende da aplicação pretendida, pois as particularidades de determinados materiais podem ser benéficas em algum contexto e desvantajosas em outro. VOURKAS e SIRAKOULIS (2016) corroboram essa linha de pensamento e ressaltam a necessidade de avançar nos estudos de ciência dos materiais em busca de uma solução ótima capaz de atender a vários requisitos técnicos.

GARCIA-REDONDO et al. (2014) destacam que uma das principais engrenagens para o rápido desenvolvimento de novos dispositivos memresistivos tem sido o vasto repertório de aplicações idealizado para os mesmos pela comunidade científica. Além disso, o crescente número de pesquisas nessa área tem sido motivado pela necessidade de buscar novas soluções técnicas e tecnológicas capazes de atender aos elevados requisitos computacionais de aplicações emergentes. Implementações envolvendo *Big Data* e Internet das Coisas (*Internet of Things* - IoT), por exemplo, demandam poder de processamento e capacidade de armazenamento típicos dos supercomputadores de alguns anos atrás, ao mesmo tempo em que possuem limitações em tamanho, consumo e tempo de resposta garantido típicos de sistemas embarcados (EU-COMMISSION, 2014; NGUYEN et al., 2017).

Durante as últimas décadas, a redução de escala dos circuitos CMOS tem sido explorada para aumentar a densidade de encapsulamento de transistores, tornar os circuitos mais rápidos

e diminuir a sua dissipação de potência (TAUR et al., 1997). Dessa forma, esse padrão evolutivo possibilitou um grande avanço nas arquiteturas de computadores e o desenvolvimento de inúmeras inovações que mudaram completamente o modo de funcionamento da sociedade (GARGINI, 2017). Entretanto, com as dimensões dos MOSFETs aproximando-se dos limites físicos da atomística e da mecânica quântica, a continuidade desse processo se tornou um enorme desafio para a indústria de semicondutores. Isso se deve, sobretudo, à redução da confiabilidade e ao aumento da dissipação estática de potência e do custo de produção dos circuitos integrados (KIM et al., 2003; CHING-TE et al., 2007; HOEFFLINGER, 2012).

Paralelamente a isso, o avanço do estado da arte das arquiteturas computacionais também encontra algumas importantes barreiras limitadoras. Dentre essas, destaca-se o gargalo de acesso à memória, a complexidade de obter paralelismo em nível de software suficiente para atender ao paralelismo em nível de *hardware* e as limitações de resfriamento do processador, que restringem o aumento da frequência de *clock* (HENNESSY; PATTERSON, 2011).

Assim, a junção desses fatores consolidou um cenário favorável para a exploração de arquiteturas computacionais alternativas baseadas na utilização de tecnologias emergentes, isoladamente ou de forma complementar à tecnologia CMOS, visando superar as adversidades mencionadas e suprir a crescente demanda por desempenho (HAMDIQUI et al., 2017). Nesse sentido, os memristores tem conquistado uma posição de destaque ao longo da última década. Prova disso é que o volume de publicações científicas relacionadas a esse tema experimentou um extraordinário crescimento nesse período. Essa constatação é fundamentada nos resultados de um levantamento realizado no banco de dados da biblioteca digital IEEE Xplore (IEEE, 2017). Os critérios de busca delimitaram um intervalo de contingência de publicações entre o ano de 2008, ponto de inflexão da mudança, e o ano de 2017. Foram pesquisados artigos relacionados às palavras-chave “*Memristor*” e “*Memristive*”. A Figura 2 demonstra a quantidade de publicações registradas para as condições de busca referidas.

A análise da curva obtida comprova a enorme expansão dessa área de estudo nos últimos anos. De apenas 7 publicações em 2008, o montante de trabalhos referentes ao assunto saltou para 347 em 2015, apresentando uma pequena queda para 320 publicações em 2016 e voltando a subir em 2017. Em termos percentuais, o crescimento médio anual de publicações afins com o tópico foi de 99% no período considerado. Uma vez que foram listadas apenas 5 publicações ligadas ao assunto entre os anos de 1971 e 2007, os resultados obtidos demonstram, irrefutavelmente, a conquista de espaço dos memristores no meio acadêmico. Os méritos pela

posição de destaque alcançada devem-se, em grande parte, aos importantes atributos dos memristores.

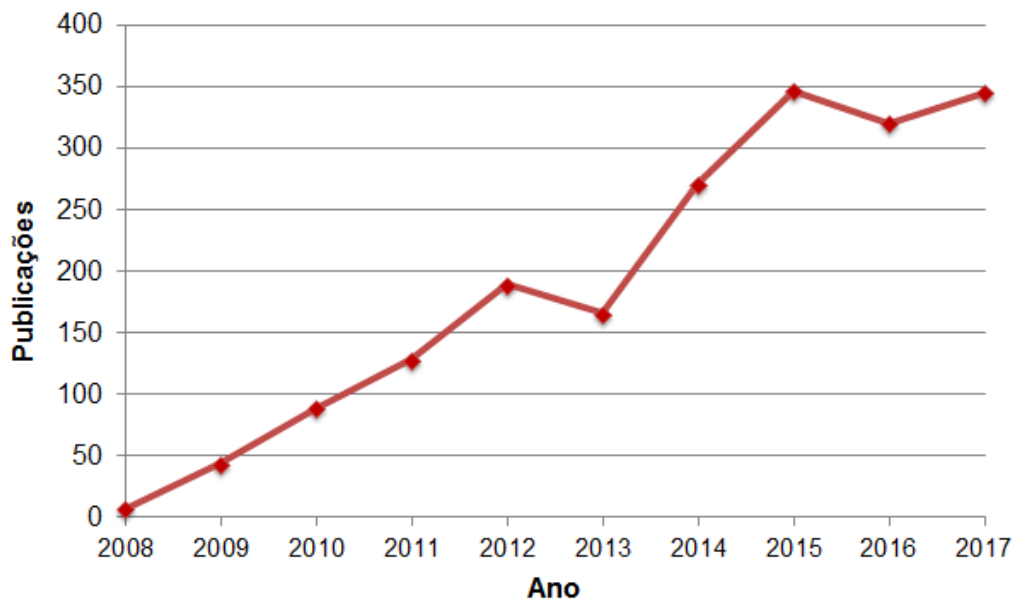


Figura 2: Quantidade de publicações registradas na biblioteca *online* do IEEE no intervalo 2008-2017 para as palavras chave “*Memristor*” e “*Memristive*”.

Dentre as distintas particularidades do quarto elemento, destaca-se a sua natureza não volátil, que permite a ele incorporar, simultaneamente, funções lógicas e de armazenamento. Ademais, ao acervo de vantagens desse componente somam-se a boa escalabilidade, a ausência de correntes de fuga/consumo estático nulo e a compatibilidade com a tecnologia CMOS (WASER *et al.*, 2009; YANG *et al.*, 2013). Nesse terreno fértil a ser explorado, podem-se citar trabalhos focados em uma vasta gama de aplicações, que abrangem, de um modo geral, os seguintes tópicos:

- Memórias não voláteis (MANEM *et al.*, 2010; KIM;GABA; *et al.*, 2011; XU *et al.*, 2011; CHIU *et al.*, 2012; SARWAR *et al.*, 2013);
- Circuitos lógicos digitais híbridos CMOS/memristor (ZHAO *et al.*, 2009; LAKYS *et al.*, 2010; KVATINSKY *et al.*, 2012; VOURKAS; SIRAKOULIS, 2012; DENG *et al.*, 2013; GAO *et al.*, 2013);
- Circuitos lógicos digitais puramente memresistivos (KVATINSKY;BELOUSOV; *et al.*, 2014; PAPANDROULIDAKIS *et al.*, 2014)

- Síntese de funções booleanas através da implicação material (BORGHETTI *et al.*, 2010; LEHTONEN *et al.*, 2012; KVATINSKY;SATAT; *et al.*, 2014);
- Chaves configuráveis em PLAs e FPGAs (STRUKOV; LIKHAREV, 2005; SNIDER; WILLIAMS, 2007; XIA *et al.*, 2009);
- Circuitos analógicos, tais como osciladores (ITOH; CHUA, 2008), amplificadores (WEY; JEMISON, 2011), comparadores e disparadores *Schmitt Trigger* (PERSHIN; DI VENTRA, 2010), CIs analógicos programáveis (SHIN *et al.*, 2011a), dentre outros;
- Sistemas neuromórficos (AFIFI *et al.*, 2009; JO *et al.*, 2010; CHANG *et al.*, 2013; PREZIOSO *et al.*, 2015).

Uma vez que essa promissora tecnologia se encontra em fase de amadurecimento, amostras reais de memristores ainda não estão acessíveis para a maior parte dos pesquisadores. Portanto, para viabilizar o desenvolvimento e a validação funcional de projetos nesse campo de pesquisa, a utilização de ferramentas de simulação computacional mostra-se oportuna. Por essa razão, muito esforço tem sido dedicado ao desenvolvimento de novos modelos capazes de reproduzir a complexa dinâmica apresentada por tais elementos (ASCOLI *et al.*, 2013). A literatura apresenta um diversificado conjunto de modelos que diferem tanto em sua modelagem matemática, quanto na linguagem de descrição de hardware adotada (SPICE ou Verilog-A, essencialmente). Considerando o potencial de exploração da tecnologia memresistiva e o cenário favorável para essa incursão, previamente relatado, na próxima Subseção serão apresentados os objetivos do trabalho e as contribuições pretendidas nessa área de interesse.

1.1 Objetivos/Contribuições

Este trabalho pretende aplicar a temática de sistemas memresistivos ao projeto de sistemas digitais, utilizando uma abordagem prática. Para atingir esse propósito, planeja-se centralizar os esforços em assuntos relacionados à síntese de funções lógicas através da implicação material e à exploração de lógica híbrida CMOS/memresistiva fixa.

1.1.1 Objetivos específicos

- Investigação sobre modelos físicos/elétricos de memristores e técnicas de projetos lógicos memresistivos existentes na literatura;
- Desenvolvimento de um modelo SPICE de memristor controlado por corrente elétrica, dotado de precisão e simplicidade de utilização.
- Proposição de um somador completo híbrido CMOS/memresistivo com armazenamento não volátil de todas as variáveis de entrada;
- Projeto de um circuito lógico memresistivo para a síntese universal de funções booleanas baseada na execução condicional e preditiva de implicações materiais;
- Simulação e validação do funcionamento dos circuitos e/ou técnicas propostos;
- Identificação de aperfeiçoamentos futuros cabíveis ao trabalho desenvolvido.

1.2 Organização do trabalho

Dentro das ideias apresentadas, o texto desta dissertação está estruturado da seguinte forma: a Seção 2 apresenta um panorama geral acerca dos sistemas memresistivos, incluindo alguns conceitos e definições matemáticas básicas que formam o seu alicerce teórico. Também são apresentadas, sucintamente, algumas das principais realizações materiais alcançadas e as suas características de maior destaque. Na Seção 3, serão expostos alguns modelos físicos/elétricos com notável destaque na literatura e, no Capítulo seguinte, será apresentada em detalhes a primeira contribuição deste trabalho, que consiste no desenvolvimento de um modelo SPICE de memristor controlado por corrente elétrica.

No capítulo 5, serão apresentadas algumas técnicas relevantes utilizadas no projeto de sistemas lógicos memresistivos. A Seção 6 traz o desenvolvimento de um somador completo híbrido CMOS/memresistivo com armazenamento não volátil de todas as variáveis de entrada. A Seção 7 mostra o projeto de um circuito capaz de realizar a síntese de funções booleanas mutáveis a partir da execução preditiva de uma sequência de implicações materiais. Na Seção 8, encerra-se o texto com as considerações finais.

2 Memristores

2.1 Aspectos gerais

A proposta da existência de um quarto elemento básico da teoria de circuitos surgiu no artigo “*The missing circuit element*”, publicado em 1971 pelo professor Leon Chua (CHUA, 1971). Na ocasião, o autor da teoria batizou o novo dispositivo de memristor, uma contração das palavras “*Memory*” e “*Resistor*”, em função das propriedades peculiares apresentadas pelo mesmo. No mesmo trabalho, o pesquisador norte-americano sugeriu um símbolo elétrico para a representação desse novo elemento, que está exibido na Figura 3.

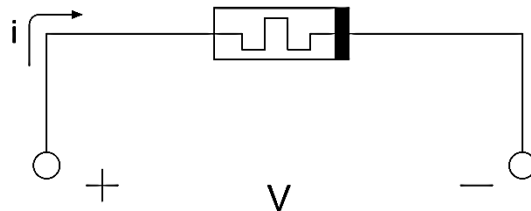


Figura 3: Símbolo elétrico do memristor.

Esse componente eletrônico passivo de dois terminais, cuja descrição foi apresentada à comunidade científica há mais de quatro décadas, possui uma memresistância M , que estabelece uma relação entre a carga elétrica (q) e o fluxo magnético (φ), dada por:

$$d\varphi = M dq \quad (1)$$

Uma vez que o fluxo magnético e a carga elétrica podem ser representados através da integral da tensão e da corrente no tempo, conforme as Equações (2) e (3), respectivamente, o memristor estabelece uma resistência dependente do histórico da corrente que o atravessa ou da queda de tensão entre os seus terminais (ASCOLI et al., 2013).

$$\varphi = \int_{-\infty}^{\tau} v(\tau) d\tau \quad (2)$$

$$q = \int_{-\infty}^{\tau} i(\tau) d\tau \quad (3)$$

Além disso, dependendo do sentido do fluxo dessa corrente, a resistência pode aumentar ou diminuir. Uma vez cessada a aplicação do estímulo elétrico, o componente armazena o valor final de resistência (GARC et al., 2014).

No caso de elementos lineares, onde M é constante, a memresistência é idêntica à resistência e , assim, não representa uma situação especial. Porém, se M for uma função da carga, produzindo um elemento de circuito não linear, desenha-se um cenário mais interessante. O que torna o memristor tão radicalmente diferente de outros elementos fundamentais da teoria de circuitos, para STRUKOV *et al.* (2009), é o seu laço de histerese, ou seja, quando alimentado por uma tensão senoidal, a característica I-V resultante é uma curva de Lissajous que não pode ser reproduzida por qualquer combinação de resistores, capacitores ou indutores. Em virtude dos argumentos apresentados, os referidos autores qualificam o memristor como um elemento fundamental.

A definição matemática mais básica de um memristor controlado por corrente para a análise de circuitos é a forma diferencial (STRUKOV et al., 2008):

$$v = R(w)i \quad (4)$$

$$\frac{dw}{dt} = i \quad (5)$$

Onde R é a resistência generalizada, dependente da variável de estado interna do dispositivo (w) que, nesse caso, corresponde à carga elétrica (CHUA, 1971). Alguns anos depois, CHUA e KANG (1976) estenderam o conceito inicial de memristor apresentado no artigo de 1971 para uma classe mais ampla de sistemas dinâmicos não lineares, que eles chamaram de sistemas memresistivos, descritos pelas Equações (6) e (7).

$$v = R(w, i)i \quad (6)$$

$$\frac{dw}{dt} = f(w, i) \quad (7)$$

Em que w pode ser um conjunto de variáveis de estado, enquanto R e f podem, em geral, serem funções explícitas do tempo. Em caráter ilustrativo, os pesquisadores mostraram que alguns dispositivos, como termistores, tubos de descarga e até mesmo o modelo de Hodgkin-Huxley, podem ser modelados como sistemas memresistivos de uma porta.

2.2 Implementações físicas

Nesta Subseção serão apresentados alguns tipos de dispositivos com características memresistivas concebidos de forma prática. Apesar de compartilharem a mesma essência teórica, as divergências entre esses trabalhos incluem os materiais de fabricação utilizados, as variáveis de controle, resposta dinâmica de transição, dentre outros aspectos.

2.2.1 Memristor de TiO_2

A primeira reivindicação pela implementação prática/material de um memristor ocorreu somente em 2008, por um grupo de pesquisa liderado pelo cientista Stanley Williams nos laboratórios da Hewlett Packard (STRUKOV et al., 2008). A estrutura física desse dispositivo consiste de uma fina película de TiO_2 de espessura D , disposta entre dois contatos de platina. Essa camada semicondutora divide-se em duas regiões: uma delas, com largura w , possui alta concentração de dopantes e, por isso, apresenta um baixo valor de resistência, chamada de R_{ON} ; a outra apresenta baixa concentração de dopantes e um valor muito maior de resistência, chamado de R_{OFF} (Figura 4).

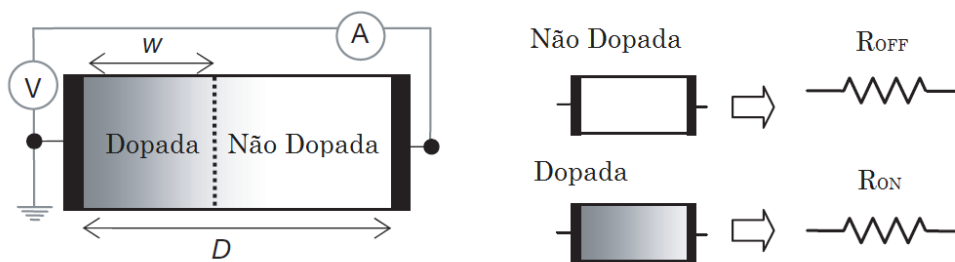


Figura 4: Estrutura física do memristor.

No memristor apresentado por STRUKOV *et al.* (2008), a camada não dopada é constituída por dióxido de titânio puro TiO_2 , enquanto que a camada dopada é formada por dióxido de titânio pobre em oxigênio (TiO_{2-x}). Nesse sistema, as lacunas de oxigênio no material

se movimentam em resposta ao campo elétrico aplicado, deslocando a linha divisória entre as camadas de TiO_2 e TiO_{2-x} .

O memristor também pode ser representado através do circuito equivalente exibido na Figura 5, onde a resistência da região dopada e da região não dopada são conectadas em série.

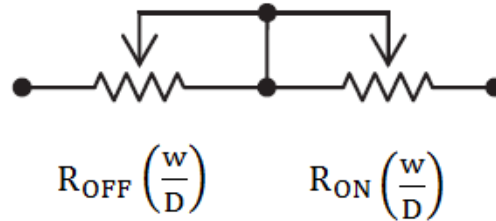


Figura 5: Circuito equivalente com resistores variáveis em série.

A aplicação de uma tensão de polarização externa $v(t)$ entre os terminais do memristor moverá a fronteira entre as duas regiões, ocasionando a deriva dos dopantes carregados (BLANC; STAEBLER, 1971). Para o caso mais simples de condução eletrônica ôhmica e deriva linear iônica em um campo uniforme com mobilidade média de íons μ_V , a modelagem matemática do elemento submetido a uma tensão $v(t)$ é feita de acordo com as expressões seguintes (STRUKOV et al., 2008):

$$v(t) = \left(R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right) i(t) \quad (8)$$

$$\frac{dw(t)}{dt} = \mu_V \frac{R_{ON}}{D} i(t) \quad (9)$$

O que leva à seguinte expressão para $w(t)$:

$$w(t) = \mu_V \frac{R_{ON}}{D} q(t) \quad (10)$$

A variável de estado w é proporcional à carga elétrica que atravessa o memristor, até que o seu valor se aproxime das extremidades do intervalo $[0, D]$; essa é a condição de *hard switching*, decorrente de grandes excursões de tensão entre os terminais do componente ou de longos períodos sob polarização. Inserindo a Equação (10) na Equação (8), obtém-se a memresistência desse sistema, a qual para $R_{ON} \ll R_{OFF}$ pode ser simplificada para:

$$M(q) = R_{OFF} \left(1 - \frac{\mu_V R_{ON}}{D^2} q(t) \right) \quad (11)$$

O termo dependente de $q(t)$ no lado direito da Equação (11) é de suma importância para a memresistência e o seu valor absoluto se torna maior à medida que a mobilidade dos dopantes (μ_V) aumenta e que a espessura da camada semicondutora D diminui. Para qualquer material, esse termo é 1.000.000 de vezes maior em escala nanométrica do que em escala micrométrica em virtude do fator quadrático $1/D^2$, o que torna a memresistência mais significativa. Dessa forma, essa grandeza se torna mais importante para a compreensão das características de qualquer dispositivo à medida em que as dimensões do mesmo são reduzidas à escala nanométrica (STRUKOV et al., 2008).

Para qualquer tensão alternada simétrica de polarização, a curva $I \times V$ do memristor se comporta como um duplo laço de histerese, cujo gráfico se aproxima de uma linha reta para altas frequências, conforme Figura 6.

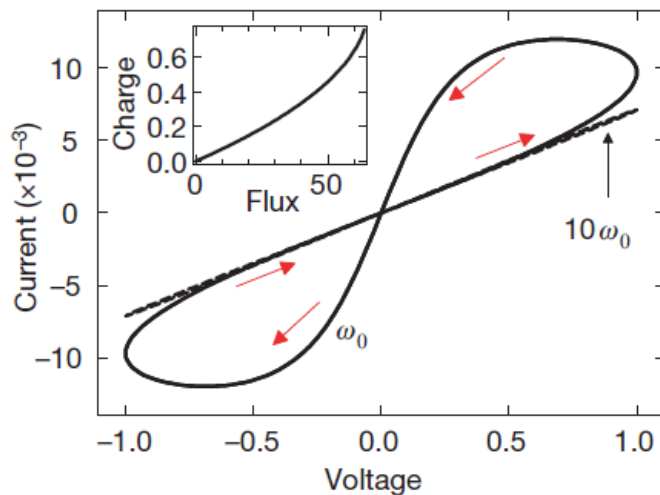


Figura 6: Curva de histerese do memristor.

STRUKOV *et al.* (2008) ressaltam que, no caso de *hard switching*, embora pareça haver uma tensão de limiar (*Threshold Voltage* - V_T) para o chaveamento de R_{OFF} para R_{ON} , esse efeito é, na verdade, dinâmico. Dessa forma, qualquer tensão positiva v aplicada ao dispositivo no estado R_{OFF} eventualmente levará o mesmo ao estado R_{ON} após um tempo exposto, aproximadamente, por:

$$t_{\text{switch}} = \frac{D^2 R_{\text{OFF}}}{2 \mu_V V + R_{\text{ON}}} \quad (12)$$

O componente permanecerá nesse estado enquanto a tensão positiva continuar sendo aplicada. Porém, até mesmo uma pequena tensão negativa será capaz de conduzi-lo ao estado R_{OFF} .

2.2.2 Memristor spintrônico

Além do pioneiro memristor de TiO_2 , outras implementações têm sido estudadas. Dentre elas, destaca-se o MTJ (*Magnetic Tunnel Junction*), dispositivo baseado na tecnologia spintrônica. Como o próprio nome sugere, essa área estuda o *spin* intrínseco dos elétrons e os seus respectivos momentos magnéticos. O *spin* é a propriedade responsável pelo magnetismo, isto é, materiais tornam-se magnetizados quando a maioria dos seus elétrons apresenta os *spins* apontando na mesma direção (SAVAGE, 2009). Dessa forma, os MTJs são elementos memresistivos cuja resistência elétrica é dependente do seu estado de magnetização.

Esse componente é composto principalmente por três camadas: uma fina camada de isolante disposta entre duas camadas ferromagnéticas. A Figura 7a exibe o esquemático do MTJ apresentado por IKEDA et al. (2010), no qual a camada isolante é constituída por MgO e as camadas ferromagnéticas são formadas por CoFeB.

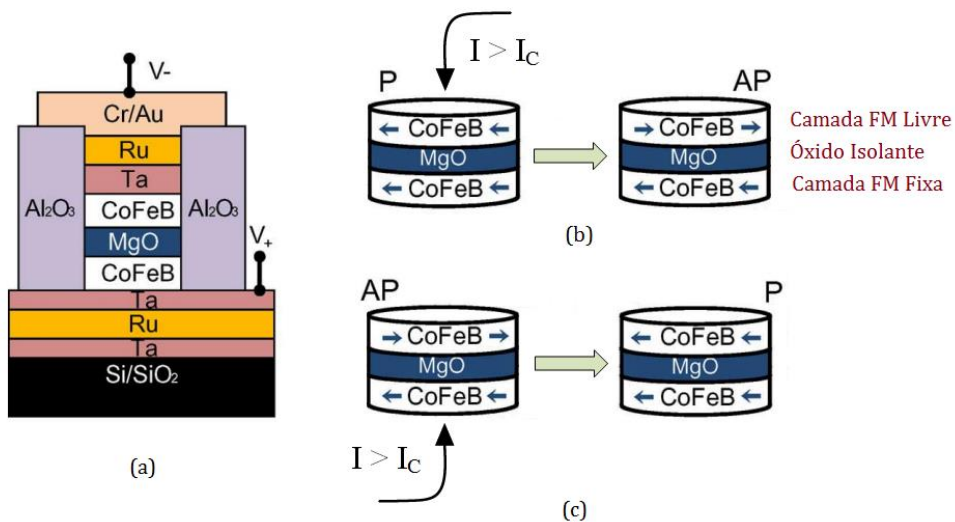


Figura 7: (a) Esquemático do MTJ apresentado por IKEDA et al. (2010) (b) Comutação R_P - R_{AP} (c) Comutação R_{AP} - R_P .

Implementações do MTJ normalmente utilizam uma camada ferromagnética de referência, cuja magnetização não pode ser facilmente revertida e uma camada livre que pode ser revertida por uma entrada externa (BRUM; WIRTH, 2016). O funcionamento desse dispositivo é baseado no efeito TMR (*Tunnel Magnetoresistance*), de modo que a resistência entre os seus terminais depende da orientação relativa da magnetização nas duas camadas ferromagnéticas (CHAPPERT et al., 2007).

Se as direções de magnetização das duas camadas estiverem paralelas, a resistência do MTJ será mínima (R_P). Em contrapartida, se elas forem antiparalelas, a resistência do MTJ será máxima (R_{AP}). A diferença de resistência entre os dois estados é comumente caracterizada pela razão TMR (YUASA et al., 2004):

$$\text{TMR} = \frac{R_{AP} - R_P}{R_P} \quad (13)$$

Um dos mecanismos mais utilizados para a comutação de estados nos MTJs é conhecido como *Spin Transfer Torque* (STT). Nesse método, o processo de variação de resistência no elemento memresistivo é desencadeado pela passagem de uma corrente elétrica I através desse componente, com módulo superior a uma corrente crítica (I_{C0}) (CHAPPERT et al., 2007). Para o MTJ apresentado por (IKEDA et al., 2010), essa corrente é calculada através das seguintes Equações:

$$I_{C0} = \alpha \frac{\gamma e}{\mu_B g} M_S H_K V = 2\alpha \frac{\gamma e}{\mu_B g} E \quad (14)$$

$$E = \frac{\mu_0 M_S H_K V}{2} \quad (15)$$

Onde E é a energia de barreira, H_K é o campo anisotrópico efetivo, μ_0 é a permeabilidade magnética do vácuo, M_S é a magnetização de saturação, α é a constante de amortecimento magnético, γ é a razão giromagnética, e é a carga elétrica elementar, μ_B é o magneton de Bohr, V é o volume da camada ferromagnética livre e g é o fator de eficiência de polarização de *spin* (SUN et al., 2011), definido como:

$$g = \frac{\sqrt{\text{TMR}(\text{TMR} + 2)}}{2(\text{TMR} + 2)} \quad (16)$$

Os itens 'b' e 'c' da Figura 7 ilustram o processo de chaveamento entre estados. Inicialmente, no item 'b', as orientações dos *spins* eletrônicos das camadas ferromagnéticas

encontram-se paralelas, o que mantém o MTJ em um estado de baixa resistência elétrica (R_P). Para que seja feita a comutação de resistência, uma corrente elétrica direcionada para baixo é aplicada ao dispositivo, alterando a orientação dos *spins* eletrônicos da camada livre. Dessa forma, as duas camadas ferromagnéticas passam a possuir momentaneamente direções de magnetização antiparalelas, levando o MTJ a um estado de alta resistência. Para reverter esse quadro e levar o dispositivo novamente ao estado de baixa resistência, uma corrente com sentido inverso daquela previamente aplicada deve percorrer o elemento memresistivo, ocasionando uma nova mudança na magnetização da camada livre, reestabelecendo o estado inicial de magnetização, como pode ser observado na Figura 7c.

2.2.3 Memristor ferroelétrico

A ferroeletricidade é uma propriedade de certos materiais que apresentam uma polarização elétrica espontânea que pode ser revertida através da aplicação de um campo elétrico externo. O memristor ferroelétrico é baseado em uma fina barreira ferroelétrica disposta entre dois contatos metálicos. CHANTHBOUALA *et al.* (2012) mostraram que configurações controladas por tensão em barreiras de túneis ferroelétricos produzem comportamento memresistivo com variações de resistência excedendo duas ordens de magnitude e velocidade de 10 ns. Em junções de túneis com barreira ferroelétrica, a modificação da polarização ferroelétrica induz variações na resistência de túnel, exibindo um contraste de resistência entre os estados *On* e *Off* de várias ordens de magnitude.

Em outro trabalho, KANEKO *et al.* (2010) apresentaram um novo tipo de transistor, construído através de finas películas ferroelétricas baseadas em óxidos, tais como SrRuO_3 , $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$, ZnO e SiON . A Figura 8 ilustra a composição desse dispositivo.

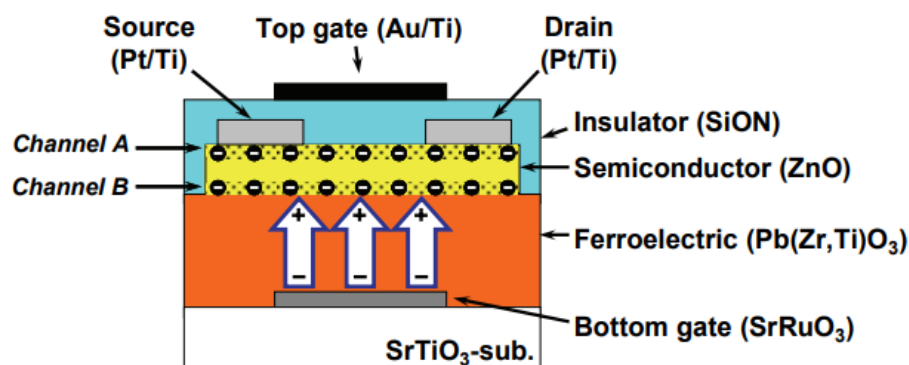


Figura 8: Transistor ferroelétrico (FeFET) (KANEKO et al., 2010).

No mesmo trabalho, acima referenciado, os pesquisadores demonstraram que a modulação da condutividade da interface entre os óxidos ZnO e Pb(Zr, Ti)O₃, em um transistor por efeito de campo ferroelétrico, se aplica a memórias não voláteis que têm o mesmo comportamento do memristor.

2.2.4 Memristor orgânico

A busca por novos materiais com características memresistivas encontra na Química orgânica uma de suas importantes vertentes de pesquisa. Dentre as principais motivações dos estudos desenvolvidos nessa área está o desenvolvimento de arquiteturas computacionais alternativas em relação ao paradigma de von Neumann. Especificamente, a construção de computadores do tipo *brain-like*, isto é, computadores capazes de emular o comportamento do cérebro, tem sido um importante desafio para a neurociência (LE MASSON *et al.*, 2002). Isso se deve à escassez de dispositivos eletrônicos compactos capazes de reproduzirem o comportamento das sinapses biológicas. Embora os circuitos integrados CMOS tenham sido desenvolvidos e fabricados para essa finalidade, essa abordagem se limita a pequenos sistemas, pois são necessários vários transistores de silício (pelo menos sete) para construir uma sinapse eletrônica. Uma vez que o cérebro humano contém aproximadamente 10^{11} neurônios e uma quantidade de sinapses cerca de 10.000 vezes maior (KUZUM *et al.*, 2013), a redução de escala dos circuitos neuromórficos ao nível desse órgão requer o desenvolvimento de dispositivos nanométricos de baixo consumo e que se comportem como sinapses. Dentre os elementos com

tais características estão os OGCNTFETs (*Optically-Gated Carbon-Nanotube Field-Effect Transistors*) (AGNUS *et al.*, 2009), os transistores híbridos orgânico/Si de nanofio (LAI *et al.*, 2008) e os memristores.

No que diz respeito aos memristores, KRIEGERAND e SPITZER (2004) descreveram um processo de dopagem dinâmica de materiais dielétricos poliméricos e inorgânicos capaz de melhorar as características de comutação e de retenção necessárias para criar células de memória não voláteis funcionais. Um ano depois, EROKHIN *et al.* (2005) relataram um elemento eletroquímico polimérico para redes adaptativas. Na ocasião, o objeto do estudo não foi chamado de memristor, embora os seus princípios de funcionamento e as suas características se aproximassem do memristor hipotético (SHAHSAVARI, 2013). Porém, dois meses após a divulgação do memristor de TiO₂ (STRUKOV *et al.*, 2008), EROKHIN e FONTANA (2008) identificaram o enquadramento das propriedades do dispositivo que haviam apresentado em 2005 dentro da classe de sistemas memresistivos. Assim, os autores reivindicaram o reconhecimento pelo desenvolvimento do primeiro memristor, contestando o pioneirismo do invento postulado no artigo “*The missing Memristor Found*”.

EROKHIN e FONTANA (2008) observaram que as propriedades do memristor permitiam que o mesmo fosse considerado como um elemento sintético com comportamento similar àquele observado nas sinapses presentes no sistema nervoso de seres vivos, permitindo memória e aprendizagem. Partindo dessa premissa, os autores apresentaram e descreveram um dispositivo memresistivo orgânico, definindo-o como um elemento eletrônico com a característica de imitar sinapses e desenvolvido especialmente para a construção de circuitos neuromórficos. A construção desse dispositivo memresistivo orgânico inclui uma fina camada de polianilina (PANI) depositada sobre um suporte isolante com dois eletrodos, conforme ilustrado na Figura 9a. Uma tira estreita de eletrólito sólido (óxido de polietileno dopado com sal de lítio – PEO) se forma na parte central do canal, onde todas as reações redox ocorrem. Essa zona é chamada de área ativa. A variação da condutividade é acompanhada pela migração dos ions Li⁺ entre as camadas de PANI e PEO. O princípio de funcionamento do dispositivo é baseado na diferença significativa da condutividade da polianilina (PANI) no estado oxidado e no estado reduzido (KANG *et al.*, 1998).

O símbolo utilizado para o dispositivo orgânico memresistivo difere daquele apresentado por CHUA (1971), amplamente adotado em publicações da área (GAO *et al.*, 2013; VOURKAS; SIRAKOULIS, 2016) e é apresentado na Figura 9b. De acordo com os criadores,

isso se deve a duas razões: o símbolo adotado representa melhor as propriedades anisotrópicas dos elementos imitadores de sinapse, além de já ter sido utilizado antes mesmo do dispositivo orgânico publicado em 2005 ser atrelado ao termo “memristor”.

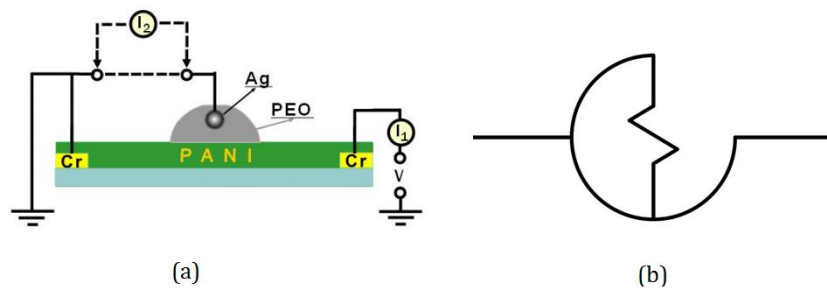


Figura 9: (a) Construção e (b) Símbolo do memristor orgânico apresentado por EROKHIN e FONTANA (2008).

Ainda nesse escopo de atuação, a publicação do trabalho “*An organic-nanoparticle transistor behaving as a biological spiking synapse*”(ALIBART et al., 2010), apresentou um novo dispositivo híbrido orgânico/nanopartícula à comunidade científica, que foi chamado de NOMFET (*Nanoparticle Organic Memory Field Effect Transistor*), o qual apresenta características de um memristor e exibe o comportamento principal de uma sinapse biológica (ALIBART et al., 2010). Esse dispositivo foi usado para demonstrar um circuito inspirado em neurônios (memória associativa mostrando uma aprendizagem pavloviana)(ALIBART et al., 2010).

3 Modelos de simulação

Amostras reais de memristores ainda são pouco acessíveis, o que impossibilita, para a maioria dos pesquisadores, a realização de experimentos práticos com os mesmos. Dessa forma, a utilização de modelos elétricos computacionais é uma excelente alternativa para facilitar a análise comportamental e o desenvolvimento de aplicações com esses elementos através de simulações. Nos itens subsequentes serão apresentados alguns trabalhos com essa proposta.

3.1 Modelo de Biolek

BIOLEK *et al.* (2009) apresentaram um modelo elétrico SPICE baseado no memristor de TiO₂ fabricado nos laboratórios da HP (STRUKOV *et al.*, 2008). Seguindo o trabalho original, a resistência total do memristor (R_{MEM}) foi definida como sendo o valor resultante da associação série da resistência da sua região dopada e da sua região não dopada, conforme previamente ilustrado na Figura 5. Porém, a representação matemática utilizada difere levemente daquela adotada pelo seu antecessor, como pode ser visto nas Equações (17) e (18):

$$R_{MEM} = R_{ON} x + R_{OFF} (1 - x) \quad (17)$$

$$x = \frac{w}{D} \in [0,1] \quad (18)$$

Considerando-se $\Delta R = R_{OFF} - R_{ON}$, pode-se reescrever a resistência do memristor como:

$$R_{MEM} = R_{OFF} - x\Delta R \quad (19)$$

A variável x representa a razão entre a largura w da região dopada e o comprimento total D da camada de TiO₂, enquanto que R_{OFF} e R_{ON} continuam representando os valores de resistência do memristor para os casos em que $w = 0$ e $w = D$, respectivamente. A velocidade do movimento da fronteira entre as regiões dopada e não dopada depende da resistência da área dopada, da corrente elétrica através do componente e de outros fatores, de acordo com as Equações (20) e (21):

$$\frac{dx}{dt} = k i(t) f(x) \quad (20)$$

$$k = \mu_V \frac{R_{ON}}{D^2} \quad (21)$$

Na Equação (21), μ_V representa a mobilidade dos dopantes, uma constante que vale aproximadamente $10^{-14} \text{ m}^2\text{s}^{-1}\text{V}^{-1}$. O termo $f(x)$ é chamado de função janela e serve para representar o fenômeno de deriva não linear dos dopantes. Como mencionado por STRUKOV *et al.* (2008), em dispositivos nanométricos, pequenas tensões podem produzir grandes campos elétricos, os quais acarretam não linearidades significativas no transporte iônico. Essas não linearidades ocorrem nas bordas da fina película, onde a velocidade da fronteira entre as regiões dopada e não-dopada gradualmente reduz-se a zero. BIOLEK *et al.* (2009) ressaltam que, naquele momento, não haveria uma função concreta correspondente ao memristor descrito pelos pesquisadores da HP. Em virtude disso, a função janela adotada para o desenvolvimento do modelo SPICE foi a mesma proposta por JOGLEKAR e WOLF (2009):

$$f(x) = 1 - (2x - 1)^{2p} \quad (22)$$

O número p , no expoente da Equação (22), é um inteiro positivo. Essa função garante que a velocidade da coordenada x seja zero ao se aproximar de cada limite do intervalo no qual está compreendido. Além disso, as diferenças entre os modelos com deriva linear e não linear desaparecem à medida que p aumenta (BIOLEK *et al.*, 2009), conforme demonstrado na Figura 10.

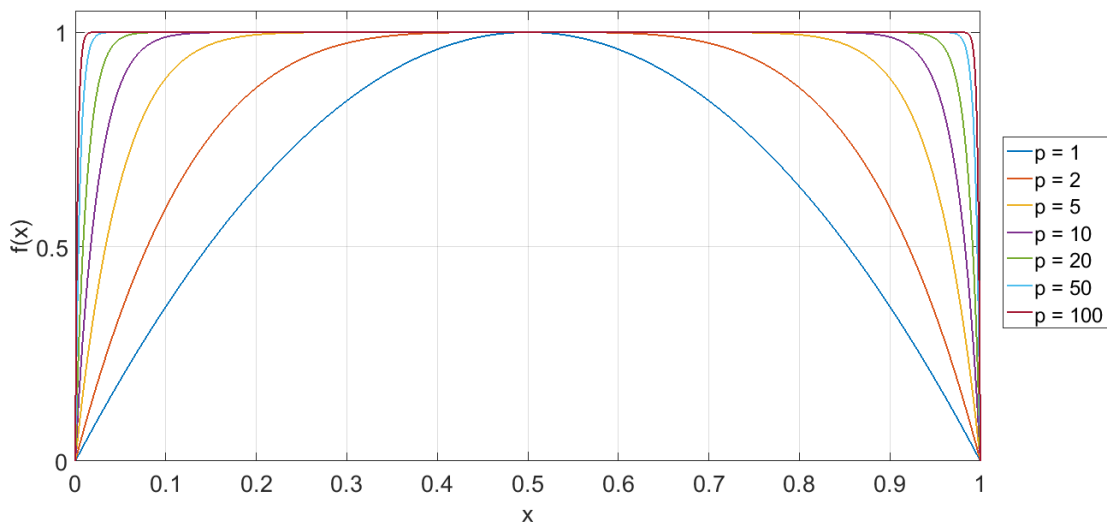


Figura 10: Função janela proposta por JOGLEKAR e WOLF (2009).

A Equação (20) foi modelada através do diagrama em blocos mostrado na Figura 11. O efeito de memória do memristor é modelado através de um integrador controlado por realimentação, o qual armazena os efeitos da corrente que atravessa o memristor e controla a resistência do mesmo modificando a posição da fronteira (BIOLEK et al., 2009). A deriva não linear e a influência das condições de fronteira são modeladas pela realimentação através da função janela $f()$.

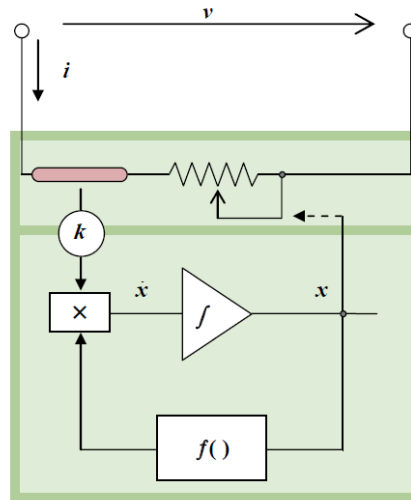


Figura 11: Diagrama em blocos do modelo de memristor (BIOLEK et al., 2009).

O modelo SPICE descreve um circuito equivalente para o memristor utilizando duas malhas: a primeira, constituída por uma fonte de tensão dependente E_{MEM} em série com um resistor de valor R_{OFF} ; a segunda, com uma fonte de corrente dependente G_x em série com um capacitor C_x , como mostrado na Figura 12.

Na primeira malha, o objetivo da ligação série entre a fonte de tensão dependente E_{MEM} e o resistor R_{OFF} é produzir uma resistência equivalente entre os terminais do memristor que satisfaça a Equação (18). Sabe-se, pela Lei de Kirchhoff das tensões, que a tensão total aplicada ao memristor será igual à soma da tensão da fonte E_{MEM} e da queda de tensão sobre o resistor R_{OFF} , de acordo com a Equação (23):

$$V_{MEM} = E_{MEM} + R_{OFF}I_{MEM} \quad (23)$$

Substituindo-se E_{MEM} pela sua expressão equivalente, $-I_{MEM} \times \Delta R$, obtém-se:

$$V_{MEM} = -I_{MEM} \times \Delta R + R_{OFF}I_{MEM} \quad (24)$$

Colocando-se o fator I_{MEM} em evidência no lado direito da Equação (24) chega-se à Equação (25):

$$V_{MEM} = (R_{OFF} - x \Delta R) I_{MEM} \quad (25)$$

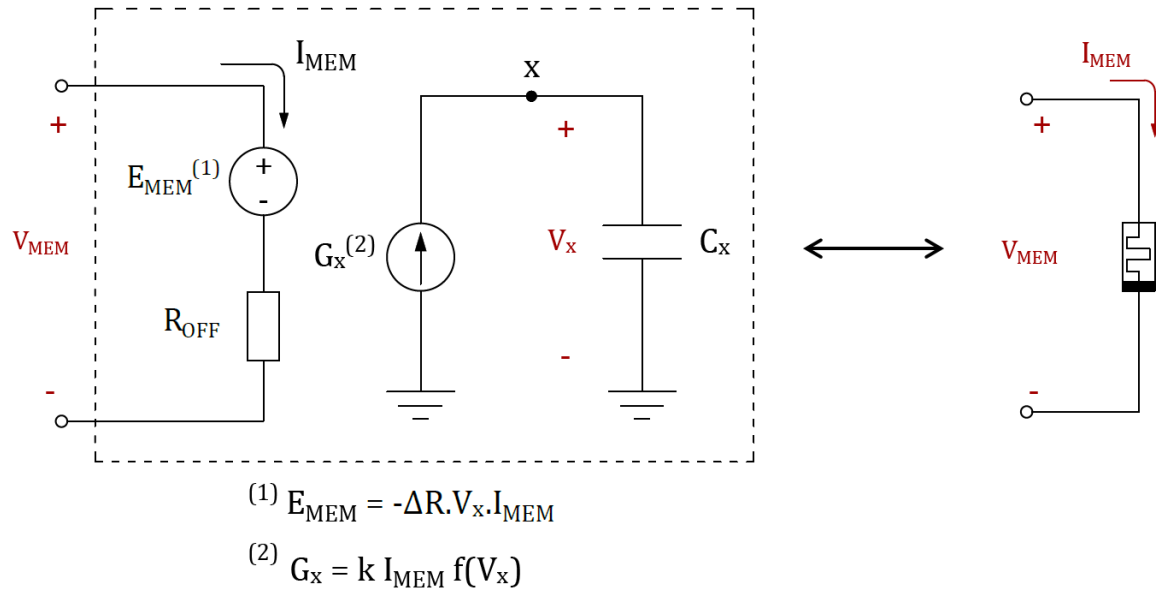


Figura 12: Circuito equivalente utilizado na montagem do modelo SPICE.

Finalmente, dividindo-se ambos os lados da Equação por I_{MEM} , resulta a Equação (26), a qual demonstra que a resistência elétrica equivalente entre os terminais do dispositivo é idêntica àquela exibida pela Equação (18):

$$\frac{V_{MEM}}{I_{MEM}} = R_{MEM} = R_{OFF} - x \Delta R \quad (26)$$

Da segunda malha, obtém-se a largura normalizada x da região dopada, que é modelada pela tensão V_x sobre o capacitor C_x . Sabidamente, a corrente através do capacitor é dada pela Equação (27) (NILSSON; SUSAN, 2008):

$$i_c = C \frac{dv_c}{dt} \quad (27)$$

Multiplicando-se ambos os lados da Equação (27) pelo diferencial de tempo dt e integrando-se os termos resultantes, obtém-se:

$$v_c = \frac{1}{C} \int_{t_0}^t i_c dt + v(t_0) \quad (28)$$

Visto que a corrente circulante entre os terminais do capacitor é igual àquela fornecida pela fonte de corrente G_x , pode-se substituir i_c por $KI_{MEM}f(V_X)$, resultando, para o caso em que $v(t_0) = 0$, na formula seguinte:

$$v_c = \frac{1}{C} \int_{t_0}^t KI_{MEM}f(V_X), dt \quad (29)$$

Portanto, o capacitor C_x serve como um integrador dos termos exibidos no lado direito da Equação (20). O modelo é implementado na linguagem SPICE na forma de um subcircuito, cujos parâmetros são os seguintes: a resistência inicial R_{INIT} , as resistências R_{OFF} e R_{ON} , a largura da camada D , a mobilidade dos dopantes μ_V e o expoente p da função janela. Esse modelo traz também a computação direta da integral das variáveis que definem o memristor, isto é, a integral da tensão elétrica, que corresponde ao fluxo magnético, e a integral da corrente elétrica, que define a carga elétrica.

Os testes do modelo SPICE do memristor produzido nos laboratórios da HP em condições de *hard switching* apontaram dois problemas, associados aos efeitos de fronteira, ambos relacionados à maneira de definir a função janela (BIOLEK et al., 2009). O primeiro problema consiste no fato de que, ao comutar o memristor para os estados terminais R_{ON} ou R_{OFF} , nenhum estímulo externo será capaz de alterar essa condição, de modo que o memristor permaneceria preso a um desses estados para sempre. Essa conclusão é uma consequência da Equação (20) e do valor nulo da função janela para os limites $x = 1$ e $x = 0$. Se $f(x) = 0$, então $dx/dt = 0$ e, conseqüentemente, não pode haver mudança da largura normalizada x .

Dessa forma, o memristor “lembra” a coordenada x da fronteira entre as duas camadas e não a quantidade de carga elétrica que passa através dele, e essa coordenada é proporcional à carga somente dentro da área ativa do memristor. O segundo problema da função janela descrita na Equação (22) é conseguir modelar o memristor como um elemento capaz de lembrar exatamente toda a carga que passou através de si. Se a função janela depende somente da variável x , então a carga elétrica necessária para modificar o estado do memristor de x_0 até x_1 é dada por:

$$q_1 = \int_{x_0}^{x_1} \frac{d\xi}{kf(\xi)} \quad (30)$$

Além disso, a mesma carga, porém com sinal contrário, seria necessária para retornar do estado x_1 para o estado x_0 . Dessa forma, quando o memristor é percorrido por uma corrente durante um período t , esse mesmo tempo seria necessário para restaurar o estado em que se encontrava antes de ser percorrido pela corrente, independentemente se o memristor se encontrava em um de seus estados terminais enquanto a corrente fluía. Dessa forma, o efeito de memória é perdido nos limites de cada extremidade. BIOLEK *et al.* (2009) modelaram uma função janela modificada, capaz de resolver a discrepância entre o comportamento do modelo e os requisitos para a operação de um elemento de circuito real. Quando o memristor se encontra em seus estados terminais e o sentido da corrente é invertido, a fronteira entre as regiões do componente começa a se mover na direção oposta, ao longo de outra curva, independentemente do seu passado, que é perdido. A função proposta para satisfazer tais condições é mostrada na Equação (31):

$$f(x) = 1 - (x - \Theta(-i))^{2p} \quad (31)$$

Onde p é um inteiro positivo, i é a corrente do memristor e $\Theta(i)$ é uma função degrau, descrita pela Equação (32):

$$\Theta(i) = \begin{cases} 1, & i \geq 0 \\ 0, & i < 0 \end{cases} \quad (32)$$

A corrente é considerada positiva se ela aumenta a largura da região dopada, ou $x \rightarrow 1$. O gráfico que representa a nova função janela proposta por BIOLEK *et al.* (2009) é mostrado na Figura 13.

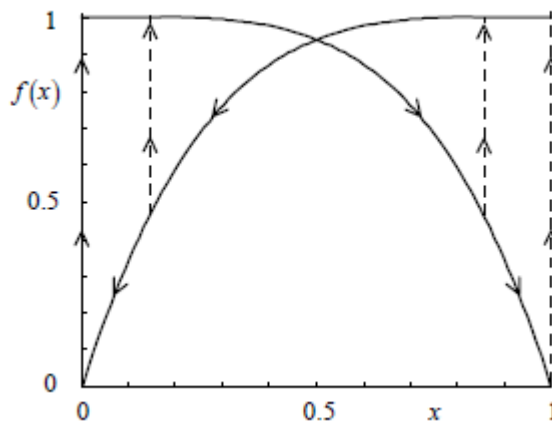


Figura 13: Função janela descrita pela Equação (31), para $p=2$ (BIOLEK *et al.*, 2009).

3.1.1 Simulações do modelo de BIOLEK *et al*

BIOLEK *et al.* (2009) apresentaram as simulações de alguns experimentos com o seu modelo, aplicando tensões elétricas com diferentes formas de onda entre os terminais do dispositivo. Inicialmente, foi aplicada uma senoide com amplitude de 1,2 V e frequência de 1 Hz, e os parâmetros do memristor foram ajustados para os seguintes valores: $R_{ON} = 100\Omega$, $R_{OFF} = 16\text{ k}\Omega$, $R_{INIT} = 11\text{ k}\Omega$, $p = 10$, $D = 10\text{ nm}$ e $\mu_V = 10^{-14}$. Como pode ser visto na Figura 14, nessa circunstância o memristor trabalha em um regime tal que a fronteira entre as regiões dopada e não dopada não se aproximam das bordas com efeitos não lineares dominantes.

Na Figura 14a, mostra-se a relação entre a carga elétrica e o fluxo magnético, ou, expressando de outra forma, a correspondência entre as integrais da tensão sobre o memristor e da corrente através dele no domínio do tempo. No item 'b', evidencia-se a curva I x V do memristor e o seu fenômeno característico de histerese. No item 'c' são mostradas as formas de onda da tensão e da corrente em sobreposição, enquanto que em 'd' é ilustrado o valor de x ao longo do período de tempo de observação, no qual a fronteira entre as regiões dopada e não dopada não se aproxima das bordas com efeitos não lineares dominantes.

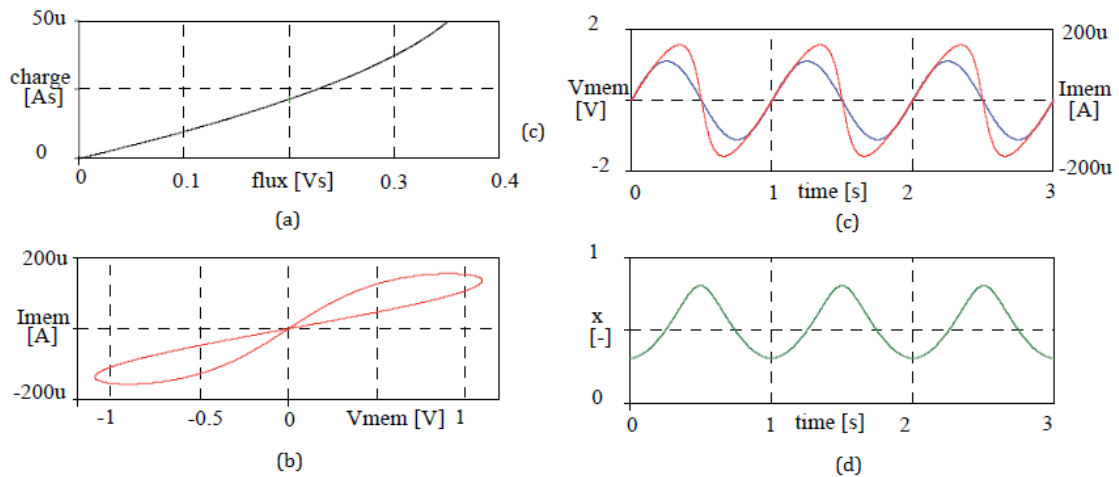


Figura 14: Formas de onda do experimento apresentado por BIOLEK et al. (2009), obtidas a partir da aplicação de uma forma de onda senoidal com amplitude de 1,2 V e frequência de 1 Hz.

Na sequência, a forma de onda fornecida pela fonte de alimentação esteve na forma $V_{MEM} = \pm V_0(\text{sen}\omega_0 t)^2$, com $V_0 = 1,5\text{ V}$ e $f = 1\text{ Hz}$. Além disso, o parâmetro R_{OFF} foi ajustado

para o valor de $38 \text{ k}\Omega$ e o parâmetro R_{INIT} para $28 \text{ k}\Omega$. Os resultados obtidos são ilustrados na Figura 15.

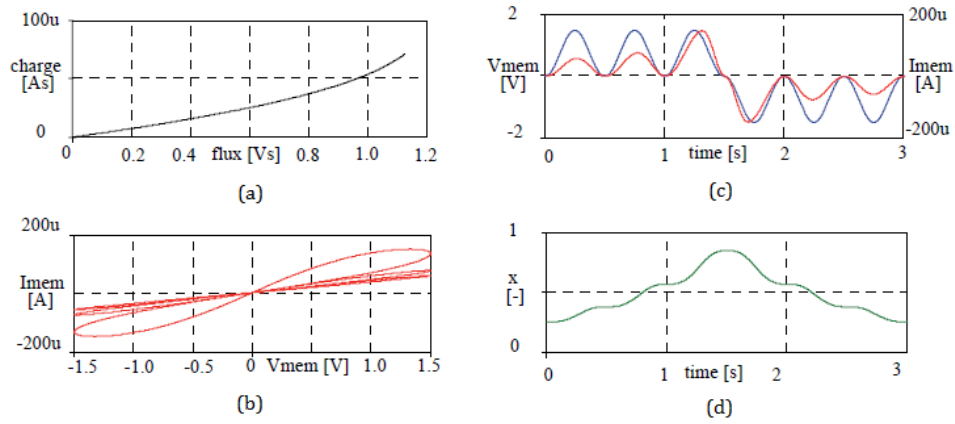


Figura 15: Simulações do memristor para sinal de entrada $\pm V_0 (\text{sen}\omega_0 t)^2$, para $V_0 = 1,5 \text{ V}$ e $f_0 = 1 \text{ Hz}$ (BIOLEK et al., 2009).

Por fim, são demonstrados, na Figura 16, os resultados perante as seguintes condições: tensão senoidal de amplitude 2 V e frequência 1 Hz ; $R_{\text{OFF}} = 5 \text{ k}\Omega$ e $R_{\text{INIT}} = 1 \text{ k}\Omega$. Nota-se que, uma razão $R_{\text{OFF}}/R_{\text{ON}}$ menor, de forma conjunta com uma amplitude suficientemente alta da tensão aplicada, favorecem o acontecimento dos casos de hard switching, com variações da largura normalizada x da região dopada entre os limites 0 e 1 .

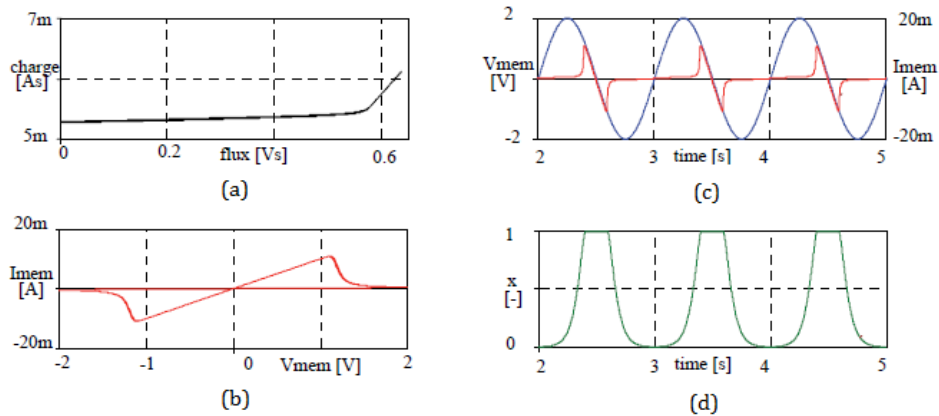


Figura 16: Formas de onda do experimento apresentado em (BIOLEK et al., 2009), obtidas a partir da aplicação de uma forma de onda senoidal com amplitude de $1,2 \text{ V}$ e frequência de 1 Hz .

3.2 Modelo de Prodromakis e Peh

As funções janela propostas por JOGLEKAR e WOLF (2009) e BIOLEK *et al.* (2009) não possuíam um fator de escala e, portanto, não podiam ser ajustadas, de modo que o valor máximo de $f(x)$ era fixo e igual à unidade (KVATINSKY *et al.*, 2013b). Para superar essa limitação, PRODROMAKIS *et al.* (2011) propuseram uma nova função janela, com a presença de um fator multiplicativo de escala, conforme Equação (33):

$$f(x) = j(1 - [(x - 0,5)^2 + 0,75]^p) \quad (33)$$

Na função apresentada, j é o parâmetro de controle que determina o máximo valor de $f(x)$, o qual pode ser maior ou menor do que um. A Figura 17 mostra a representação gráfica dessa função de acordo com largura normalizada da região dopada x , para $p = 10$ e j variável.

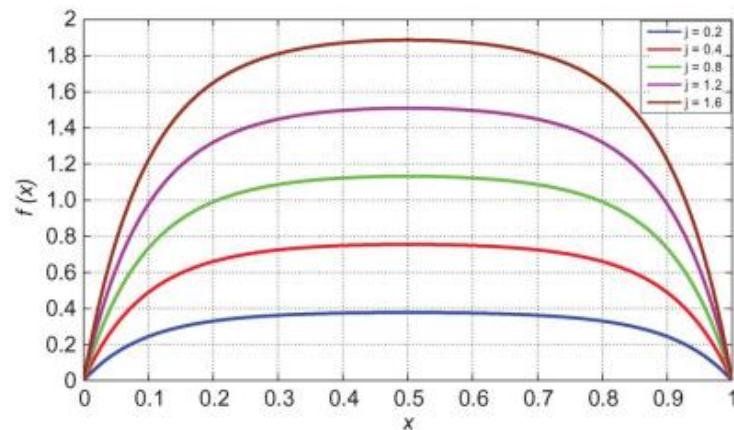


Figura 17: Função janela proposta em (PRODROMAKIS *et al.*, 2011) versus largura normalizada da região dopada x , para $p = 10$ e j variável.

3.3 Modelo de Pershin e Di Ventra

PERSHIN e DI VENTRA (2012) desenvolveram um modelo SPICE de memristor cujo funcionamento prevê a existência de uma tensão de limiar (*Threshold Voltage* - V_T). Matematicamente, os autores propõem um sistema memresistivo descrito pelas seguintes Equações:

$$I_{MEM} = X^{-1}V_{MEM} \quad (34)$$

$$\frac{dX}{dt} = f(V_{MEM})[\theta(V_{MEM})\theta(R_{OFF} - X) + \theta(-V_{MEM})\theta(X - R_{ON})] \quad (35)$$

De modo que:

$$f(V_{MEM}) = \beta V_{MEM} + 0,5(\alpha - \beta)(|V_{MEM} + V_T| - |V_{MEM} - V_T|) \quad (36)$$

Na Equação (34), a variável X representa a memresistência do dispositivo, que relaciona a tensão instantânea V_{MEM} aplicada sobre ele e a corrente instantânea I_{MEM} que o percorre. Na Equação (35), a função $f(V_{MEM})$ e as funções degrau θ são combinadas para estabelecer a forma de variação da memresistência e limitá-la dentro da região compreendida entre os valores máximo (R_{OFF}) e mínimo (R_{ON}) de memresistência.

A Equação (36) descreve a função $f(V_{MEM})$, que caracteriza a taxa de variação da memresistência ao longo do tempo quando as condições de contorno $|V_{MEM}| > 0$ e $R_{ON} < X < R_{OFF}$ são satisfeitas. Essa função utiliza alguns parâmetros importantes do modelo, sendo um deles a tensão de limiar V_T . A superação desse nível de tensão funciona como um gatilho responsável por iniciar o chaveamento de resistência do memristor ou acentuar expressivamente uma comutação já iniciada, o que dependerá da configuração de outros dois parâmetros. Esses parâmetros são os coeficientes α e β , que caracterizam a taxa de crescimento ou decrescimento da variação da memresistência em função da tensão V_{MEM} , quando $|V_{MEM}| < V_T$ e $|V_{MEM}| > V_T$, respectivamente. Esses dois coeficientes definem a declividade da curva $f(V_{MEM})$ acima e abaixo do limiar, como ilustrado na Figura 18a. Quando $\alpha = 0$, no entanto, o estado do dispositivo muda somente se $|V_{MEM}| > V_T$, caso evidenciado pela Figura 18b.

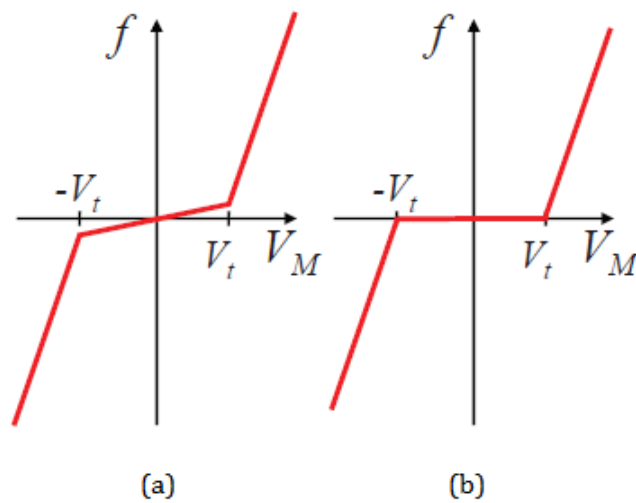


Figura 18: Gráfico da função $f(V_M)$ para (a) $\alpha > 0$ e $\beta > 0$ e (b) $\alpha = 0$ e $\beta > 0$.

A implementação computacional desse modelo é realizada através da linguagem SPICE, de modo que o memristor é descrito como um sub-circuito baseado na ideia geral trazida no trabalho de BIOLEK et al. (2009). Dessa forma, o circuito equivalente utiliza duas malhas isoladas eletricamente, combinando um resistor comportamental R , uma fonte de corrente dependente B_x e um capacitor C_x , conforme o arranjo exibido na Figura 19a.

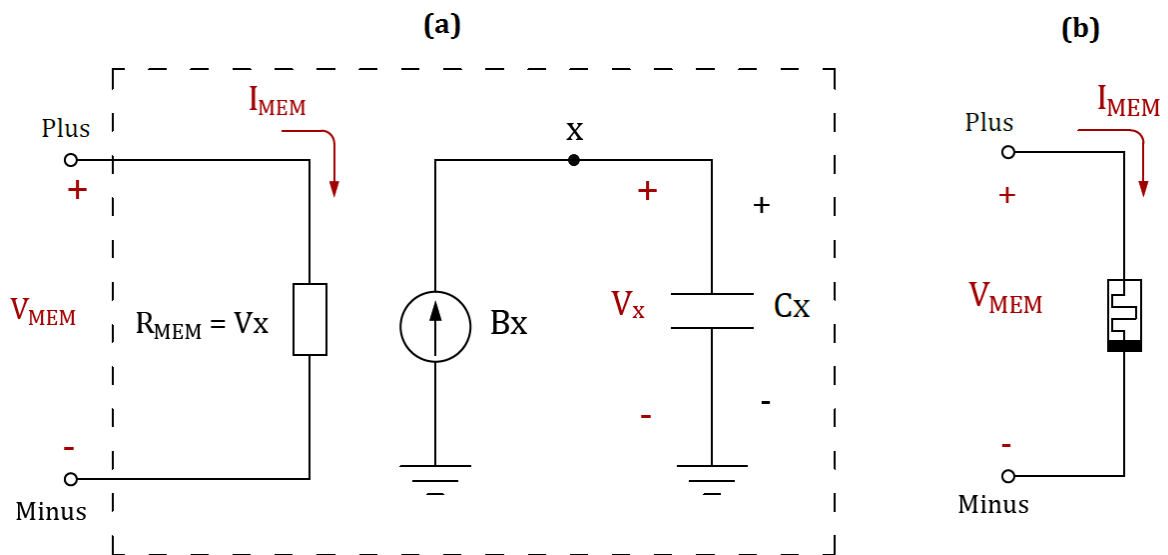


Figura 19: (a) Circuito equivalente do modelo SPICE controlado por tensão (PERSHIN; DI VENTRA, 2012).

Na Figura 19b, mostra-se o símbolo elétrico do dispositivo, onde se convencionou o terminal *Minus* como aquele adjacente à listra escura. As Equações (34)-(36) são escritas de

modo que a aplicação de uma tensão positiva/negativa entre os terminais *Plus* e *Minus* sempre tende a aumentar/diminuir a memresistência R_M . Multiplicando-se ambos os lados da Equação (35) pelo diferencial dt e integrando-os, verifica-se que a memresistência é dada por:

$$X = \int_0^t [f(V_{MEM})(\theta(V_M)\theta(R_{OFF} - X) + \theta(-V_M)\theta(X - R_{ON}))]dt + R_{INIT} \quad (37)$$

onde R_{INIT} é um parâmetro do modelo e equivale à resistência inicial do memristor. Uma vez que o capacitor atua como um elemento integrador e está sendo percorrido pela corrente da fonte B_x , define-se o valor desse componente através dos termos que estão sendo integrados na Equação (37). A tensão sobre o capacitor, dada pela Equação (28), atribuindo-se o valor de 1F para a capacitância, assume a mesma forma da Equação (37). Portanto, o valor da resistência do memristor assume o mesmo valor numérico da tensão sobre o capacitor.

No desenvolvimento do código SPICE do circuito exibido na Figura 18, as funções degrau, responsáveis por limitar os valores da memresistência do dispositivo entre R_{ON} e R_{OFF} , e utilizadas para expressar o valor da fonte de corrente, tem o seu valor especificado através de funções ternárias. Uma função ternária é definida no formato $a ? b : c$, o que significa: se a , então b , senão c (NENZI; VOGT, 2014).

3.3.1 Simulações do modelo de Pershin e Di Ventra

PERSHIN e DI VENTRA (2012) apresentam experimentos que comprovam o funcionamento do modelo de elemento memresistivo com tensão de limiar proposto. Para isso, simulam um circuito elétrico onde um memristor é conectado a uma fonte de tensão senoidal $V(t) = V_0 \text{sen}(2\pi ft)$. O experimento relatado abrange as duas situações ilustradas na Figura 18.

No primeiro caso, os parâmetros α e β são maiores do que zero e $\alpha < \beta$. Os dispositivos memresistivos com essa característica possuem *soft threshold*. Nesse caso, a memresistência muda para qualquer valor de tensão $V \neq 0$. Entretanto, a mudança é mais rápida quando a magnitude da tensão aplicada supera a tensão de *threshold* ($|V| > V_T$). No segundo caso, onde $\alpha = 0$, a memresistência muda apenas quando $|V| > V_T$. Elementos que se enquadram nesse caso apresentam *hard threshold*. Para os dois casos, são exibidos gráficos da tensão, corrente e

memresistência em função do tempo, considerando os seguintes parâmetros: $V_0 = 5 \text{ V}$, $f = 0,05 \text{ GHz}$, $R_{ON} = 5 \text{ k}\Omega$, $R_{OFF} = 10 \text{ k}\Omega$, $R_M(t=0) = 5 \text{ k}\Omega$, $\beta = 10^{10} \text{ k}\Omega/(\text{V}\cdot\text{s})$ e $V_T = 4,6 \text{ V}$.

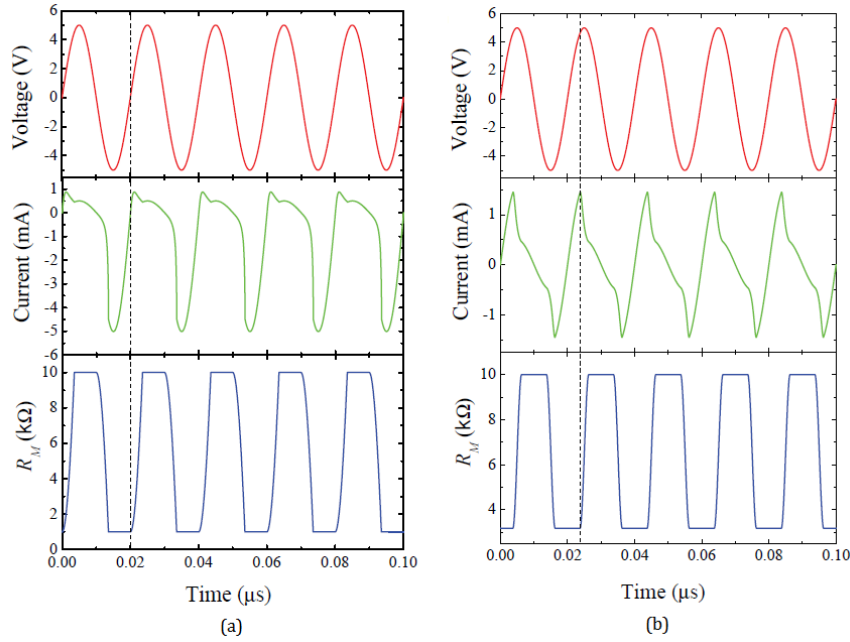


Figura 20: Comportamento ao longo do tempo da tensão aplicada $V(t)$, corrente $I(t)$ e memresistência $R_M(t)$ para dispositivos memresistivos com (a) *soft* ($\alpha = 0,1\beta$) e (b) *hard threshold* ($\alpha = 0$) (PERSHIN; DI VENTRA, 2012).

3.4 Modelo de deriva iônica não linear

Enquanto o modelo de deriva iônica linear é intuitivo e satisfaz as equações básicas de sistemas memresistivos, experimentos têm mostrado que o comportamento de dispositivos correlatos fabricados se afasta de forma significativa desses modelos e é altamente não linear (KVATINSKY et al., 2013b). LEHTONEN e LAIHO (2010) desenvolveram um modelo de simulação usando a plataforma Eldo (MENTOR GRAPHICS), baseado nos resultados experimentais publicados por YANG *et al.* (2008). Nesse modelo, a relação entre a corrente e a tensão é dada por:

$$I = w^n \beta \sinh(\alpha V) + \chi [\exp(\gamma V) - 1] \quad (38)$$

Na Equação (38), a variável de estado, w , é normalizada e apresenta valores entre 0 (*Off*) e 1 (*On*) (YANG et al., 2008). No primeiro termo, $\beta \sinh(\alpha V)$ é a aproximação utilizada para o estado *On* do memristor, que consiste basicamente no tunelamento de elétrons através

de uma fina barreira residual; α e β são constantes de ajuste utilizadas para caracterizar esse estado. No segundo termo, γ e χ são constantes de ajuste usadas para caracterizar a barreira eletrônica quando o memristor assume o estado *Off*. O expoente n é um parâmetro que determina a influência da variável de estado na corrente. Esse modelo assume uma dependência não linear com a tensão na equação diferencial da variável de estado:

$$\frac{dw}{dt} = a f(w)g(V) \quad (39)$$

onde a é uma constante, $f: [0,1] \rightarrow \mathbb{R}$ é chamada de função janela e $g: \mathbb{R} \rightarrow \mathbb{R}$ é alguma função que, para STRUKOV *et al.* (2008), é assumida linear. Porém, LEHTONEN e LAIHO (2010) entendem que, para imitar o comportamento do memristor descrito por YANG *et al.* (2008), é necessário que a função g seja não linear, ímpar e monotonicamente crescente. Assim, assumem que g é uma função polinomial, na forma:

$$g(V) = V^m \quad (40)$$

onde $m \in 2\mathbb{N} - 1$. As relações $I \times V$ de um dispositivo memresistivo com deriva iônica não linear para formas de onda senoidal e retangular são mostradas na Figura 21, para os seguintes parâmetros: $q = 5$, $n = 2$, $a = 1 \text{ V}^{-m} \cdot \text{s}^{-1}$, $\beta = 0,9 \text{ } \mu\text{A}$, $\gamma = 4 \text{ V}^{-1}$, $\chi = 10^{-4} \text{ } \mu\text{A}$, $\alpha = 2 \text{ V}^{-1}$.

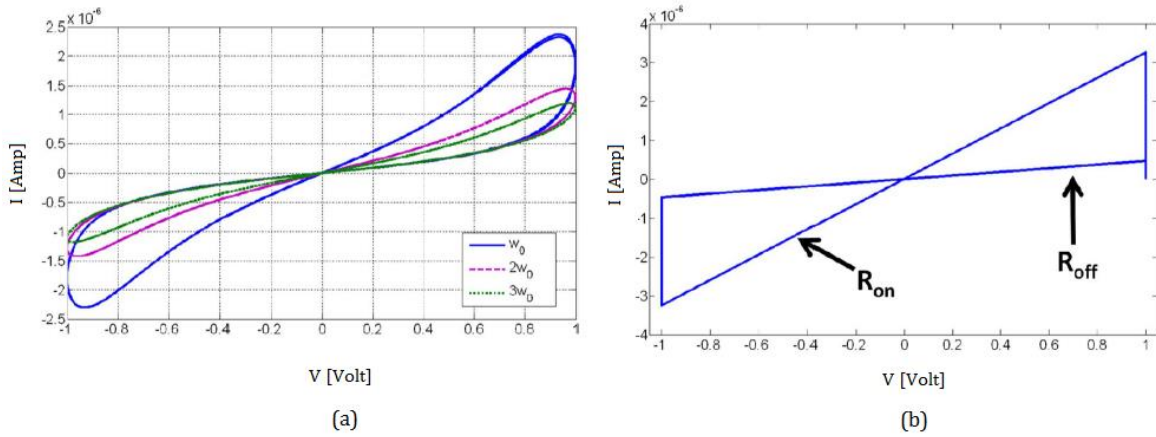


Figura 21: Curva $I \times V$ para o modelo de deriva iônica não linear. (a) Tensão de entrada senoidal para frequências ω_0 , $2\omega_0$ e $3\omega_0$. (b) Tensão de entrada retangular (KVATINSKY *et al.*, 2013b).

3.5 Modelo *Simmons Tunnel Barrier*

Os modelos de deriva iônica linear e não linear são baseados no esquema elétrico de dois resistores variáveis em série, como ilustrado na Figura 5, os quais representam uma região de óxido e uma região de óxido dopada. Diferentemente dessas propostas, PICKETT *et al.* (2009) apresentaram um modelo físico onde existe um resistor em série com uma barreira de túnel de elétrons, como mostrado na Figura 22. Esse modelo assume um comportamento de chaveamento assimétrico e não linear devido à dependência exponencial do movimento de dopantes ionizados.

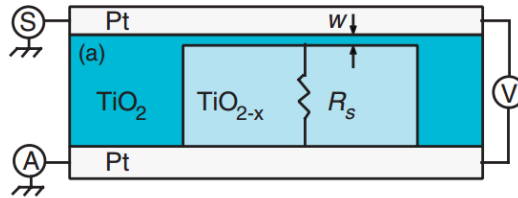


Figura 22: Estrutura de um dispositivo memresistivo do tipo *Simmons Tunnel Barrier* (PICKETT *et al.*, 2009).

A variável de estado nesse modelo é a largura w da barreira do túnel de Simmons. Nesse caso, a derivada de w pode ser interpretada como a velocidade de deriva das lacunas de oxigênio:

$$\frac{dw}{dt} = \begin{cases} f_{\text{OFF}} \sinh\left(\frac{i}{i_{\text{OFF}}}\right) \exp\left[-\exp\left(\frac{w - a_{\text{OFF}}}{w_c} - \frac{|i|}{b}\right) - \frac{w}{w_c}\right], & i > 0 \\ f_{\text{ON}} \sinh\left(\frac{i}{i_{\text{ON}}}\right) \exp\left[-\exp\left(\frac{w - a_{\text{ON}}}{w_c} - \frac{|i|}{b}\right) - \frac{w}{w_c}\right], & i < 0 \end{cases} \quad (41)$$

onde f_{OFF} , f_{ON} , i_{OFF} , i_{ON} , a_{OFF} , a_{ON} , w_c e b são parâmetros de ajuste. Em dispositivos memresistivos práticos, o chaveamento *On* é significativamente mais rápido do que o chaveamento *Off* por causa da difusão das lacunas de oxigênio da região TiO_{2-x} para a região TiO_2 e também porque a deriva das lacunas de oxigênio devido ao campo elétrico interno é diferente para tensões positivas e negativas. Os parâmetros f_{OFF} e f_{ON} influenciam a extensão da variação de w , e o parâmetro f_{ON} é uma ordem de magnitude maior que o parâmetro f_{OFF} . Os parâmetros i_{OFF} e i_{ON} restringem as correntes de *threshold*. Abaixo dessas correntes, a variação da derivada de w é negligenciada. Os parâmetros a_{OFF} e a_{ON} forçam os limites superior

e inferior para w . Em razão da dependência exponencial de $w - a_{\text{OFF}}$ ou $w - a_{\text{ON}}$, a derivada da variável de estado é significativamente menor para a variável de estado dentro da faixa permitida (KVATINSKY et al., 2013b). Um modelo SPICE para esse modelo é apresentado por ABDALLA e PICKETT (2011).

3.6 Modelo TEAM (*ThrEshold Adaptive Memristor*)

Apesar da compreensão de que o trabalho apresentado por PICKETT *et al.* (2009) continha o modelo físico mais preciso de dispositivo memresistivo baseado em TiO_2 até então, KVATINSKY *et al.* (2013b) entendiam também que tal modelo era muito complicado, sem uma relação explícita entre a tensão e a corrente e se enquadrava apenas em um tipo específico de dispositivo memresistivo. Além disso, as complexas funções matemáticas descritas no mesmo levavam a implementações computacionais ineficientes. Assim, para suplantar as deficiências apontadas no modelo de *Simmons Tunnel Barrier*, foi desenvolvido o modelo TEAM (*ThrEshold Adaptive Memristor*). Esse modelo traz uma expressão para a derivada da variável de estado interna que pode ser adaptada para qualquer tipo de dispositivo memresistivo. KVATINSKY *et al.* (2013b) destacam que, diferentemente de outros modelos, no modelo TEAM a relação corrente-tensão pode ser livremente escolhida.

Devido à dependência altamente não linear da corrente, o dispositivo memresistivo pode ser modelado como um dispositivo com correntes de *threshold*. Essa aproximação é similar à tensão de *threshold* em transistores MOS. Essa suposição é justificada para pequenas mudanças na variável de estado e, nessa presunção, a derivada da variável de estado para o modelo TEAM é:

$$\frac{dx}{dt} = \begin{cases} k_{\text{off}} \left(\frac{i(t)}{i_{\text{off}}} - 1 \right)^{\alpha_{\text{off}}} f_{\text{off}}(x) & 0 < i_{\text{off}} < i \\ 0 & i_{\text{on}} < i < i_{\text{off}} \\ k_{\text{on}} \left(\frac{i(t)}{i_{\text{on}}} - 1 \right)^{\alpha_{\text{on}}} f_{\text{on}}(x) & i < i_{\text{on}} < 0 \end{cases} \quad (42)$$

onde k_{off} , k_{on} , α_{off} e α_{on} são constantes, i_{off} e i_{on} são correntes de *threshold* e x é a variável de estado interna, que representa a largura efetiva do túnel elétrico. A constante k_{off} é um número positivo, enquanto k_{on} é um número negativo. As funções $f_{\text{off}}(x)$ e $f_{\text{on}}(x)$ se comportam como funções janela e limitam a variável de estado, de modo que $x \in [x_{\text{on}}, x_{\text{off}}]$. As funções $f_{\text{on}}(x)$ e $f_{\text{off}}(x)$ não são necessariamente iguais, uma vez que a dependência em x pode ser assimétrica (KVATINSKY et al., 2013b). A relação corrente-tensão desse modelo, assumindo uma variação exponencial em x é dada por:

$$v(t) = R_{\text{ON}} e^{(\lambda/x_{\text{off}} - x_{\text{on}})(x - x_{\text{on}})} i(t) \quad (43)$$

Onde λ é um parâmetro de ajuste, que satisfaz a seguinte relação:

$$e^{\lambda} = \frac{R_{\text{OFF}}}{R_{\text{ON}}} \quad (44)$$

O modelo TEAM é flexível e pode ser ajustado para caracterizar uma variedade de dispositivos memresistivos. Como exemplo, o modelo TEAM poderia ser ajustado para reproduzir o comportamento de deriva iônica linear, através dos seguintes parâmetros:

$$k_{\text{on}} = k_{\text{off}} = \mu_V \frac{R_{\text{ON}}}{D} i_{\text{on}} \quad (45)$$

$$\alpha_{\text{on}} = \alpha_{\text{off}} = 1 \quad (46)$$

$$i_{\text{on}} = i_{\text{off}} \rightarrow 0 \quad (47)$$

$$x_{\text{on}} = D \quad (48)$$

$$x_{\text{off}} = 0 \quad (49)$$

$$x = D - w \quad (50)$$

Esse modelo pode ser descrito através de um macromodelo SPICE através do circuito exibido na Figura 23. Nesse modelo, a variável de estado interna é representada pela tensão sobre o capacitor $C = 1\text{F}$. Os diodos D1 e D2 restringem os limites da variável de estado aos valores das fontes de tensão x_{ON} e x_{off} . $G_{\text{ON}}(i)$ e $G_{\text{OFF}}(i)$ são as funções descritas pela Equação (42) e $CS(x, i)$ é definida a partir da relação corrente-tensão que, para a relação mostrada na Equação (43), vale:

$$CS(x, i) = i e^{\left[\lambda \frac{(x - x_{\text{on}})}{(x_{\text{off}} - x_{\text{on}})} \right]} \quad (51)$$

Os terminais positivo e negativo do componente são representados por V_P e V_N , respectivamente. Porém, KVATINSKY *et al.* (2011) optaram pela descrição do modelo em Verilog-A, por entenderem que essa linguagem é mais eficiente em termos de tempo computacional do que um macromodelo SPICE.

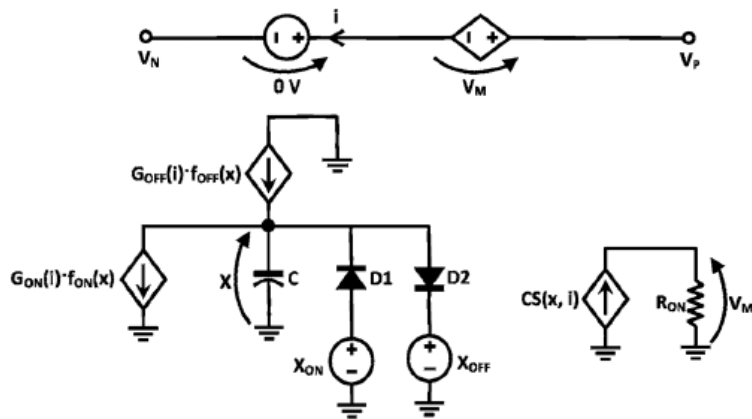


Figura 23: Circuito equivalente do modelo TEAM no SPICE (KVATINSKY *et al.*, 2013b).

4 Modelo de memristor com limiar de corrente elétrica

O estudo dos modelos elétricos de memristores disponibilizados na literatura indica uma forte predominância de implementações nas linguagens SPICE e Verilog-A. Além disso, a utilização de muitos modelos requer o acesso a softwares comerciais de alto custo. Dentre as alternativas compatíveis com simuladores de código aberto, muitas se limitam a tentar reproduzir o comportamento do memristor de TiO_2 apresentado por STRUKOV et al. (2008).

Nesse grupo, alguns têm como proposta a replicação (MAHVASH; PARKER, 2010) ou a aproximação do modelo matemático original (RÁK; CSEREY, 2010), enquanto outros concentram esforços na proposição de aprimoramentos que melhor caracterizem a dinâmica não linear da deriva de dopantes dessa implementação de memristor (BENDERLI; WEY, 2009; BIOLEK et al., 2009; PRODROMAKIS et al., 2011).

Embora, em termos práticos, a comutação entre estados de resistência em dispositivos reais esteja vinculada à superação de tensões ou correntes limiares, muitos dos modelos disponibilizados na literatura não dispõem desses parâmetros explicitamente. Com isso, a utilização desses modelos no projeto de circuitos digitais memresistivos torna-se uma tarefa complexa, uma vez que a delimitação dos limiares de acionamento de tais componentes fica atrelada ao ajuste numérico de parâmetros que, muitas vezes, são numerosos e pouco intuitivos.

Dentro do contexto apresentado, com a finalidade de trazer praticidade ao desenvolvimento de circuitos eletrônicos memresistivos por meio de *softwares* gratuitos, usando uma perspectiva de projeto ainda escassa na literatura, este trabalho apresenta como uma de suas contribuições a criação de um novo modelo SPICE de memristor controlado por corrente elétrica. O modelo apresentado é preciso e não apresenta problemas de convergência, além de possuir simplicidade de utilização e de adequação de parâmetros para diferentes tipos de projetos.

Essa implementação originou-se, basicamente, de duas importantes modificações no modelo de PERSHIN e DI VENTRA (2012). Evidentemente, pela natureza de atuação buscada, todas as variáveis e parâmetros expressos como tensões elétricas no material de referência foram substituídas por correntes elétricas correspondentes nessa proposição. Com isso, o comportamento do dispositivo torna-se semelhante àquele verificado em um *Spin Transfer Torque Magnetic Tunnel Junction* (STT MTJ). A segunda alteração é consequência dessa

substituição da variável elétrica de controle e está vinculada à remodelagem matemática das transições de resistência, com o objetivo de assegurar a precisão dos valores finais de resistência atingidos após as comutações e o controle sobre os tempos de chaveamento. Essas alterações promovidas serão detalhadas e justificadas na Subseção seguinte. O código completo do subcircuito SPICE pode ser visto na Figura 24.

```
.subckt memristor plus minus PARAMS: Ron=4k Roff=80k Rinit=80k alpha=0 beta=3e18 C1 = 0.2 It= 10u

Bx 0 x I='((Im())> 0) && (V(x) < Roff) ? {f1(Im())} : (((Im()) < 0) && (V(x)>Ron) ? {f2(Im())} : 0) '
Rmem plus minus r={V(x)}
Cx x 0 1 IC={Rinit}
.func Im() = {V(plus,minus)/V(x)}
.func f1(y)={{(Roff-V(x))/Roff + C1}*beta*y + ((Roff-V(x))/Roff + C1)*0.5*(alpha-beta)*(abs(y+It)-abs(y-It))}
.func f2(y)={{(V(x)-Ron)/Roff}*beta*y + ((V(x)-Ron)/Roff)*0.5*(alpha-beta)*(abs(y+It)-abs(y-It))}

.ends
```

Figura 24: Código SPICE do modelo de memristor acionado por corrente desenvolvido.

4.1 Modelagem matemática

No modelo original, uma única função $f(V_{MEM})$ era utilizada para descrever a variação de resistência do dispositivo. No entanto, a modificação da variável de controle do memristor trouxe a necessidade de uma remodelagem matemática, visando aprimorar a precisão dos chaveamentos. Em razão disso, modificou-se a Equação (35) para que as transições $R_{ON} \rightarrow R_{OFF}$ e $R_{OFF} \rightarrow R_{ON}$ pudessem ser tratadas diferentemente. Assim, duas funções distintas, $f_1(I_{MEM}, R_{MEM})$ e $f_2(I_{MEM}, R_{MEM})$, foram utilizadas, e a expressão algébrica resultante da combinação entre elas pode ser visualizada na Equação (52):

$$\frac{d(R_{MEM})}{dt} = f_1(I_{MEM}, R_{MEM})[\theta(I_{MEM})\theta(R_{OFF} - X)] + f_2(I_{MEM}, R_{MEM})[\theta(-I_{MEM})\theta(X - R_{ON})] \quad (52)$$

onde a letra θ representa funções do tipo degrau, que resumem o comportamento da taxa de variação da resistência a três situações, evidenciadas pela Equação (53):

$$\frac{d(R_{MEM})}{dt} = \begin{cases} f_1(I_{MEM}, R_{MEM}), & \text{para } I_{MEM} > 0 \text{ e } X < R_{OFF} \\ f_2(I_{MEM}, R_{MEM}), & \text{para } I_{MEM} < 0 \text{ e } X > R_{ON} \\ 0, & \text{caso contrário} \end{cases} \quad (53)$$

As funções $f_1(I_{MEM}, R_{MEM})$ e $f_2(I_{MEM}, R_{MEM})$ podem ser representadas genericamente por uma função $f_n(I_{MEM}, R_{MEM})$, descrita como:

$$f_n(I_{MEM}, R_{MEM}) = Kp_n \beta I_{MEM} + 0,5Kp_n(\alpha - \beta)(|I_{MEM} + I_T| - |I_{MEM} - I_T|) \quad (54)$$

onde $n \in \{1,2\}$ e especifica a função representada (f_1 ou f_2) e o seu respectivo fator de proporcionalidade (Kp_1 ou Kp_2), que será detalhado ao final desta Subsecção. A variável I_{MEM} é a corrente no memristor, I_T é a corrente de limiar e as constantes α e β ajudam a determinar a taxa de crescimento ou decrescimento da variação de resistência, juntamente com a corrente I_{MEM} e com a própria resistência R_{MEM} .

A configuração desses coeficientes permite a operação do dispositivo por meio de duas formas de chaveamento. Na primeira delas, tem-se $\alpha, \beta > 0$ e $\alpha < \beta$. Nesse caso, a resistência do memristor perceberá variações para qualquer $I_{MEM} \neq 0$. Nesse modo de operação, a função $f_n(I_{MEM}, R_{MEM})$ assume duas representações distintas, de acordo com o módulo de I_{MEM} :

$$f_n(I_{MEM}, R_{MEM}) = \begin{cases} Kp_n[\beta (I_{MEM} - I_T) + \alpha I_T], & |I_{MEM}| > I_T \\ Kp_n \alpha I_{MEM}, & |I_{MEM}| < I_T \end{cases} \quad (55)$$

Nesse caso, a variação de memresistência é intensificada quando o dispositivo é percorrido por correntes de magnitude superior ao seu valor de limiar I_T . Na outra forma de operação, considera-se que somente haverá alteração no estado de resistência do componente quando $|I_{MEM}| > I_T$. Dessa forma, tem-se $\alpha = 0$ e o seguinte comportamento de $f_n(I_{MEM}, R_{MEM})$:

$$f_n(I_{MEM}, R_{MEM}) = \begin{cases} Kp_n \beta (I_{MEM} - I_T), & |I_{MEM}| > I_T \\ 0, & |I_{MEM}| < I_T \end{cases} \quad (56)$$

Independentemente do modo de percepção das variações de resistência em relação à corrente elétrica, o fator de proporcionalidade Kp_n é essencial para o funcionamento do modelo. Essa variável pode ser representada, de forma genérica, pela seguinte expressão matemática:

$$Kp_n = \left(\frac{|R_{FINAL} - R_{MEM}|}{R_{OFF}} + C_n \right) \quad (57)$$

Esse fator faz com que a taxa de variação da memresistência seja proporcional à diferença percentual entre o valor final desejado (R_{FINAL}) e o valor presente de resistência (R_{MEM}), em relação à R_{OFF} , acrescida a uma constante C_n . Essa constante representa o *offset* percentual de Kp_n , e o seu valor é expresso na forma decimal. O fator de proporcionalidade faz com que a velocidade da transição diminua conforme a resistência do memristor se aproxima do valor alvo.

Na Equação (58), mostram-se as duas representações específicas de Kp_n , válidas para transições de subida $R_{MEM} \rightarrow R_{OFF}$ (para $R_{MEM} < R_{OFF}$) e de descida $R_{MEM} \rightarrow R_{ON}$ (para $R_{MEM} > R_{ON}$).

$$Kp_n = \begin{cases} \left(\frac{R_{OFF} - R_{MEM}}{R_{OFF}} + C_1 \right), & n = 1 \\ \left(\frac{R_{MEM} - R_{ON}}{R_{OFF}} + C_2 \right), & n = 2 \end{cases} \quad (58)$$

Na transição $R_{MEM} \rightarrow R_{OFF}$, ao mesmo tempo em que o fator Kp_n desacelera a variação da resistência, a própria corrente que flui através do memristor diminui. Para compensar esse enfraquecimento na intensidade da fonte de corrente e assegurar que o memristor atinja o limite R_{OFF} , utiliza-se uma constante $C_1 \neq 0$. Na transição $R_{MEM} \rightarrow R_{ON}$, a corrente no memristor aumenta conforme esse dispositivo se aproxima da resistência R_{ON} , o que compensa a diminuição de intensidade devida ao fator de proporcionalidade. Com isso, adota-se a constante C_2 nula.

A inserção de Kp_n torna o funcionamento do modelo similar a um sistema de controle em malha fechada. Essa afirmação baseia-se no fato de que a variável controlada R_{MEM} é medida e realimentada no processo, sendo comparada com a saída desejada e gerando um sinal de erro percentual. Esse sinal, acrescido de um *offset*, exerce influência sobre a ação de controle (nesse caso, a função f_n) e, portanto, sobre a própria resistência R_{MEM} . A Figura 25 demonstra o diagrama em blocos do modelo, considerando o caso em que $\alpha = 0$. Na Subseção 4.3.4, esse assunto será tratado em maior grau de detalhamento.

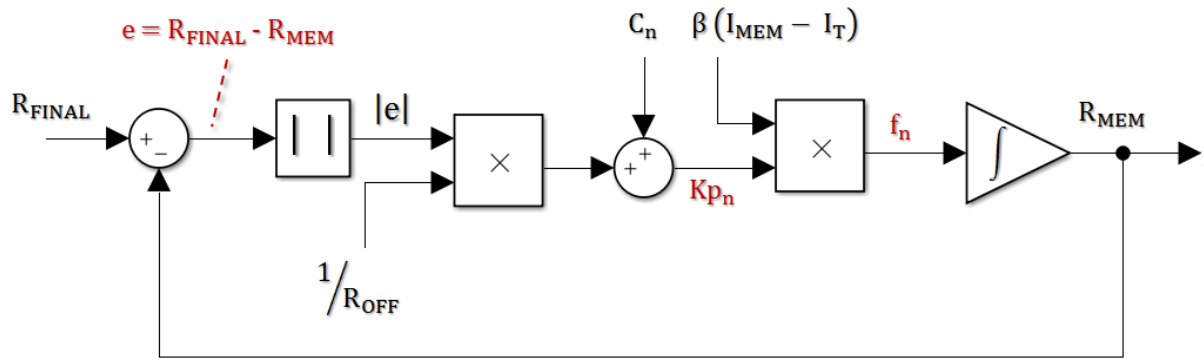


Figura 25: Diagrama em blocos do modelo proposto, considerando $\alpha = 0$.

4.2 Lógica de operação e implementação computacional

A implementação computacional do sistema memresistivo proposto foi baseada no mesmo circuito elétrico equivalente adotado no trabalho de PERSHIN e DI VENTRA (2012), mostrado na Figura 19a. Nessa abordagem, no entanto, a variável de controle é a corrente I_{MEM} , cujo sentido e magnitude influenciam o tipo e a rapidez das transições no memristor. Além da corrente I_{MEM} , destaca-se a importância da própria variável controlada R_{MEM} , de grande importância na resposta transitória dos chaveamentos, devido à retroalimentação adotada. A formulação matemática tratada na Subseção anterior combina essas duas variáveis com alguns parâmetros, que garantem a flexibilidade de atuação do modelo em diferentes cenários de projeto. A Tabela 1 lista todos os parâmetros utilizados e a função de cada um deles.

Tabela 1: Lista de parâmetros utilizados no modelo controlado por corrente elétrica

| Parâmetro | Função |
|------------|--|
| R_{INIT} | Resistência inicial do dispositivo |
| R_{ON} | Limite inferior/mínimo de resistência |
| R_{OFF} | Limite superior/máximo de resistência |
| I_T | Corrente de limiar |
| α | Valor base de $\partial f_N / \partial I_{MEM}$, quando $ I_{MEM} < I_T$ |
| β | Valor base de $\partial f_N / \partial I_{MEM}$, quando $ I_{MEM} > I_T$ |
| C_1 | Offset percentual de Kp_1 |

Considerando o sentido convencional da corrente elétrica, foi estabelecida a convenção de que correntes orientadas no sentido do terminal *Plus* para o *Minus* do dispositivo são consideradas positivas e desencadeiam transições de subida (aumento de resistência). Correntes no sentido inverso, naturalmente, são consideradas negativas e provocam o efeito contrário, isto é, a redução da resistência. A Figura 26a ilustra a influência do sentido de I_{MEM} nas comutações do memristor.

Com base na caracterização apresentada até aqui, a lógica de operação do modelo pode ser descrita da seguinte forma: se a corrente elétrica I_{MEM} que percorre o memristor for maior do que zero e a resistência elétrica instantânea do dispositivo for inferior a R_{OFF} , então a corrente da fonte Bx será determinada por uma função f_1 . Essa corrente carregará o capacitor até que a tensão entre os seus terminais atinja o valor R_{OFF} . Se a corrente for menor do que zero e a resistência do memristor superior a R_{ON} , a fonte de corrente será representada pela função f_2 . Nessa condição, o capacitor se descarregará até o limite inferior de resistência R_{ON} . Caso a corrente seja nula, a fonte Bx também assumirá essa condição, mantendo a tensão sobre o capacitor constante. Uma vez que a resistência é numericamente equivalente a essa tensão, também ficará inalterada. O fluxograma exibido na Figura 26b ilustra a lógica de operação previamente descrita.

A estrutura condicional é realizada na linguagem SPICE por meio de operadores ternários, como pode ser observado na segunda linha do código, na Figura 24. As funções f_1 e f_2 recebem como parâmetro o valor da corrente no memristor. Para que essa corrente possa ser medida, a utilização de uma fonte de tensão nula em série com o resistor R_{MEM} seria uma escolha intuitiva. Porém, devido à dificuldade de convergência apresentada pelo simulador elétrico diante dessa solução, optou-se por utilizar um método indireto para a aquisição dessa variável em substituição à primeira alternativa.

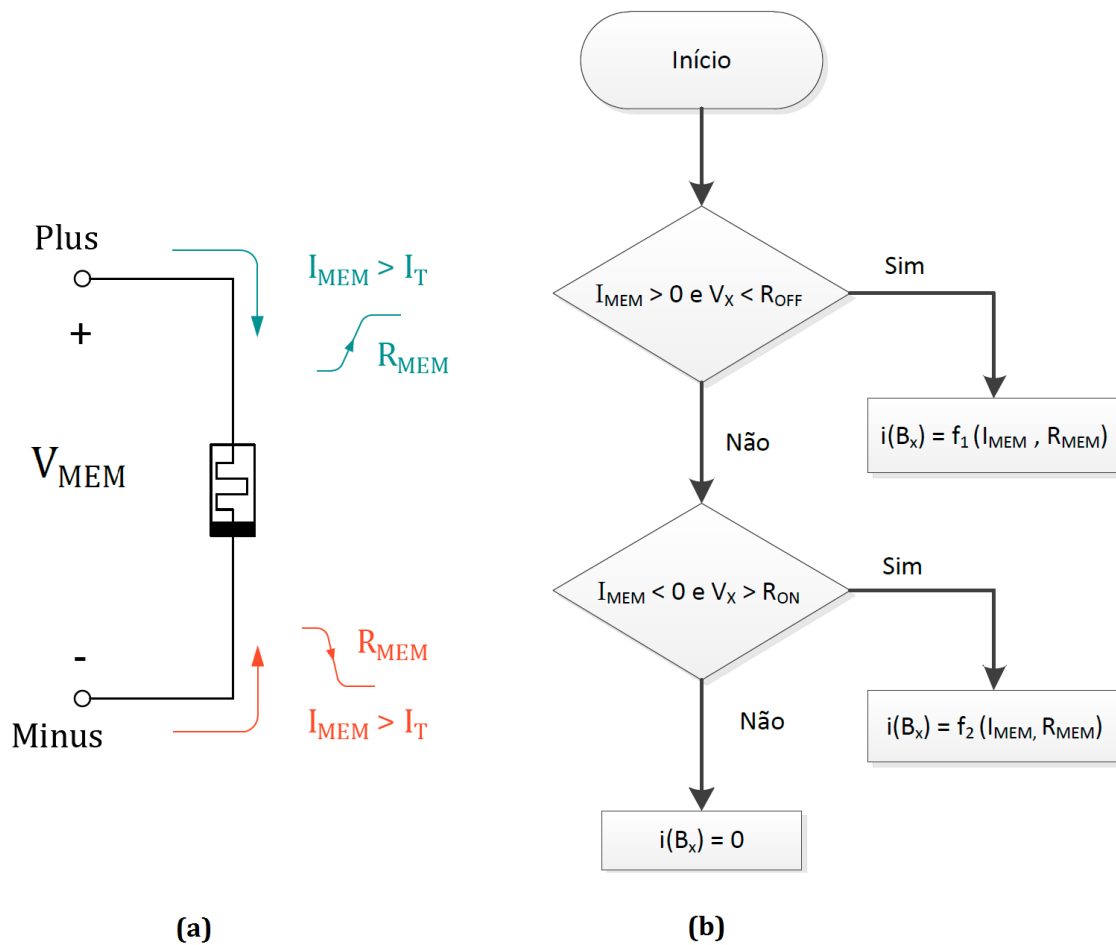


Figura 26: Lógica de operação do modelo representada por meio de um fluxograma.

Esse método consiste em calcular a corrente elétrica no memristor através da razão entre a tensão elétrica existente entre os seus terminais e a sua resistência elétrica. A tensão é medida sobre os terminais *Plus* e *Minus* do resistor R_{MEM} , enquanto que a resistência elétrica equivale ao próprio valor numérico da tensão sobre o capacitor. Desse modo, a corrente elétrica pode ser representada em linguagem SPICE através da função $Im()$, definida na quinta linha do código:

$$I_{MEM} = \frac{V_{MEM}}{V_X} = \frac{V(\text{plus, minus})}{V(x)} \quad (59)$$

Na Subseção seguinte serão apresentados e discutidos os resultados de algumas simulações com o modelo desenvolvido, para demonstrar o seu funcionamento e proporcionar uma melhor compreensão sobre ele.

4.3 Simulações com o modelo

A validação do modelo foi realizada através de simulações elétricas realizadas na plataforma NGSPICE (NENZI; VOGT, 2014). Nesta Seção, serão abordados os resultados de quatro experimentos, por meio dos quais serão enaltecidas as principais características do memristor e analisadas algumas particularidades sobre a sua operação. Além disso, será feita uma comparação entre a precisão do modelo baseado em limiar de corrente, proposto neste trabalho, e o modelo no qual a sua concepção foi baseada, desenvolvido por PERSHIN e DI VENTRA (2012).

4.3.1 Operação baseada em limiar de corrente

Com a finalidade de demonstrar a relação entre a variação de resistência do memristor modelado e a corrente elétrica através dele, realizou-se a simulação computacional do circuito exibido na Figura 27. Para esse experimento, atribuiu-se uma forma de onda senoidal para a fonte V1. Na ilustração, a nomenclatura dos nós utilizados na descrição do circuito em linguagem SPICE é destacada em vermelho. Para a medição da corrente elétrica na simulação, utilizou-se como artifício a inserção de uma fonte de tensão nula V2 em série com o memristor.

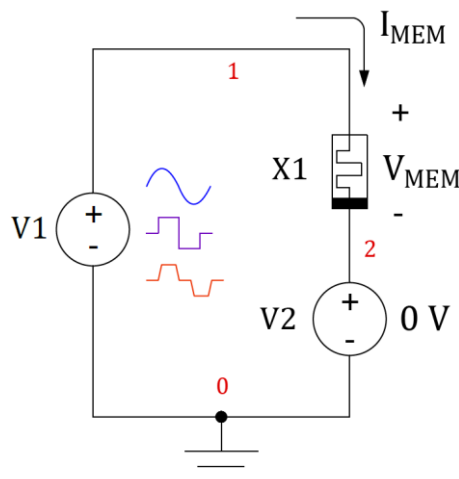


Figura 27: Circuito descrito em linguagem SPICE para a realização de experimentos com o modelo desenvolvido.

A resistência do memristor na simulação é medida de forma indireta, através da relação entre a tensão elétrica presente entre os seus terminais e a corrente elétrica que o percorre. Nesse caso, onde são admitidas condições ideais, a tensão elétrica sobre o memristor será a própria tensão fornecida pela fonte, enquanto a corrente será a mesma que atravessa a fonte V2. Dessa forma, um vetor de resistências nomeado “res” foi obtido através do comando *Let* do simulador NGSPICE (NENZI; VOGT, 2014), de acordo com a Equação (60):

$$\text{res} = \frac{v(1,2)}{i(V2) + 10^{-16}} \quad (60)$$

onde $v(1,2)$ é a tensão entre os nós 1 e 2 e $i(V2)$ é a corrente através da fonte V2. A constante 10^{-16} foi acrescida ao denominador para evitar problemas de convergência caso a corrente seja nula. Para a geração de curvas mais suaves e melhor visualização dos resultados, os parâmetros do modelo utilizados nesse experimento foram os seguintes: $I_T = 10 \text{ uA}$, $R_{ON} = 20 \text{ k}\Omega$, $R_{OFF} = 90 \text{ k}\Omega$, $R_{INIT} = 90 \text{ k}\Omega$, $\alpha = 0$ e $\beta = 2 \cdot 10^{19}$, $C_1 = 0,25$ e $C_2 = 0$.

Na Figura 28a, encontra-se ilustrada a forma de onda senoidal gerada pela fonte, cujo período e amplitude utilizados foram de 12 ns e 1 V, respectivamente. Em resposta a esse estímulo recebido, a corrente no circuito demonstrou a variação temporal ilustrada na Figura 28b. Na Figura 28c verifica-se a variação da resistência do memristor no decorrer da simulação.

Observando-se os itens ‘b’ e ‘c’, é bastante perceptível a influência da corrente de limiar (I_T) na comutação de resistência do dispositivo. No instante $t = 0 \text{ ns}$, o memristor encontra-se em seu estado inicial de resistência, estabelecido em $90 \text{ k}\Omega$ através do parâmetro R_{INIT} . Nesse momento, como a senoide está no seu semiciclo negativo, a corrente que percorre o memristor está orientada no sentido do terminal negativo para o positivo. O módulo dessa corrente acompanha o crescimento da tensão instantânea e, enquanto permanece inferior a 10 uA , a resistência é mantida inalterada em seu valor inicial. Quando a magnitude da corrente elétrica ultrapassa 10 uA pela primeira vez, instante salientado pela intersecção da linha tracejada vertical com as formas de onda nos itens ‘a’, ‘b’ e ‘c’ da Figura 28, inicia-se a transição de resistência $R_{OFF} \rightarrow R_{ON}$. Concomitantemente à diminuição de resistência, acentua-se a taxa de crescimento da corrente elétrica através do memristor, fato que pode ser constatado pela crescente declividade da curva exibida na Figura 28b. O gráfico dessa grandeza encontra um ponto de inflexão no instante em que atinge um pico de aproximadamente 40 uA ($t = 4,12 \text{ ns}$), pouco antes da resistência atingir o seu limite inferior ($R_{ON} = 20 \text{ k}\Omega$).

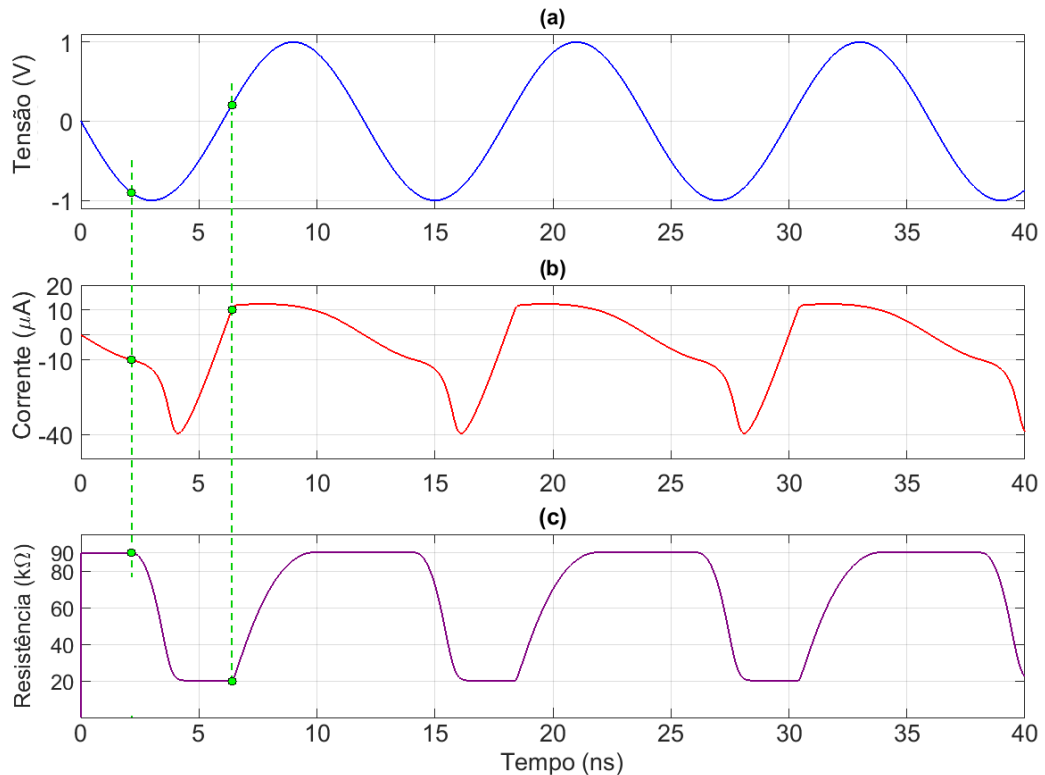


Figura 28: (a) Sinal senoidal aplicado ao memristor. (b) Corrente elétrica resultante. (c) Variação da resistência do memristor em resposta ao estímulo recebido.

A partir desse momento, a diminuição do módulo de tensão prevalece sobre a pequena variação de resistência, e a corrente começa a diminuir. Depois de estabelecido em R_{ON} , o estado de resistência será mantido até que o memristor seja percorrido por uma corrente de 10 μA no sentido contrário, o que ocorrerá somente no semiciclo positivo, quando o valor instantâneo de tensão atingir 0,2 V. Nesse instante, inicia-se a transição $R_{ON} \rightarrow R_{OFF}$. Em um primeiro momento a corrente tem um pequeno crescimento e depois começa a cair. Com o desfecho da comutação de resistência, a corrente passa a diminuir de forma mais acentuada, atingindo valor nulo na inversão da polaridade da tensão. Desse ponto em diante, o comportamento das grandezas observadas se repetirá ciclicamente.

4.3.2 Curva característica corrente x tensão

Uma característica marcante dos memristores é a curva no formato de um laço de histerese (conhecido como curva de Lissajous) que relaciona a corrente através desses

dispositivos e a tensão entre os seus terminais, quando submetido a uma forma de onda senoidal. Reforçando as propriedades memresistivas do modelo desenvolvido, essa curva foi reproduzida a partir da utilização do mesmo circuito exibido na Figura 27, sendo empregado um estímulo senoidal de amplitude igual a 1 V. Com a finalidade de verificar a influência da frequência do sinal gerado pela fonte nos chaveamentos, foram realizados testes para diferentes valores dessa variável, tendo como base a frequência $\omega_0 = 100$ MHz. As respostas obtidas para cada situação encontram-se ilustradas na Figura 29. Para essa simulação, os seguintes parâmetros foram adotados: $I_T = 10$ uA, $R_{ON} = 30$ k Ω , $R_{OFF} = 90$ k Ω , $R_{INIT} = 90$ k Ω , $\alpha = 0$ e $\beta = 3 \cdot 10^{19}$ e $C_1 = 0,25$.

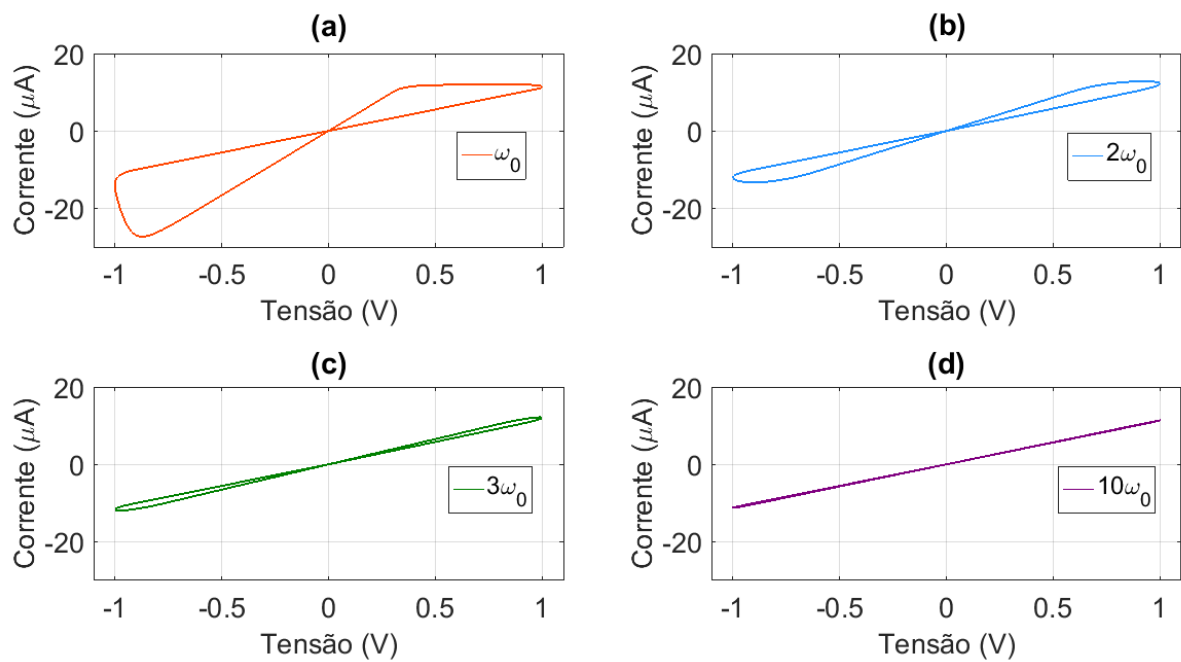


Figura 29: Curvas de Lissajous geradas a partir do modelo de memristor desenvolvido para um estímulo de tensão senoidal com amplitude de 1V e frequência (a) ω_0 (b) $2\omega_0$ (c) $3\omega_0$ e (d) $10\omega_0$.

A comparação das curvas obtidas mostra que o aumento da frequência do sinal aplicado ao memristor acarreta o estreitamento dos lóbulos da curva de Lissajous. Esse efeito ocorre em razão da corrente elétrica que percorre o memristor não ser mantida tempo suficiente acima do valor de limiar em um mesmo sentido, impedindo que as excursões de resistência possam ser completadas. Desse modo, as transições de subida e de descida são interrompidas prematuramente em valores intermediários de resistência, antes que os limites R_{OFF} e R_{ON} possam ser alcançados, respectivamente. Acima de uma determinada frequência, esses valores intermediários serão tão próximos que praticamente não haverá variação de resistência no

dispositivo, e a curva corrente x tensão terá o formato similar a uma reta, como ilustrado na Figura 29d. Esse valor de resistência pode ser aproximado pela cotangente do ângulo formado entre a reta e o eixo das tensões. Naturalmente, quanto maior for dR_{MEM}/dt , maior será a largura de banda do memristor. Por largura de banda entende-se a faixa de frequências a que o componente pode ser submetido sem que haja a compressão dos lóbulos do laço de histerese. No modelo apresentado, isso poderia ser obtido através do aumento dos parâmetros α , β ou C_1 ; outra alternativa seria a redução de I_T ou o aumento da corrente através do memristor, seja por meio da aplicação de tensões maiores ou pela utilização de limites R_{OFF} e R_{ON} menores.

4.3.3 Eficácia da remodelagem matemática adotada

A determinação de expressões para a descrição do comportamento da fonte de corrente B_X é uma tarefa preponderante para o êxito do modelo desenvolvido. No modelo base (PERSHIN; DI VENTRA, 2012), controlado por tensão, uma única função $f(V_{MEM})$ é utilizada para estabelecer o valor desse componente, conforme Equação (35). Portanto, as respostas transitórias das comutações de subida ($R_{MEM} \rightarrow R_{OFF}$) e de descida ($R_{MEM} \rightarrow R_{OFF}$) são idênticas. Considerando somente a substituição da variável de controle V_{MEM} por I_{MEM} e da tensão de limiar V_T por uma corrente de limiar I_T , a dinâmica das transições do modelo seria descrita por uma função $f(I_{MEM})$:

$$f(I_{MEM}) = \beta I_{MEM} + 0,5(\alpha - \beta)(|I_{MEM} + I_T| - |I_{MEM} - I_T|) \quad (61)$$

No entanto, a modificação da forma de acionamento do memristor suscita a necessidade de tratar diferentemente os dois tipos de comutação. Por isso, o modelo proposto neste trabalho emprega duas funções distintas, $f_1(I_{MEM}, R_{MEM})$ e $f_2(I_{MEM}, R_{MEM})$, para a representação da fonte de corrente B_X em diferentes cenários, resumidos na Equação (53). Conforme mencionado na Subseção 4.1, essas funções são casos específicos de uma função generalizada f_n , exibida na Equação (54), e cada uma delas se aplica a uma transição de resistência diferente.

A nova implementação estabelece um controle em malha fechada que é mais adequado ao comportamento transiente da corrente durante o chaveamento, garantindo alta precisão nos extremos de resistência alcançados após o término dos chaveamentos e menor sensibilidade aos passos de simulação. Para demonstrar a eficácia da remodelagem matemática proposta para o

memristor controlado por corrente, foram realizados os experimentos relatados na sequência. Adotando-se o circuito elétrico mostrado na Figura 27, descreveu-se V_1 como uma fonte do tipo PWL (*Piecewise Linear*), para a geração da onda quadrada exibida na Figura 30.

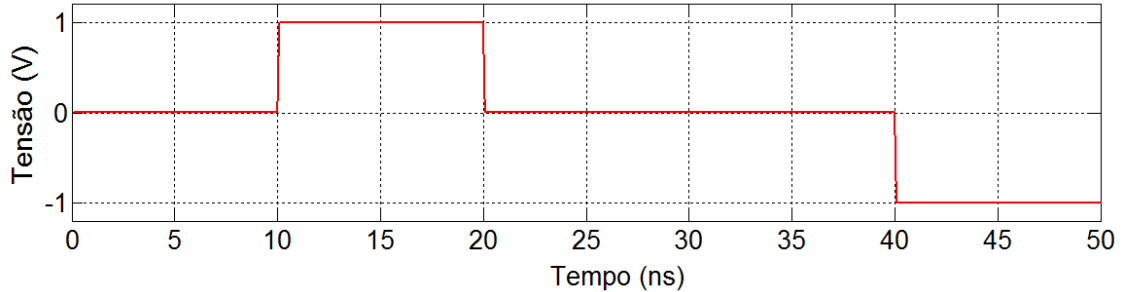


Figura 30: Forma de onda quadrada produzida pela fonte.

A forma de onda utilizada tem como objetivo forçar o acontecimento das duas formas de comutação. Supondo que o estado inicial de resistência do dispositivo esteja situado no limite inferior R_{ON} , a transição $R_{ON} \rightarrow R_{OFF}$ será ocasionada no instante $t = 10$ ns, com a elevação da amplitude de tensão para 1 V. O novo estado de resistência será mantido até o instante $t = 40$ ns, quando a amplitude de tensão é conduzida a -1 V, invertendo o sentido da corrente através do memristor e desencadeando a comutação $R_{OFF} \rightarrow R_{ON}$.

Para as condições relatadas, dividiu-se a simulação em dois momentos. Inicialmente, utilizou-se o modelo proposto de memristor, empregando-se o mesmo código exibido na Figura 24. Às constantes C_1 e C_2 foram atribuídos os valores 0,05 e 0, respectivamente. A discussão sobre a influência dessas constantes será tema da próxima Seção. Na sequência, alterou-se o código, fazendo-se $f_1 = f_2 = f(I_{MEM})$, de acordo com a Equação (61), de modo que o modelo funcionasse conforme a formulação trazida por PERSHIN e DI VENTRA (2012), exceto pela alteração da variável de controle.

Nas simulações, foram fixados os seguintes parâmetros do modelo: $R_{ON} = 10$ k Ω , $R_{INIT} = 10$ k Ω , $\alpha = 0$ e $\beta = 8 \cdot 10^{18}$. Ao limite superior de resistência R_{OFF} foram atribuídos valores diferentes em cada teste, a fim de verificar o impacto da razão R_{OFF}/R_{ON} nos resultados. Para um mesmo conjunto de parâmetros, realizaram-se cinco aferições diferentes, arbitrando-se os seguintes valores para a corrente de limiar I_T : 1, 2, 5, 8 e 10 μ A. Em cada uma dessas medições, observaram-se os erros percentuais dos valores finais de resistência tanto para a transição $R_{ON} \rightarrow R_{OFF}$ quanto para a transição $R_{OFF} \rightarrow R_{ON}$, ou seja, a diferença percentual

entre o valor atingido pela variável controlada R_{MEM} após a sua estabilização e o valor alvo. O passo de simulação empregado foi de 0,1 ns. Os resultados obtidos para o cenário em que R_{OFF} foi ajustado para 80 k Ω são exibidos graficamente nas Figuras 31 e 32.

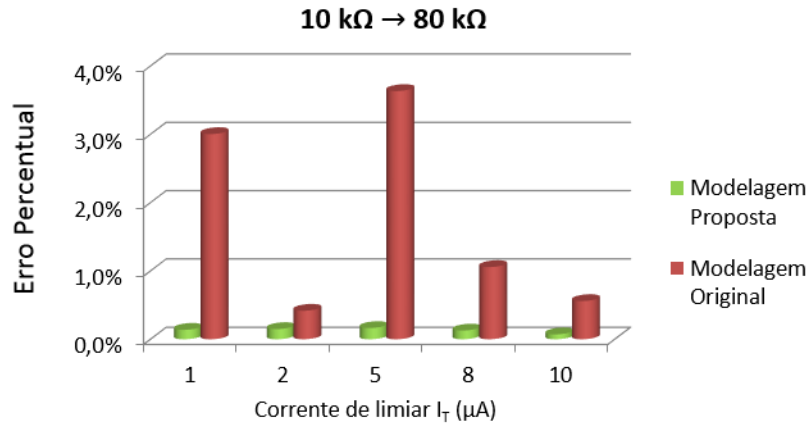


Figura 31: Erro percentual do valor alcançado por R_{MEM} em relação ao valor alvo (80k Ω) após o término da transição ascendente 10 k Ω → 80 k Ω .

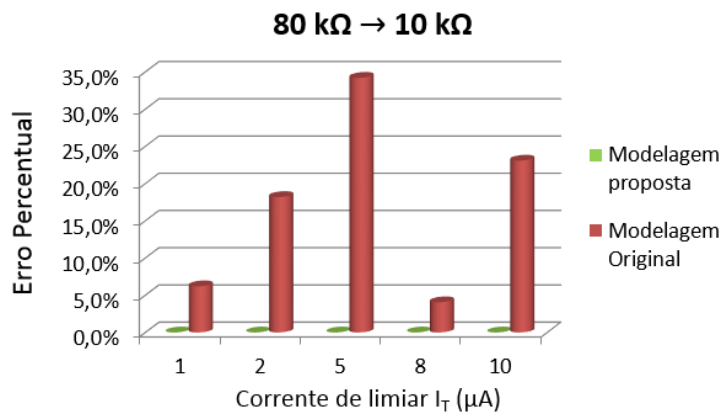


Figura 32: Erro percentual do valor alcançado por R_{MEM} em relação ao valor alvo (10k Ω) após o término da transição descendente 80 k Ω → 10 k Ω .

Como pode ser conferido nos gráficos, a modelagem matemática adotada para o dispositivo proposto neste trabalho trouxe resultados bastante satisfatórios, com erros sempre abaixo de um patamar de 0,2% em transições ascendentes e nulos em transições descendentes. O modelo original, no entanto, mostrou um comportamento irregular e com alto nível de imprecisão. Na comutação 10 k Ω → 80 k Ω , apesar da flutuação errática dos resultados, o erro máximo registrado foi de aproximadamente 3,5%, para uma corrente de limiar $I_T = 5 \mu A$. Para o chaveamento 80 k Ω → 10 k Ω , entretanto, constatou-se um erro médio de 17,42%,

impulsionado por erros individuais grosseiros. Especificamente, para os casos em que I_T é fixada em 2, 5 e 10 μA , os erros percentuais são, respectivamente, de 18,2%, 34,2% e 23,1%. Para outros valores do limite superior R_{OFF} , o perfil verificado nesse caso foi mantido: enquanto o modelo proposto apresenta um padrão bem definido de respostas, com margem de erro bastante reduzida, o equacionamento original demonstra acentuados índices de inexatidão e incerteza.

Embora os erros possam ser reduzidos para outras condições de teste, a segunda implementação demonstra uma alta e indesejável sensibilidade a variações nos parâmetros, que resulta em erros fortuitos elevados. Por outro lado, a realimentação da variável controlada e o tratamento diferenciado das transições, proposto no modelo apresentado neste trabalho, supera essas dificuldades e demonstra alta precisão e robustez, traduzida em um alto grau de previsibilidade de respostas.

4.3.4 Influência do fator de proporcionalidade na taxa de variação da resistência

Conforme mencionado na Subseção 4.1, o fator de proporcionalidade utilizado na Equação (54) tem como objetivo reduzir as variações de resistência do memristor na medida em que as transições se aproximam dos estados limítrofes almejados. Para verificar o comportamento de $d(R_{\text{MEM}})/dt$ diante da modelagem matemática adotada, conduziu-se a simulação elétrica do circuito exibido na Figura 33, onde também é apresentada a configuração de parâmetros adotada para a realização do experimento.

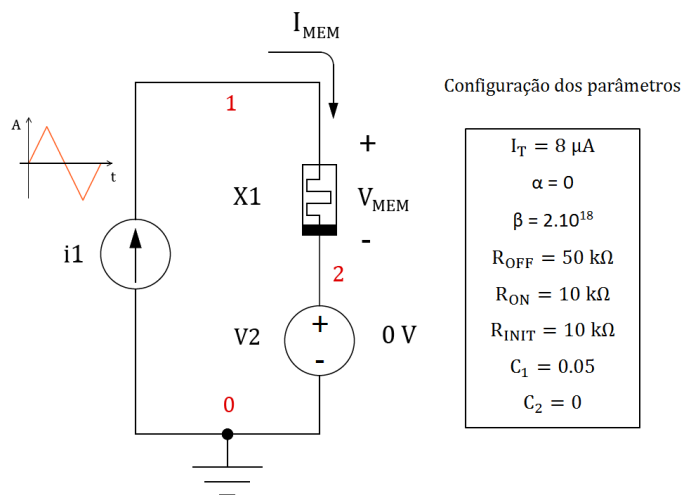


Figura 33: Memristor alimentado com sinal de corrente triangular.

No circuito utilizado, uma fonte de corrente é conectada entre os terminais do memristor, gerando um sinal com formato triangular, que pode ser conferido na Figura 34a. A corrente elétrica gerada pela fonte causa a variação de resistência do memristor entre os níveis R_{ON} e R_{OFF} , conforme a Figura 34b. A rapidez e o sentido desse chaveamento de resistência são definidos pela função matemática $d(R_{MEM})/dt$, que é uma composição de duas funções f_1 e f_2 , nesse caso expressas pela Equação (56), uma vez que $\alpha = 0$. Na Figura 34c, podem ser visualizados em sobreposição os gráficos das referidas funções. Na Figura 34d mostra-se o gráfico de $d(R_{MEM})/dt$ que, quando diferente de zero, é constituído de recortes dos gráficos de f_1 e f_2 , conforme os critérios estabelecidos na Equação (53).

De acordo com a modelagem adotada, a resposta transitória do chaveamento de resistência é influenciada tanto pela variável de controle I_{MEM} quanto pela variável controlada R_{MEM} , presente no fator de proporcionalidade Kp_n . Portanto, a derivada df_n/dt pode ser obtida através da aplicação da regra da cadeia (STEWART, 2006):

$$\frac{df_n}{dt} = \frac{\partial f_n}{\partial I_{MEM}} \cdot \frac{dI_{MEM}}{dt} + \frac{\partial f_n}{\partial R_{MEM}} \cdot \frac{dR_{MEM}}{dt} \quad (62)$$

Para efeito de análise, será observada a transição $10 \text{ k}\Omega \rightarrow 50 \text{ k}\Omega$. Durante a ocorrência dessa operação, a função f_1 será idêntica à função $d(R_{MEM})/dt$, de acordo com a Equação (53). Dessa forma, para o caso particular considerado, pode-se reescrever a Equação (62) como:

$$\frac{df_1}{dt} = \frac{d\left(\frac{dR_{MEM}}{dt}\right)}{dt} = \frac{d^2(R_{MEM})}{dt^2} \quad (63)$$

Substituindo essa representação alternativa de df_1/dt na Equação (62), chega-se na seguinte expressão:

$$\frac{d^2(R_{MEM})}{dt^2} = \frac{\partial f_1}{\partial I_{MEM}} \cdot \frac{dI_{MEM}}{dt} + \frac{\partial f_1}{\partial R_{MEM}} \cdot \frac{dR_{MEM}}{dt} \quad (64)$$

A análise da curva de $d^2(R_{MEM})/dt$, exibida na Figura 34e, mostra que, independentemente do tipo de transição considerada, a taxa de crescimento da variação de resistência atinge o seu pico no instante inicial da transição, e vai diminuindo gradativamente até se tornar nula. Nesse ponto de inflexão, ocorre a reversão do perfil de variação, que passa a agir no sentido de reduzir a velocidade da transição, até que ela seja completada. Na sequência,

será demonstrado o estado em que as variáveis I_{MEM} e R_{MEM} encontram-se no momento em que a mudança de comportamento tem início.

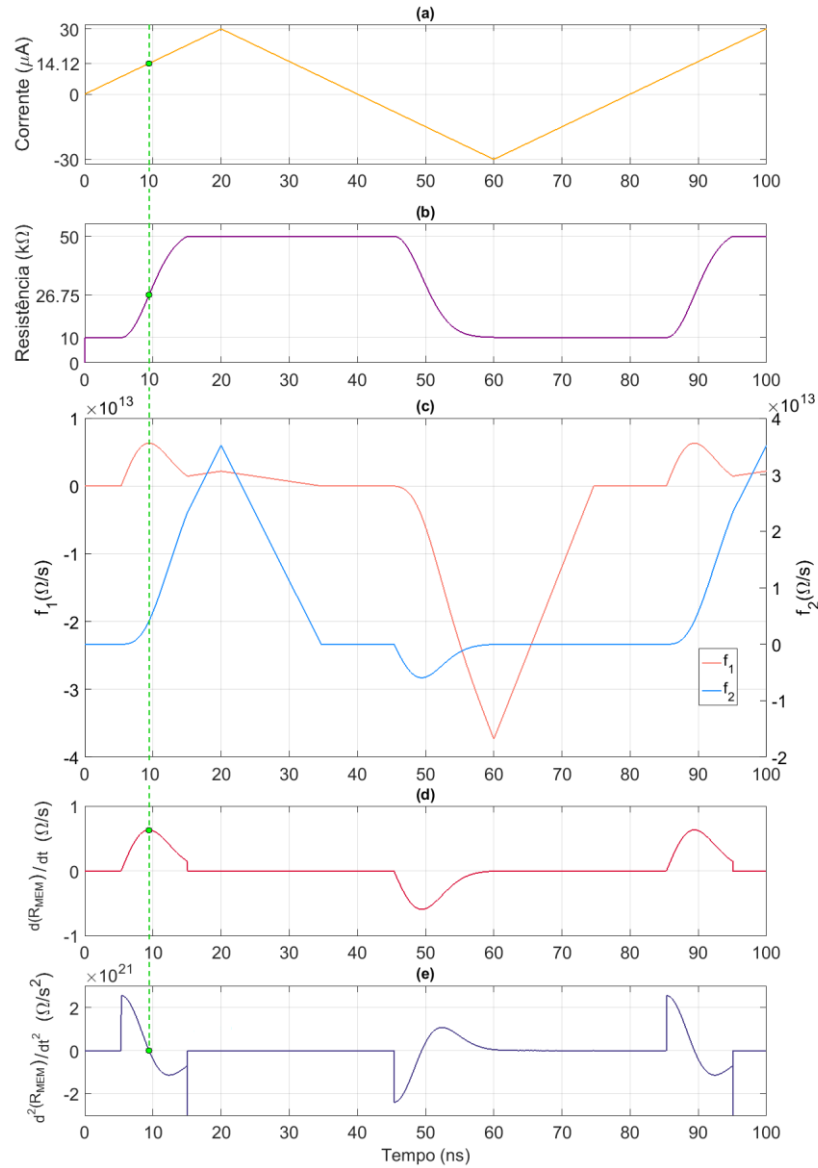


Figura 34: Gráfico, em relação ao tempo (a) do sinal fornecido pela fonte de corrente (b) da resistência do memristor (c) das funções f_1 e f_2 sobrepostas (d) da função $d(R_{MEM})/dt$ (e) da função $d^2(R_{MEM})/dt^2$.

Para atingir esse objetivo, as derivadas parciais presentes na Equação (64) foram calculadas com base nas Equações (56)-(58), obtendo os seguintes resultados:

$$\frac{\partial f_1}{\partial I_{MEM}} = Kp_1\beta \quad (65)$$

$$\frac{\partial f_1}{\partial R_{MEM}} = \frac{-\beta(I_{MEM} - I_T)}{R_{OFF}} \quad (66)$$

A derivada de I_{MEM} em relação ao tempo, na mesma Equação, é constante e igual à declividade da curva exibida na Figura 34a, que corresponde a $1,5 \mu\text{A/ns}$ ou 1500 A/s . O último termo restante, $d(R_{MEM})/dt$, é definido pela Equação (52) como sendo a própria função f_1 , para a situação analisada. Substituindo-se esses termos na Equação (64), obtém-se:

$$\frac{d^2(R_{MEM})}{dt^2} = Kp_1\beta \cdot 1500 + \frac{-\beta(I_{MEM} - I_T)}{R_{OFF}} Kp_1\beta(I_{MEM} - I_T) \quad (67)$$

Após algumas simples manipulações matemáticas, a Equação (67) pode ser reescrita como:

$$\frac{df_1}{dt} = \underbrace{1500Kp_1\beta}_{T1} - \underbrace{\frac{Kp_1\beta^2(I_{MEM} - I_T)^2}{R_{OFF}}}_{T2} \quad (68)$$

A determinação da corrente I_{MEM} no momento em que ocorre a reversão do crescimento de resistência pode ser obtida fazendo-se $df_1/dt = 0$. Nessa situação, igualando-se os termos T1 e T2 e isolando a variável I_{MEM} , obtém-se:

$$I_{MEM} = \sqrt{\frac{1500R_{OFF}}{\beta}} + I_T \quad (69)$$

Para os valores arbitrados, encontra-se $I_{MEM} \cong 14,12 \mu\text{A}$. Nesse instante de tempo, R_{MEM} encontra-se com uma resistência de $26,75 \text{ k}\Omega$, o que equivale a um percentual de completude de comutação de aproximadamente $41,88\%$. Esses valores calculados podem ser constatados na Figura 34, itens 'a' e 'b'.

Outra importante análise do modelo diz respeito à influência da constante C_1 (presente em Kp_1) na comutação ascendente de resistência. Para averiguar os efeitos desse parâmetro, procedeu-se à execução de uma nova simulação. O desenvolvimento dessa atividade também utilizou o circuito da Figura 27. O sinal de tensão fornecido ao memristor pela fonte V1, nesse teste, encontra-se traçado na Figura 35.

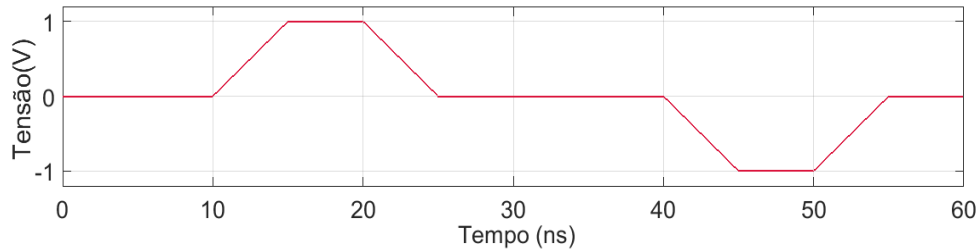


Figura 35: Sinal de tensão aplicado ao memristor para a análise do parâmetro C_1 .

Nesse experimento, foram arbitrados os seguintes valores para os parâmetros do modelo: $I_T = 10 \text{ uA}$, $R_{ON} = 4 \text{ k}\Omega$, $R_{OFF} = 80 \text{ k}\Omega$, $R_{INIT} = 4 \text{ k}\Omega$, $\alpha = 0$ e $\beta = 3 \cdot 10^{18}$. Com o objetivo de analisar a resposta transitória dos chaveamentos de resistência, foram executadas seis simulações, atribuindo-se, em cada uma delas, os seguintes valores para a constante C_1 : 0, 0,1, 0,15, 0,2, 0,3 e 0,4. As curvas de comutação de resistência resultantes desses experimentos são exibidas em sobreposição na Figura 36.

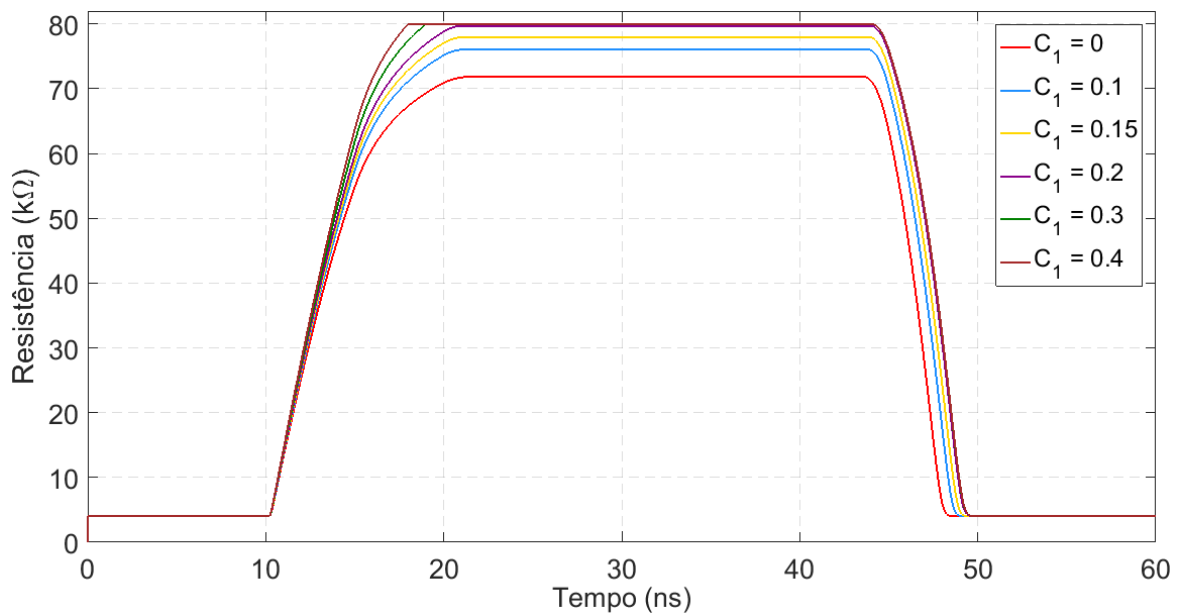


Figura 36: Influência da constante C_1 na transição $R_{ON} - R_{OFF}$.

Analisando os resultados obtidos, percebe-se que, quando $C_1 = 0$, a excursão de resistência é interrompida antes de atingir o valor R_{OFF} , aproximadamente em $71,83 \text{ k}\Omega$. Com o aumento da constante C_1 para 0,1, verifica-se o desfecho da comutação em um nível de resistência significativamente mais próximo de $80 \text{ k}\Omega$, embora a referência buscada ainda não

seja atingida. Notoriamente, o aumento de C_1 propicia a redução do erro de regime permanente, isto é, o erro resultante após o término do período transitório. A partir de certo valor, é possível anular esse erro. Nesse exemplo, a plena excursão da resistência é garantida quando C_1 é ajustado para valores maiores ou iguais a 0,21.

Embora a configuração de C_1 acima desse nível garanta a plena excursão de resistência da comutação, a escolha desse parâmetro também deve levar em consideração outra particularidade importante do modelo. Em decorrência das funções f_1 e f_2 utilizadas, existe uma relação assimétrica entre os tempos necessários para a conclusão das transições $R_{OFF} \rightarrow R_{ON}$ e $R_{ON} \rightarrow R_{OFF}$. A redução ou a eliminação dessa diferença também pode ser obtida com o ajuste de C_1 . Nota-se, pelas curvas obtidas, que quanto maior o valor dessa constante, mais rapidamente ocorre a transição $R_{ON} \rightarrow R_{OFF}$. Na Figura 37, exibem-se os valores de R_{MEM} em regime permanente e os tempos despendidos para alcançá-los, considerando a comutação ascendente ilustrada na Figura 36.

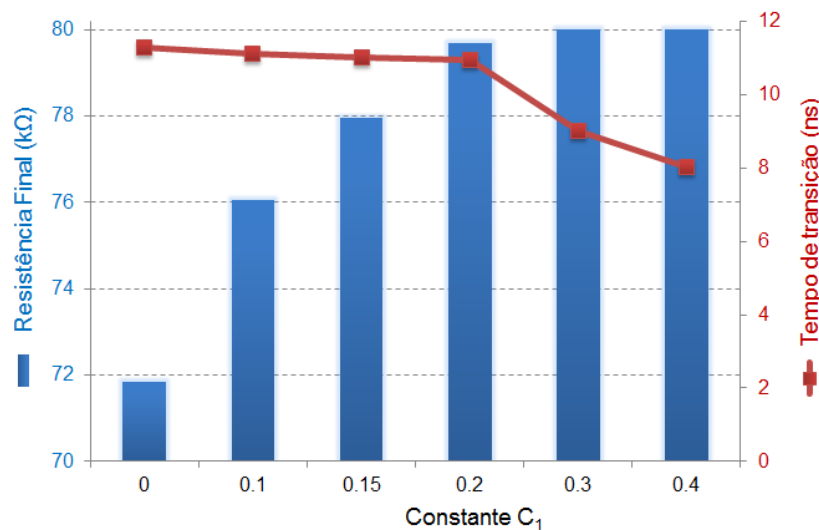


Figura 37: Resistência final e tempo de transição da comutação em função da constante C_1 .

Em relação à precisão dos valores finais de resistência alcançados após a comutação, a altura das barras reforça a aproximação de R_{MEM} para a extremidade R_{OFF} com o aumento de C_1 . Como colocado previamente, consegue-se a plena transição $R_{ON} \rightarrow R_{OFF}$ quando C_1 é maior ou igual a 0,21. Sobre os tempos de transição, verificam-se valores muito próximos para as quatro primeiras amostras. Apesar de C_1 aumentar, a extensão de resistência percorrida também aumenta, equilibrando o tempo de transição. Porém, para as duas últimas medições, onde a

variação total de resistência é a mesma, percebe-se a redução do intervalo transiente com o aumento de C_1 de 0,3 para 0,4.

A explicação para os resultados experimentais pode ser obtida a partir da interpretação geométrica do gráfico da variação de resistência. Na Figura 38, o item ‘a’ mostra a forma de onda completa de $d(R_{MEM})/dt$, enquanto os itens ‘b’ e ‘c’ detalham individualmente as transições $R_{ON} \rightarrow R_{OFF}$ e $R_{OFF} \rightarrow R_{ON}$, respectivamente.

Verifica-se que o pico de variação da resistência ocorre logo após o início da rampa de tensão, quando a corrente I_{MEM} e o fator de proporcionalidade estão próximos de seus valores máximos. Como C_1 é somado à parcela $(R_{OFF} - R_{MEM})/R_{OFF}$ para compor Kp_1 , nota-se que, quanto maior a constante, maior a altura desse pico inicial. A partir desse ponto, o termo T2 supera o termo T1 na Equação (68), tornando a função $d^2(R_{MEM})/dt^2$ negativa e, por consequência, iniciando a desaceleração da variação de resistência. Quanto menor o parâmetro C_1 , mais intenso será esse processo, evidenciado pela declividade mais acentuada das retas tangentes das curvas inferiores a partir do instante mencionado.

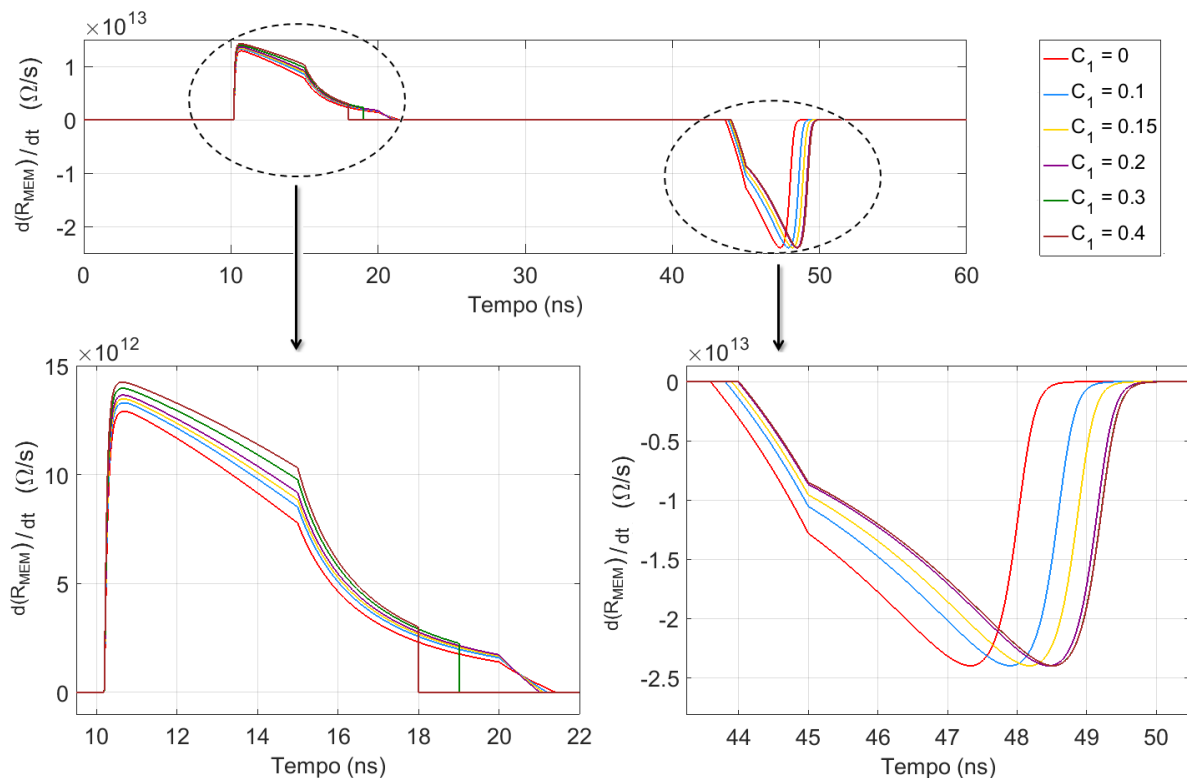


Figura 38: Comparação do gráfico de $d(R_{MEM})/dt$ para diferentes valores de C_1

Com a manutenção da tensão em seu valor máximo, a partir do instante $t = 15$ ns, a variação de resistência passa a decrescer de forma ainda mais expressiva, moldando uma concavidade para baixo nos gráficos. Essa tendência é mantida até que tenha início a rampa de descida da tensão, em $t = 20$ ns, exceto para as linhas marrom ($C_1 = 0,4$) e verde ($C_1 = 0,3$), que caem abruptamente para zero antes disso. A justificativa para essa ação reside no fato de que a área coberta pelas curvas traçadas equivale à variação total de resistência ΔR_{MEM} do memristor. Uma vez que a área sob a curva atinja o valor de $76 \text{ k}\Omega$, a transição estará completa e, portanto, a variação de resistência será anulada. Quanto maior o valor de C_1 , mais rapidamente isso ocorrerá. Para os demais casos, os incrementos de resistência se tornam ainda menores a partir de 20 ns, de modo a serem completamente anulados antes que a comutação possa ser completada com êxito.

Na transição de descida, verifica-se um crescimento mais prolongado da variação de resistência e um pico de amplitude quase 70% maior em relação à transição anterior. Dessa forma, a área contida embaixo das curvas também é maior, o que se significa que uma faixa maior de resistência é percorrida. A redução da resistência favorece o aumento de corrente, que impulsiona o crescimento de $d(R_{MEM})/dt$. Portanto, nesse tipo de transição não há a necessidade de ajustes no parâmetro C_2 que, portanto, é mantido nulo.

Embora a comutação possa ser bem sucedida mantendo-se a constante C_1 nula e aumentando-se de forma significativa o ganho β , essa situação acarretaria em transições abruptas, sem a possibilidade de ajuste de tempo. Isso encobriria a influência da corrente circulante no intervalo de comutação e distanciaria o comportamento do modelo daquele verificado em memristores reais.

5 Projeto de circuitos lógicos com memristores

5.1 Lógica implicativa

Em 1910, Whitehead e Russel publicaram um trabalho intitulado Principia Mathematica, onde descreveram quatro operações lógicas fundamentais (WHITEHEAD; RUSSELL, 1912). Três dessas operações, a saber, AND, OR e NOT, formam um conjunto computacionalmente completo, isto é, através delas é possível reproduzir a saída de qualquer circuito lógico Booleano. A quarta função descrita foi considerada “particularmente poderosa” e chamada de “implicação material”, representada como $p \text{ IMP } q$ ou $p \rightarrow q$, cujo significado é “p implica q” ou “se p, então q”. Neste trabalho, será utilizada a segunda notação. A tabela verdade dessa função é mostrada na Tabela 2.

Tabela 2: Tabela verdade da operação lógica implicativa.

| p | q | $p \rightarrow q$ |
|---|---|-------------------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

A operação $p \rightarrow q$ é equivalente à expressão $\bar{p} + q$ e o símbolo da porta lógica IMPLY possui o aspecto exibido na Figura 39:

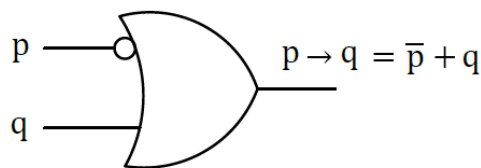


Figura 39: Símbolo da porta IMPLY.

BORGHETTI et al. (2010) demonstraram que a implicação lógica pode ser implementada através de um simples circuito contendo um resistor R_G e dois memristores, P e Q, mostrados como chaves de dois estados na Figura 40. A variável lógica dessa estrutura é a resistência dos dispositivos, de modo que um nível lógico ‘1’ corresponde a um estado de baixa

resistência R_{ON} (chave fechada) e um nível '0' equivale a um valor de alta resistência R_{OFF} (chave aberta). Além disso, é adotada a notação de que o memristor P possui um estado lógico p e o memristor Q possui um estado lógico q. Complementando a explicação sobre o circuito referido, os memristores são acionados por *drivers* de tensão *tri-state*, os quais fornecem alta impedância de saída quando não estão ativados.

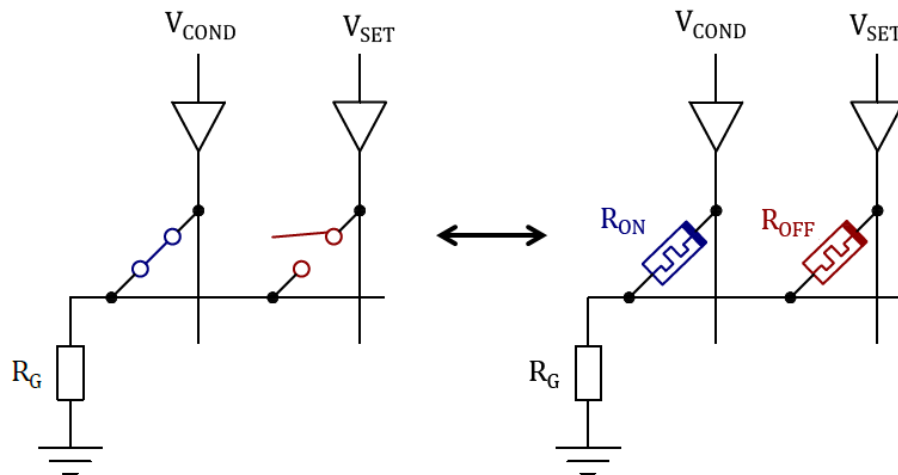


Figura 40: Circuito para a realização de síntese lógica memresistiva através da implicação material.

A lógica implicativa com memristores apresentada por BORGHETTI *et al.* (2010) funciona através da variação da resistência desses dispositivos quando a tensão aplicada sobre os mesmos excede os valores de limiar V_{SET} (isto é, V_{CLOSE}) ou V_{CLEAR} (isto é, V_{OPEN}). Pode-se atribuir nível lógico '1' incondicionalmente a um dado memristor aplicando-se uma tensão V_{SET} a ele e desabilitando-se o restante dos memristores durante esse evento. Nesse caso, o componente adquire um baixo valor de resistência (R_{ON}) que representa a chave fechada. De maneira análoga, o nível '0' é obtido através da aplicação isolada da tensão V_{CLEAR} , que conduz o dispositivo a um estado de alta resistência (R_{OFF}), representando a chave aberta. O chaveamento entre os dois estados de resistência é exibido na Figura 41. Além dos valores de limiar citados, é utilizada uma tensão auxiliar V_{COND} , cuja magnitude é inferior à V_{SET} e incapaz de alterar o estado do memristor. Essa tensão é usada para facilitar o chaveamento condicional de estados, como será explicado em breve.

O funcionamento da função IMP obedece a uma sequência de procedimentos. Inicialmente, os memristores P e Q são inicializados com os estados desejados, através da aplicação de pulsos de tensão V_{SET} (para nível '1'/ R_{ON}) ou V_{CLEAR} (para nível '0'/ R_{OFF}). As resistências iniciais p e q são as entradas da porta lógica.

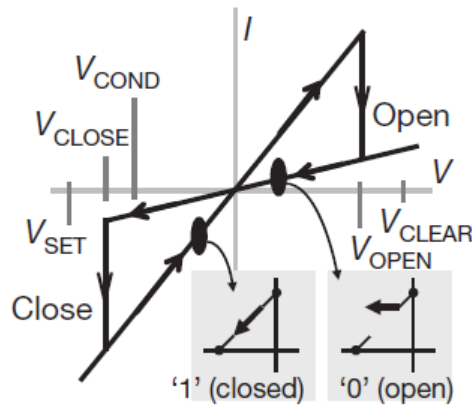


Figura 41: Característica I x V do memristor com tensões de *threshold* (BORGHETTI *et al.*, 2010).

Estabelecidos os estados iniciais, as tensões V_{COND} e V_{SET} são aplicadas simultaneamente aos memristores P e Q, respectivamente. Se V_{SET} fosse aplicada de forma isolada em Q, o resultado seria a operação incondicional $q \leftarrow '1'$, enquanto um pulso V_{COND} aplicado sozinho a P resultaria na manutenção do seu estado ($p \leftarrow p$). Porém, quando essas tensões são aplicadas conjuntamente, causam mudanças de estado que dependem dos estados de p e q. Nesse caso, o memristor P atuará somente como entrada, enquanto o memristor Q desempenhará o papel tanto de entrada quanto de saída, ou seja, a saída da porta lógica será a resistência final de Q. Se as tensões aplicadas aos memristores fossem trocadas, as funções de cada um deles também se inverteriam. Para cada combinação de entrada, resultam diferentes tensões no circuito, como mostrado na Figura 42.

A seleção da resistência R_G é importante para o êxito da operação. Esse valor deve ser escolhido, idealmente, de modo que $R_{ON} < R_G < R_{OFF}$. Dessa forma, para simplificar a análise, a resistência R_{ON} poderá ser tratada, de forma aproximada, como uma chave fechada, enquanto R_{OFF} pode assumir a condição de uma chave aberta. Assim, quando P e Q estiverem no estado R_{OFF} (“00”), a maior parcela das tensões V_{COND} e V_{SET} cairá sobre os respectivos memristores (Figura 42a), uma vez que $R_G < R_{OFF}$, comutando Q para R_{ON} e mantendo P em R_{OFF} . Quando P se encontra no estado R_{OFF} e Q no estado R_{ON} (“01”), a chave fechada leva o nó g ao potencial V_{SET} , fazendo com que a diferença de potencial sobre P seja aproximadamente igual a $V_{COND} - V_{SET}$, cuja polaridade negativa e magnitude são incapazes de mudar o estado de P. Ao mesmo tempo, o estado de Q também é mantido, visto que a queda de tensão entre os seus terminais é praticamente nula.

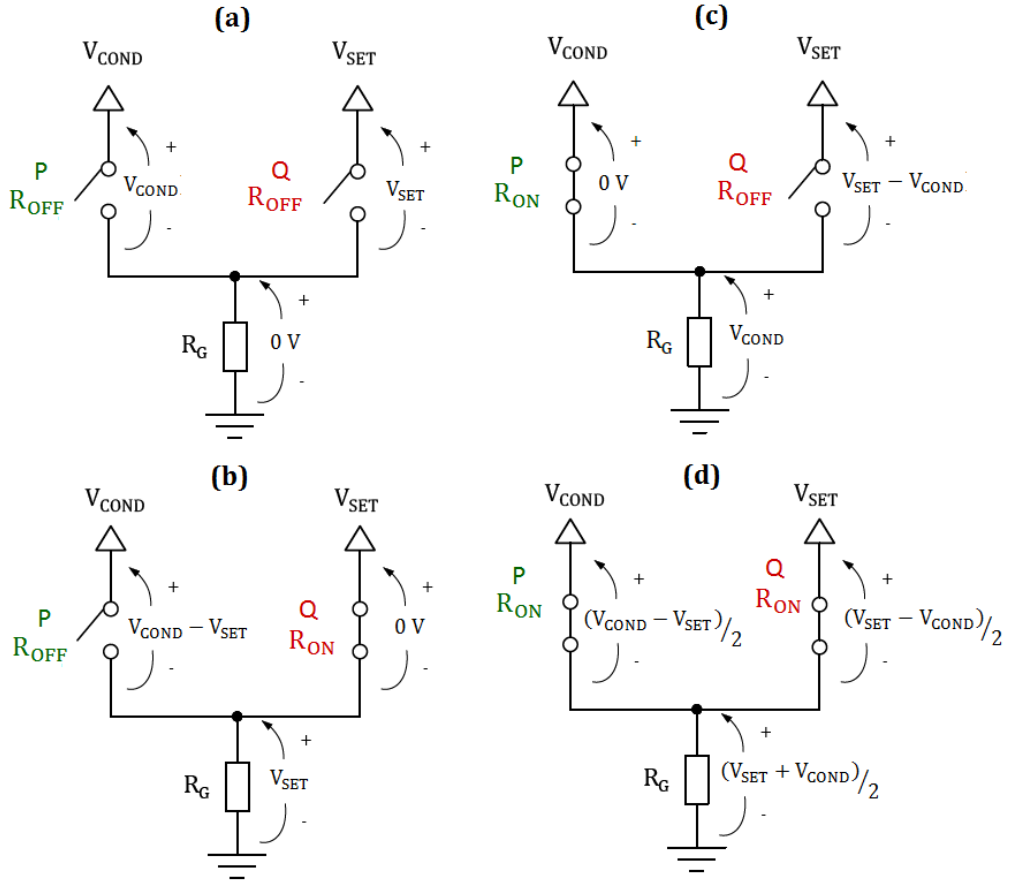


Figura 42: Tensões no circuito de implementação da implicação material com dois memristores, para as combinações de entrada (a) “00” (b) “01” (c) “10” e (d) “11”.

Porém, quando P se encontra no estado R_{ON} e Q está no estado R_{OFF} (“10”), o contato fechado no memristor P conduz a tensão no nó comum a V_{COND} (Figura 42c). Com isso, a tensão sobre P será nula e sobre Q será aproximadamente $V_{SET} - V_{COND}$, ambas insuficientes para causar a comutação dos memristores. Finalmente, quando ambos os memristores tiverem as suas resistências iguais a R_{ON} (“11”), pelo teorema da superposição, a tensão no nó comum será dada pela seguinte fórmula:

$$V_G = V_{SET} \frac{(R_{ON} || R_G)}{(R_{ON} || R_G) + R_{ON}} + V_{COND} \frac{(R_{ON} || R_G)}{(R_{ON} || R_G) + R_{ON}} \quad (70)$$

Considerando $R_G \gg R_{ON}$, a associação $R_{ON} || R_G$ poderá ser aproximada por R_{ON} . Com essa simplificação, a Equação (70) pode ser reescrita da seguinte forma:

$$V_G = V_{SET} \frac{R_{ON}}{R_{ON} + R_{ON}} + V_{COND} \frac{R_{ON}}{R_{ON} + R_{ON}} = \frac{(V_{SET} + V_{COND})}{2} \quad (71)$$

Assim, a queda de tensão sobre Q será aproximadamente $(V_{SET} - V_{COND})/2$ e sobre P será aproximadamente $(V_{COND} - V_{SET})/2$, ambas inferiores aos valores de limiar e, assim, incapazes de promover qualquer alteração no estado dos dispositivos.

Em BORGHETTI *et al.* (2010), um experimento demonstrando a operação da função implicação é apresentado. Como descrito, primeiramente são aplicados pulsos de amplitude V_{SET} ou V_{CLEAR} , os quais estabelecem os estados iniciais p e q dos memristores P e Q, respectivamente. Posteriormente, esses estados são verificados aplicando-se uma pequena tensão negativa de leitura, no valor de -0,3 V, e medindo-se a corrente resultante para confirmar que os valores desejados foram armazenados nos memristores. Após a verificação, os pulsos V_{COND} e V_{SET} são simultaneamente aplicados em P e Q, respectivamente. Por fim, tensões de -0,3 V são novamente aplicadas para que seja feita a constatação da saída. As formas de onda desse experimento são mostradas, evidenciando a reprodução da função lógica $p \rightarrow q$.

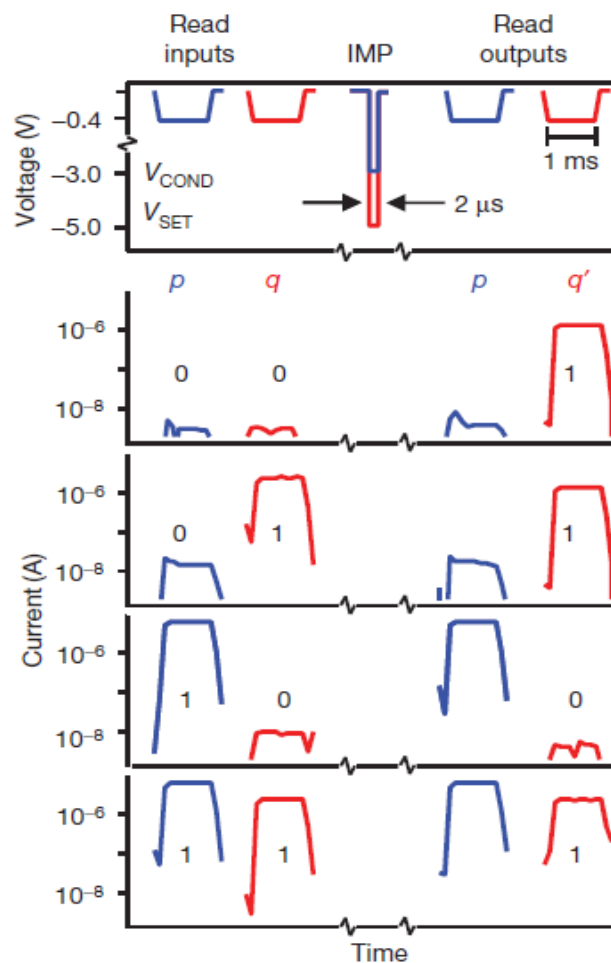


Figura 43: Ilustração da operação IMP para as quatro combinações de entrada das variáveis p e q (BORGHETTI *et al.*, 2010).

Uma importante característica da função IMP é que ela compõe um conjunto computacional completo quando acompanhada da função FALSE, ou seja, a partir de combinações dessas duas funções é possível reproduzir o comportamento de qualquer operação booleana. Essa afirmação pode ser comprovada a partir da reprodução da porta NAND, uma vez que se consegue obter um circuito equivalente a qualquer função lógica a partir de uma combinação adequada desse tipo de portas. A função FALSE sempre atribui nível '0' à saída e, por essa razão, será tratada pela denominação CLEAR ao longo deste trabalho.

A operação $s \leftarrow \overline{p \cdot q}$, demonstrada experimentalmente por BORGHETTI *et al.* (2010) utiliza três memristores, P, Q e S, com níveis lógicos p, q e s, respectivamente. O circuito utilizado para essa implementação é exibido na Figura 44a. No experimento em questão, os componentes P e Q atuam como memristores de entrada, enquanto S é um memristor de trabalho (*Working Memristor* – WM). Memristores de entrada são aqueles que armazenam os valores das variáveis de entrada e os seus estados não sofrem alteração durante a computação. Os memristores de trabalho armazenam os resultados das implicações, que podem ser intermediários ou finais, isto é, a saída da função sintetizada. Essa separação de funções é amplamente adotada na literatura e assegura que não ocorram ações destrutivas sobre os operandos.

A síntese da função é realizada em três etapas sequenciais, mostradas na Tabela 3. Para diferenciar os estados lógicos assumidos pela variável s em diferentes etapas do processo, foi usada a notação $s^{(k)}$, onde k é um número inteiro. Dessa forma, $s^{(1)}$ equivale ao nível lógico armazenado no memristor S após a execução da primeira etapa, $s^{(2)}$ é o nível resultante após a segunda etapa e assim por diante.

Tabela 3: Sequência de implicações para a síntese da porta NAND2.

| Etapa | Operação | Equivalência Lógica |
|-------|-------------------|--|
| 1 | FALSE s | $s^{(1)} \leftarrow '0'$ |
| 2 | $p \rightarrow s$ | $s^{(2)} \leftarrow \overline{p} + s^{(1)}$ $s^{(2)} \leftarrow \overline{p} + 0$ $s^{(2)} \leftarrow \overline{p}$ |
| 3 | $q \rightarrow s$ | $s^{(3)} \leftarrow \overline{q} + s^{(2)}$ $s^{(3)} \leftarrow \overline{q} + \overline{p}$ $s^{(3)} \leftarrow \overline{p \cdot q}$ |

Para a síntese dessa função, as seguintes tensões foram utilizadas: $V_{SET} = -6$ V, $V_{COND} = -3$ V e uma tensão de leitura V_{READ} de -1 V. Na primeira etapa, o memristor S é submetido a um pulso de tensão V_{CLEAR} , ocasionando $s \leftarrow 0$, ou seja, a operação FALSE sobre o dispositivo, de acordo com a Figura 44b. Após isso, é feita a leitura dos estados lógicos de cada memristor, submetendo-os a tensões de -1 V e medindo-se as correntes resultantes em cada um, como ilustrado na Figura 44c. Pequenas amplitudes de corrente em resposta ao estímulo de tensão recebido indicam um alto valor de resistência (nível '0') e vice-versa. A execução do segundo passo, $p \rightarrow s^{(1)}$, ocorre através da aplicação simultânea de pulsos de tensão V_{COND} e V_{SET} aos memristores P e S, respectivamente.

Na sequência, novamente, empregam-se tensões de leitura para evidenciar o resultado intermediário $s^{(2)}$. Para finalizar, aplica-se simultaneamente um pulso de tensão V_{COND} ao memristor Q e V_{SET} ao memristor S. Concluídos todos os procedimentos descritos na Tabela 3, aplicam-se novamente tensões de leitura a todos os memristores, onde se constata que os estados iniciais das entradas p e q permanecem inalterados e que o resultado final armazenado na variável s é idêntico àquele observado na saída de uma porta NAND.

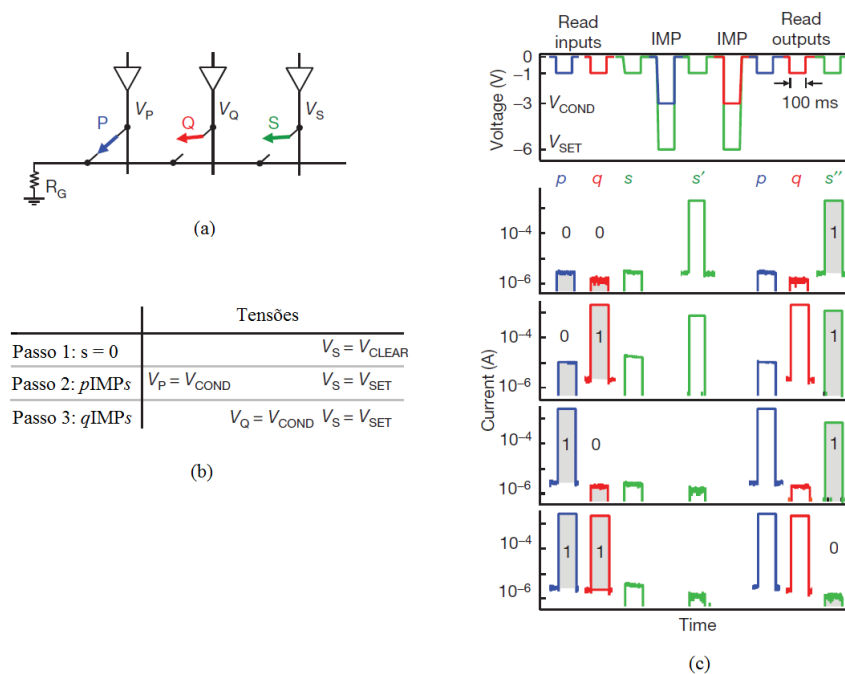


Figura 44: (a) Implementação da operação NAND através de uma lógica implicativa sequencial, utilizando três memristores. (b) Resumo das tensões aplicadas a cada um dos memristores em cada uma das etapas. (c) Resultados experimentais obtidos por BORGHETTI *et al.* (2010) para a NAND de duas entradas.

Na Tabela 4 são evidenciadas sequências de implicações para a síntese de algumas funções booleanas de, no máximo, duas entradas (nomeadas A e B). Assume-se que todos os memristores de trabalho WM_N foram previamente inicializados com nível '0' pela operação FALSE.

Tabela 4: Sequências para síntese das funções lógicas NOT, NAND, AND, OR e NOR por meio da implicação material memresistiva.

| Operação | Função Lógica | | | | |
|----------|----------------------|----------------------|-------------------------|-------------------------|-------------------------|
| | NOT | NAND | AND | OR | NOR |
| 1 | $A \rightarrow WM_1$ | $A \rightarrow WM_1$ | $A \rightarrow WM_1$ | $A \rightarrow WM_1$ | $A \rightarrow WM_1$ |
| 2 | - | $B \rightarrow WM_1$ | $B \rightarrow WM_1$ | $B \rightarrow WM_2$ | $B \rightarrow WM_2$ |
| 3 | - | - | $WM_1 \rightarrow WM_2$ | $WM_2 \rightarrow WM_3$ | $WM_2 \rightarrow WM_3$ |
| 4 | - | - | - | $WM_1 \rightarrow WM_3$ | $WM_1 \rightarrow WM_3$ |
| 5 | - | - | - | - | $WM_1 \rightarrow WM_3$ |

Pela Tabela, nota-se que a síntese das funções demonstradas demanda quantidades diferentes de operações. O caso mais simples é a produção da porta NOT, que requer somente a operação $A \rightarrow 0$, onde '0' é o estado inicial de WM_1 . O número de elementos empregados também varia. LEHTONEN *et al.* (2010) provaram que qualquer função booleana de n entradas e saída única pode ser implementada por n memristores de entrada e 2 memristores de trabalho. No entanto, de um modo geral, quanto mais memristores de trabalho forem utilizados na síntese de uma função, menor será a quantidade de passos utilizada no processo. RAGHUVANSHI e PERKOWSKI (2014) demonstram a síntese da função XOR de duas entradas com 4 memristores de trabalho e 9 implicações ou com 2 memristores de trabalho e 13 implicações.

5.1.1 Implicação multientradas

Uma grande desvantagem da lógica memresistiva implicativa é a necessidade de executar longas sequências de operações para produzir uma dada função Booleana (SHIN *et al.*, 2011b). Para o método proposto por BORGHETTI *et al.* (2010), onde apenas dois

memristores participam de cada implicação, a quantidade de etapas computacionais aumentaria em conformidade com a quantidade de entradas da porta sintetizada. Para minimizar esse problema, LAIHO e LEHTONEN (2010) propuseram a extensão da operação de implicação para múltiplos memristores, cuja explicação será baseada na Figura 45.

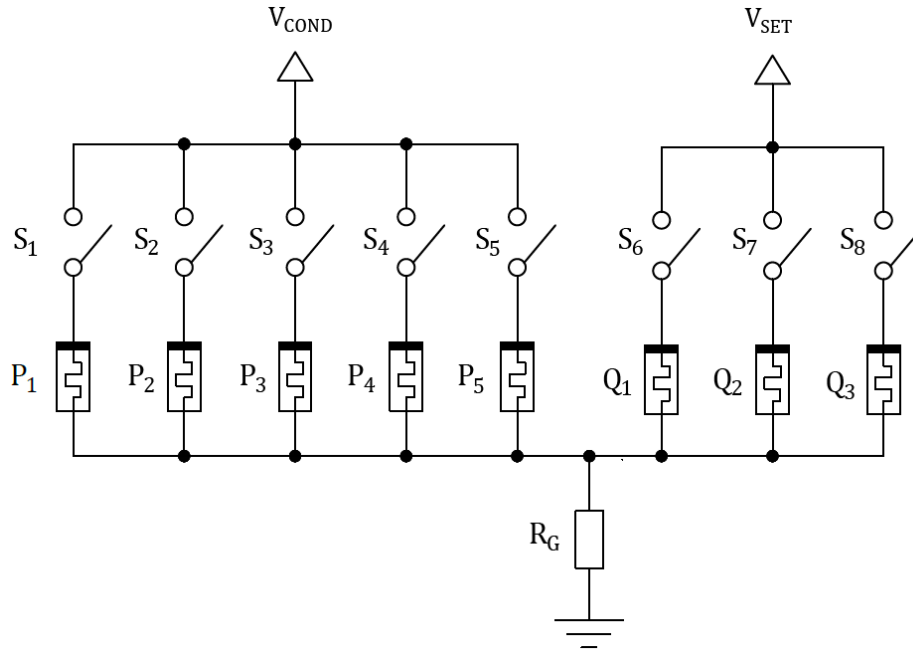


Figura 45: Exemplificação de um circuito para a implementação da técnica de implicação multientradas.

Nessa ilustração, os dispositivos P_1 , P_2 , P_3 , P_4 e P_5 são memristores de entrada, cujos estados lógicos são p_1 , p_2 , p_3 , p_4 e p_5 e os dispositivos Q_1 , Q_2 e Q_3 são memristores de trabalho com estados lógicos q_1 , q_2 e q_3 . As chaves em série com cada memristor servem para selecionar os dispositivos participantes em cada operação. Nessa nova abordagem, a tensão V_{COND} é aplicada simultaneamente a dois ou mais memristores de entrada, enquanto a tensão V_{SET} é aplicada a um memristor de trabalho (LAIHO; LEHTONEN, 2010). Supondo a participação dos memristores de entrada P_1 , P_2 e P_4 , e do memristor de trabalho Q_2 , a operação resultante será:

$$\underbrace{(p_1 + p_2 + p_4)}_{T_1} \rightarrow \frac{q_2}{T_2} \quad (72)$$

Essa operação pode ser dividida em dois termos T_1 e T_2 , sendo o primeiro deles referente à operação OU entre os estados p_1 , p_2 e p_4 , e o segundo referente ao termo isolado q_2 , conforme mostrado na Equação (72). O resultado da operação é armazenado no próprio

memristor Q_2 , sobrescrevendo o seu estado q_2 com um novo estado q_2' , conforme a Equação (73):

$$q_2' = \overline{(p_1 + p_2 + p_4)} + q_2 \quad (73)$$

Essa expressão é computada em um único passo e é conhecida como implicação multientradas. Caso o memristor Q_2 possuísse um estado $q_2 = '0'$ no momento da aplicação das tensões, o nível lógico atribuído a esse componente ao término da operação seria:

$$q_2' = \overline{p_1 + p_2 + p_4} \quad (74)$$

Essa abordagem, no entanto, requer um cuidado com a razão R_{OFF}/R_{ON} dos memristores, que deve ser suficientemente alta para possibilitar a discriminação entre múltiplos dispositivos em estado R_{OFF} (nível '0') conectados em paralelo e um único dispositivo em estado R_{ON} (nível '1') (LEHTONEN *et al.*, 2012).

5.1.2 Implicação multimemristores

Para aprimorar o desempenho obtido através do método de implicação multientradas, MARRANGHELLO *et al.* (2015) propuseram o conceito de implicação multimemristores como uma generalização da abordagem anterior. Nessa técnica, memristores de trabalho podem tanto acumular a função de entrada e saída em uma operação de implicação, quanto serem utilizados unicamente com a função de entrada. Nesse último caso, a tensão aplicada a esses elementos será V_{COND} , e não mais V_{SET} , como acontece quando os referidos dispositivos são usados para armazenar o resultado da operação. Para exemplificar, a Equação (75) utiliza como entradas os estados dos memristores P_2 , P_3 e Q_1 e o resultado é armazenado no memristor Q_3 .

$$(p_2 + p_3 + q_1) \rightarrow q_3 \quad (75)$$

5.2 MRL – Memristor Ratioed Logic

KVATINSKY *et al.* (2012) propuseram uma família lógica híbrida CMOS-Memresistiva, denominada *Memristor “Ratioed” Logic* (MRL). A MRL é constituída

por uma combinação de memristores e transistores CMOS com potencial de economizar uma área significativa de *chips* à medida em que o número de entradas do circuito aumenta. Nessa família lógica, as portas AND e OR são baseadas na utilização de memristores, enquanto uma porta NOT CMOS é utilizada de forma auxiliar para implementar as funções NAND e NOR, a partir das quais é possível reproduzir o comportamento de qualquer função booleana. Além disso, o emprego da porta NOT serve para restaurar sinais degradados.

Essa família lógica usa a resistência programável de memristores lineares para computar as funções booleanas AND/OR, sendo a tensão a variável de estado lógico. A realização dessas duas funções se dá através da ligação série entre dois memristores com polaridades opostas, como pode ser verificado na Figura 46. A única diferença entre as duas portas consiste na orientação dos memristores em relação aos terminais onde os sinais de entrada são aplicados.

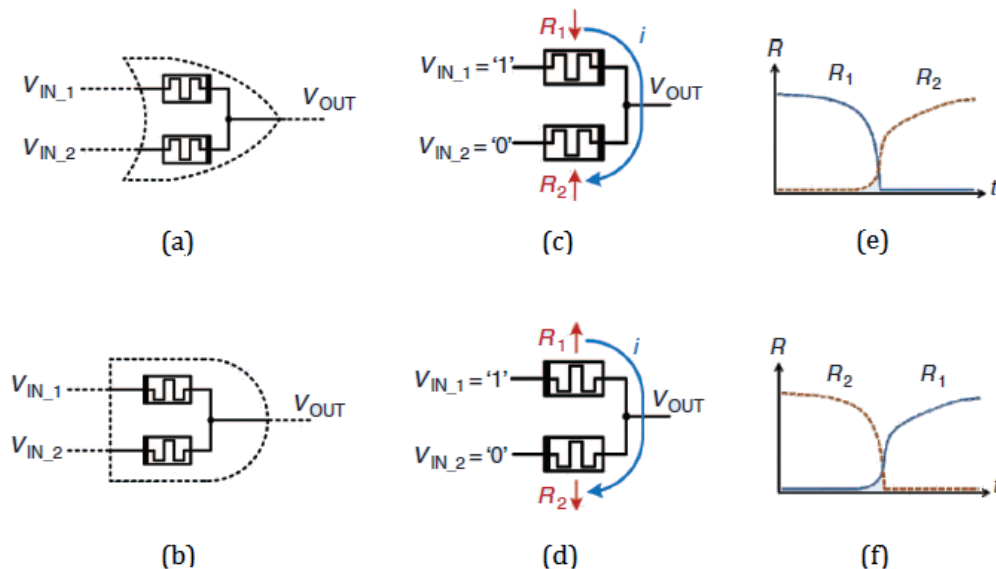


Figura 46: (a, b) Circuitos das portas lógicas AND e OR MRL. (c, d) Ilustração do comportamento dos circuitos na presença de sinais de entrada. (e, f) Gráfico da variação de memresistência dos dispositivos.

O nó de saída consiste no nó comum aos dois memristores, enquanto que os sinais de entrada são aplicados aos nós flutuantes de cada componente. As duas portas lógicas reagem de forma similar para entradas idênticas, sendo elas '1' ou '0', de modo que, se a tensão entre as duas entradas for nula, então a tensão existente no nó de saída será a mesma verificada nas entradas. Porém, quando as entradas apresentarem níveis lógicos diferentes, haverá um fluxo de corrente, orientado do terminal com maior potencial (nível '1') para o terminal com menor

potencial (nível '0'). A circulação da corrente elétrica será responsável por modificar a resistência dos componentes, situação que é ilustrada na Figura 46, itens 'c' e 'd'.

Analisando-se o caso da porta OR, mostrado na Figura 46c, e assumindo que, inicialmente, $R_1 = R_{OFF}$ e $R_2 = R_{ON}$, ao aplicar os níveis lógicos '1' e '0' às entradas V_{IN_1} e V_{IN_2} , respectivamente, origina-se uma corrente elétrica cujo sentido é responsável por polarizar diretamente o memristor conectado ao nível alto e inversamente aquele ligado ao nó GND. Como efeito, ocorre a transição de R_1 para R_{ON} e a transição de R_2 para R_{OFF} . Nessa situação, a tensão elétrica resultante na saída (V_{OUT}) será dada através de um divisor de tensão:

$$V_{OUT} = V_{HIGH} \frac{R_{OFF}}{R_{OFF} + R_{ON}} \quad (76)$$

Onde V_{HIGH} representa o valor de tensão equivalente ao nível '1'. Para a porta AND, a mesma explicação seria aplicada, havendo apenas a inversão das polaridades dos memristores. Em virtude do divisor de tensão existente no circuito das portas lógicas, existe uma degradação no nível do sinal de saída em relação à tensão de entrada, que é mais acentuada à medida que a relação R_{OFF}/R_{ON} diminui. Essa característica indesejável pode se tornar um problema ainda mais significativo se portas lógicas forem ligadas em cascata, situação em que as degradações individuais se acumulam. Em razão disto, a restauração do sinal pode ser necessária.

Outra questão relevante a ser destacada diz respeito ao tempo de chaveamento entre os estados, que depende da diferença entre as tensões adotadas para a representação dos níveis lógicos '0' e '1'. Quanto menor essa diferença for, maior será o atraso. Além disso, é possível que os memristores não comutem completamente entre os estados se as entradas não forem aplicadas durante tempo suficiente, o que poderia comprometer o funcionamento do circuito.

Por fim, um aspecto a ser ressaltado sobre a família MRL é que o número de entradas das portas pode ser incrementado conectando-se mais memristores ao nó comum, de maneira similar à lógica com diodos, na qual a MRL é baseada.

5.3 MAGIC – Memristor-Aided Logic

Numa tentativa de simplificar a operação de circuitos lógicos, diminuir a complexidade dos circuitos e permitir uma avaliação mais estável das funções lógicas, KVATINSKY;BELOUSOV; *et al.* (2014) propuseram uma família lógica composta somente por memristores, chamada de MAGIC, acrônimo para *Memristor-Aided loGIC*.

A construção das portas dessa família lógica utiliza um memristor individual para cada entrada e um memristor para a saída. Assim como na lógica implicativa, os valores lógicos são armazenados através da resistência dos dispositivos. Os estados de alta (R_{OFF}) e baixa (R_{ON}) resistência correspondem aos níveis lógicos ‘0’ e ‘1’, respectivamente. Essa família lógica reproduz as funções AND, NAND, OR, NOR e NOT, através dos arranjos de memristores ilustrados na Figura 47.

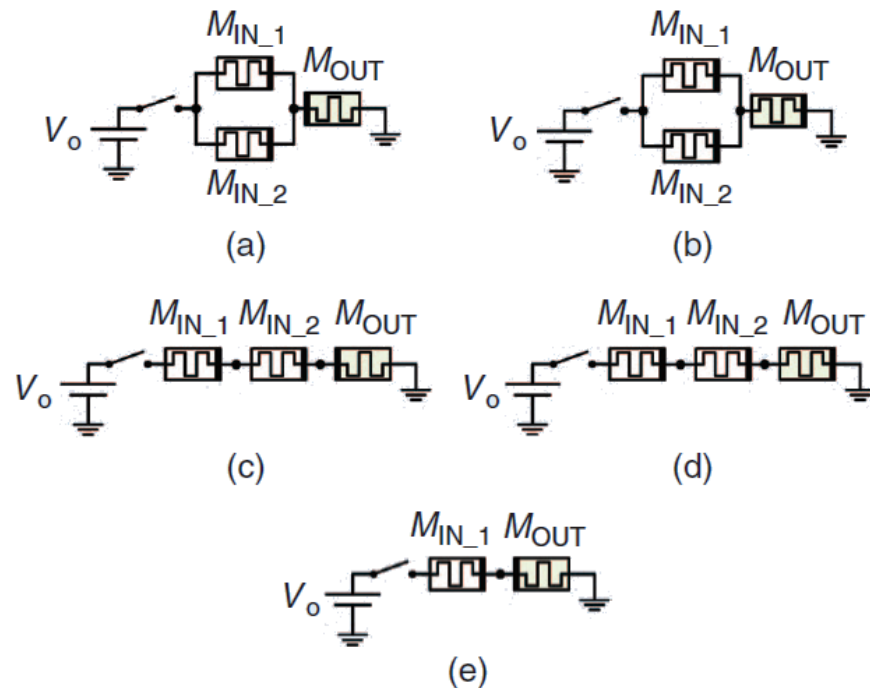


Figura 47: Circuito esquemático das portas lógicas MAGIC (a) NOR, (b) OR, (c) NAND, (d) AND e (e) NOT.

Em uma porta lógica MAGIC, associações entre os memristores de entrada (denotados por M_{IN_1} , M_{IN_2} , etc.) são conectadas em série com um memristor adicional, que desempenha o papel de saída (nomeado M_{OUT}). Nesse tipo de porta lógica, as entradas equivalem às resistências iniciais dos memristores com tal função, e precisam ser previamente programadas.

A saída lógica consiste no estado final de resistência do memristor de saída, após a tensão de entrada V_0 ter sido aplicada ao circuito.

Especificamente, a operação das portas MAGIC consiste em duas etapas: (i) a inicialização do memristor de saída para um estado resistivo específico e, se necessário, a escrita dos valores de entrada nos respectivos memristores (ii) a aplicação de um pulso de tensão de amplitude V_0 ao circuito. A inicialização dos estados dos memristores é realizada através da aplicação de uma tensão com amplitude e polaridade apropriada entre os terminais de cada dispositivo de forma separada.

Para exemplificar o funcionamento desse tipo de porta lógica memresistiva, toma-se como exemplo a porta NOR de duas entradas. Seguindo os passos descritos anteriormente, no estágio (i) o memristor de saída é inicializado para R_{ON} , ou seja, nível lógico ‘1’, enquanto no estágio (ii) as combinações lógicas de entrada são sequencialmente codificadas nos estados resistivos dos respectivos memristores. Finalmente, o pulso de tensão V_0 é introduzido para avaliar a saída.

Assumindo a combinação de entrada “00”, tanto M_{IN_1} quanto M_{IN_2} estarão ajustados para o estado R_{OFF} e, conseqüentemente, a resistência equivalente da associação paralela desses memristores será igual a $R_{OFF}/2$, valor ainda muito superior à resistência de saída R_{ON} , se for feita a consideração $R_{OFF} \gg R_{ON}$. Dessa forma, a queda de tensão sobre M_{OUT} não excederá o valor de threshold (V_{RESET}), mantendo o nível ‘1’ na saída. Entretanto, para qualquer outra combinação de entrada (“00”, “10”, “11”) a resistência de entrada se torna menor do que R_{OFF} ($R_{OFF} \parallel R_{ON} \approx R_{ON}$, $R_{ON} \parallel R_{OFF} \approx R_{ON}$, $R_{ON} \parallel R_{ON} \approx R_{ON}/2$), fazendo com que a queda de tensão sobre o memristor de saída seja suficiente para comutá-lo ao estado R_{OFF} (‘0’).

O princípio de funcionamento desse tipo de porta lógica traz consigo alguns inconvenientes. VOURKAS e SIRAKOULIS (2016) destacam que, apesar da aparente simplicidade desse tipo de circuito, a inclusão de entradas a uma porta lógica MAGIC requer a adição de memristores, os quais precisam ser acessados e programados separadamente cada vez que uma nova combinação de entrada for aplicada. Dessa forma, uma operação de n entradas exige a prévia programação de até $n + 1$ memristores.

5.4 Lógica Complementar com memristores

Um novo modelo memresistivo para o projeto de circuitos lógicos digitais, similar ao método adotado com a tecnologia CMOS, foi proposto por VOURKAS e SIRAKOULIS (2012), visando à redução da complexidade inerente à lógica implicativa e à implementação direta de funções lógicas booleanas. De acordo com a teoria de projeto de circuitos CMOS, para a implementação de cada função lógica $F(x)$ existe uma formação específica para os transistores de efeito de campo (FETs). Especificamente, os FETs tipo p são utilizados na parte superior, conhecida como rede *pull-up*, e executam a função $F(x')$; os FETs tipo n, por sua vez, constituem a rede *pull-down*, localizada na parte inferior do circuito e responsável por realizar a função $F'(x)$. A saída do circuito sempre é obtida através do nó de ligação entre as duas redes complementares.

No método proposto, os FETs são substituídos por memristores adequadamente polarizados de acordo com a parte do circuito em que estão inseridos: memristores diretamente polarizados (*Forward Polarized Memristors* – FPM) são utilizados na rede *pull-down* e memristores reversamente polarizados (*Reverse Polarized Memristors* – RPM) são empregados na rede *pull-up*. Essa equivalência é baseada no fato de que cada memristor é considerado uma chave de dois estados, capaz de permitir ou impedir o fluxo de corrente através de determinado ramo do circuito.

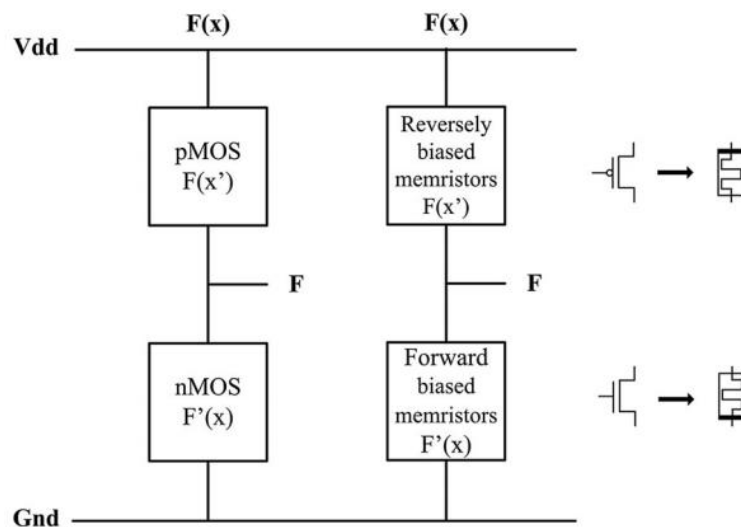


Figura 48: Redes *pull-up* e *pull-down* convencionais de um circuito lógico CMOS e as redes equivalentes usando memristores com polarizações distintas (VOURKAS; SIRAKOULIS, 2012).

Nesse método, os sinais de entrada são representados usando tensões positivas para nível lógico '1' e tensões negativas para nível lógico '0'. A aplicação de uma tensão negativa entre os terminais de um RPM, que corresponde ao FET tipo-p de uma porta CMOS, modifica o seu estado de R_{OFF} para R_{ON} , enquanto uma tensão positiva faz a transição de R_{ON} para R_{OFF} . Por outro lado, para os FPMs, equivalentes aos FETs tipo-n, uma tensão negativa comuta o estado do dispositivo de R_{ON} para R_{OFF} e uma tensão positiva habilita a mudança de R_{OFF} para R_{ON} .

Para cada função lógica, o circuito final contém uma resistência ôhmica equivalente para a parte superior e outra para a parte inferior. Portanto, a tensão de saída V_{OUT} será sempre uma fração da tensão de alimentação V_{DD} , cujo valor dependerá do divisor de tensão formado por essas duas resistências. Assim, valores de saída próximos a V_{DD} correspondem a nível lógico '1' e valores próximos a zero (GND) correspondem a nível '0'. A Figura 49 mostra a implementação das portas lógicas universais e do inversor usando o método previamente descrito.

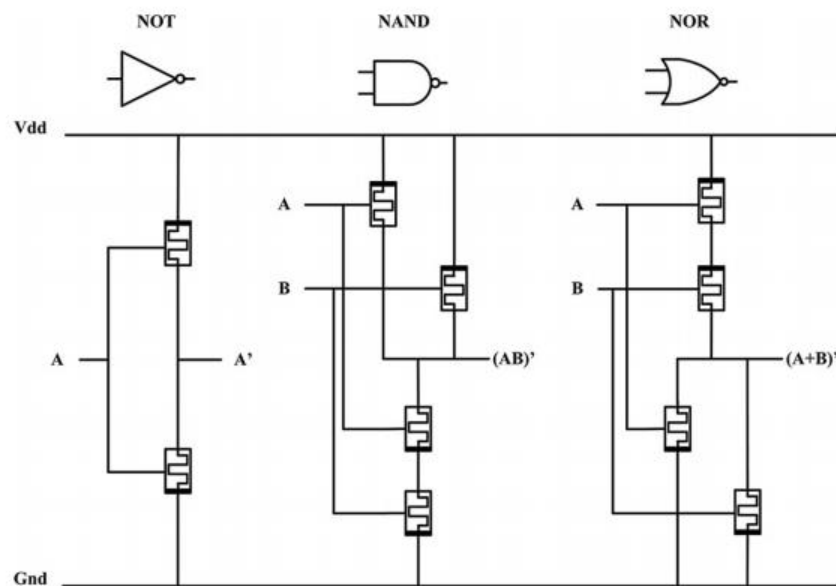


Figura 49: Implementação das portas lógicas universais e do inversor por meio da lógica complementar com memristores (VOURKAS; SIRAKOULIS, 2012).

O funcionamento geral desse tipo de circuito é explicado tomando-se como exemplo a porta NOT. Assumindo que, antes da aplicação de qualquer sinal de entrada, os memristores FPM e RPM estejam ajustados nos estados R_{ON} e R_{OFF} , respectivamente, a tensão de saída

V_{OUT} será dada por um divisor de tensão, de acordo com a Equação (77), considerando $R_{OFF} \gg R_{ON}$:

$$V_{OUT} = V_{DD} \frac{R_{ON}}{R_{ON} + R_{OFF}} \ll V_{DD} \approx GND \quad (77)$$

A aplicação de uma tensão positiva (nível ‘1’) não modifica essa condição inicial, mantendo o valor de V_{OUT} . Porém, quando a entrada assume um valor negativo de tensão (nível ‘0’), o estado dos dois memristores muda e, conseqüentemente, a tensão de saída passa a ser calculada pela Equação (78):

$$V_{OUT} = V_{DD} \frac{R_{OFF}}{R_{ON} + R_{OFF}} \approx V_{DD} \quad (78)$$

Posteriormente, a aplicação de nível ‘1’ na entrada levaria os memristores de volta para os seus estados iniciais. Assim, constata-se que a resposta do circuito reproduz a tabela verdade da porta NOT. Dois anos após a publicação do trabalho onde propunham a implementação de circuitos lógicos memresistivos de maneira análoga à tecnologia CMOS, os mesmos autores trouxeram algumas modificações para essa abordagem inicial (VOURKAS; SIRAKOULIS, 2014). As alterações tinham como finalidade superar algumas limitações em relação ao processamento sequencial de sinais de entrada, ao fato dos memristores apresentarem somente dois terminais (em contraste com os três terminais dos FETs) e à necessidade de isolamento adequada dos grupos de memristores onde as tensões são simultaneamente aplicadas (VOURKAS; SIRAKOULIS, 2016). Para ilustrar a nova proposta, os autores apresentaram o projeto detalhado de uma porta NAND de duas entradas (VOURKAS; SIRAKOULIS, 2014), cujo circuito é mostrado na Figura 50a.

Esse circuito é constituído por memristores e transistores auxiliares que são acionados por linhas de seleção no circuito de controle. Esses últimos facilitam o correto acesso a múltiplos memristores onde o mesmo sinal de entrada é aplicado. Nesse exemplo existem ainda quatro chaves (*drivers* de tensão *tri-state*), as quais determinam a função lógica da porta, fornecendo as seguintes opções: (i) aplicar sinais de entrada (programação), (ii) ler a saída V_{OUT} através da tensão de alimentação V_{DD} , ou (iii) deixar o circuito inativo com as chaves ajustadas para a posição flutuante.

Os pulsos de entrada devem ser selecionados de forma que a suas amplitudes V_O excedam os valores de limiar V_{SET} e V_{RESET} e tenham duração superior aos tempos de

chaveamento dos dispositivos. A Figura 50b fornece um resumo da posição das chaves e dos níveis lógicos aplicados a cada transistor de acesso CMOS em cada uma das etapas de operação do circuito. A tensão de alimentação V_{DD} é utilizada somente para a leitura do nível lógico de saída e deve ser escolhida de modo que as quedas de tensão sobre os memristores não ultrapassem os valores de limiar. Em todos os ramos do circuito, os dispositivos conectados diretamente ao nó de saída podem ser acessados através de um único transistor de seleção, cujo terminal *gate* é acionado pelo sinal de controle Sel ($A+B$), o que significa que esse componente eletrônico pode entrar em condução se o sinal A ou o sinal B forem aplicados.

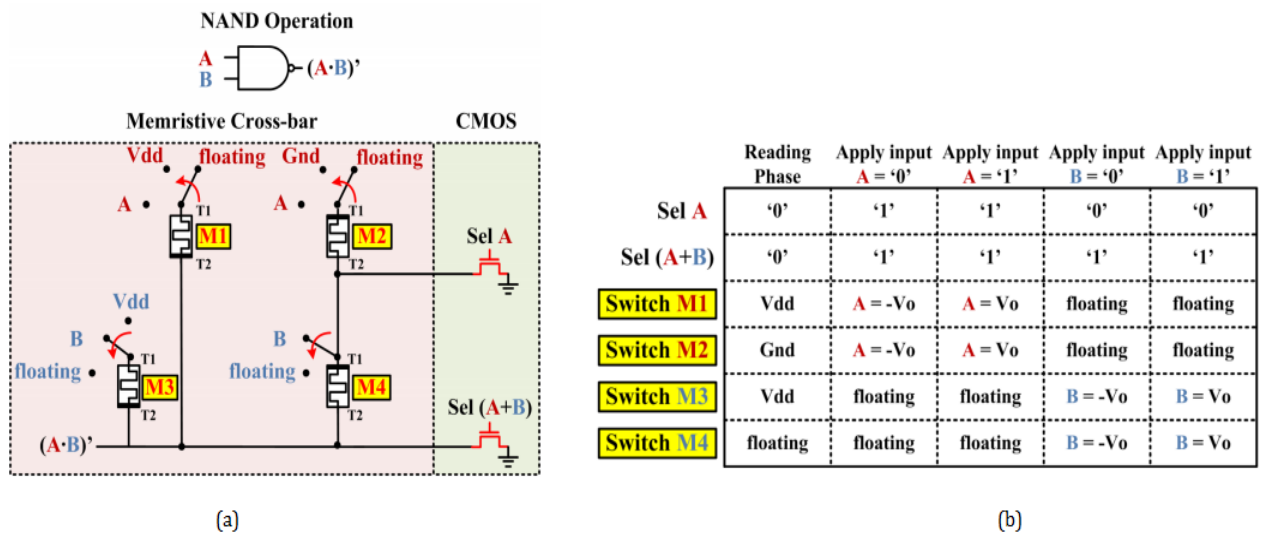


Figura 50: (a) Implementação de uma porta lógica NAND do tipo CMOS-Like de duas entradas. (b) Sumário das tensões aplicadas e das posições das chaves para todas as possíveis fases de operação do circuito (VOURKAS; SIRAKOULIS, 2014).

Para a modificação de uma única variável no sinal de entrada, por exemplo, uma mudança de $AB = "01"$ para $AB = "11"$, a saída é atualizada em um único passo (VOURKAS; SIRAKOULIS, 2014). No caso da mudança de múltiplas variáveis de entrada, o atraso da resposta da saída é multiplicado pelo número de sinais de entrada alterados. Além disso, não é possível aplicar simultaneamente mais do que um sinal de entrada. Nessa técnica, a quantidade de passos sequenciais necessários para a execução de operações lógicas é igual ao número de entradas do circuito mais (se necessário) o número de seus complementos, atingindo o valor máximo de $2n$ passos para uma função Booleana arbitraria de n entradas. De acordo com os

autores, uma das maiores vantagens desse método é a sua similaridade com os procedimentos adotados no projeto de circuitos CMOS convencionais.

Em relação à área ocupada pelo circuito, os autores afirmam não ser possível definir previamente o número exato de memristores necessários para a construção de uma função lógica específica, uma vez que várias implementações do tipo *CMOS-Like* podem ser capazes de atender aos requisitos de projeto. Uma desvantagem expressiva dessa técnica de projeto é a impossibilidade do cascadeamento de circuitos lógicos *CMOS-Like*. A justificativa para essa afirmação reside no fato de que a tensão de saída do circuito depende de um divisor de tensão e está situada entre V_{DD} e GND, enquanto que as tensões de entrada requerem também valores negativos, tornando as entradas e as saídas incompatíveis.

6 Somador completo híbrido CMOS-Memresistivo

Após ampla investigação dos diversos tipos de circuitos híbridos CMOS/memristor conhecidos na literatura, optou-se por trabalhar no desenvolvimento de um circuito fundamental para a operação de sistemas computacionais: o somador completo. A arquitetura proposta assegura o armazenamento não volátil de todas as entradas e apresenta ínfimo consumo energético. Além disso, soluciona o gargalo de comunicação gerado pela separação física entre os blocos lógicos e de memória em arquiteturas de von Neumann convencionais, uma vez que desempenha essas duas funções concomitantemente.

A concepção do projeto baseou-se na comparação da tabela verdade do somador completo com a tabela de um votador majoritário, ambas mostradas na Tabela 5. Nota-se que a saída *Carry Out* do somador é idêntica à saída do votador para todas as combinações de entrada, enquanto que a saída *Sum* coincide com esta somente quando os níveis lógicos aplicados em A, B e C_{IN} são idênticos. No entanto, se uma entrada for diferente das demais, pode-se notar que a saída *Sum* será igual ao complemento da saída do votador.

Tabela 5: Tabela-verdade do somador completo e do votador majoritário.

| A | B | C | Somador | | Votador |
|---|---|---|------------|-----------|---------|
| | | | <i>Sum</i> | C_{OUT} | |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 |

Diante dessa relação, idealizou-se uma arquitetura de somador baseada no votador majoritário não volátil proposto por SLIMANI et al. (2016). O diagrama em blocos do circuito projetado é exibido na Figura 51. Além das entradas A, B e C_{IN} e das saídas *Sum* e *Carry Out* (C_{OUT}) convencionais, são utilizados os sinais de controle R/W (*Read / Write*) e EnW (*Enable Write*), cujas funções serão detalhadas na Subseção seguinte.

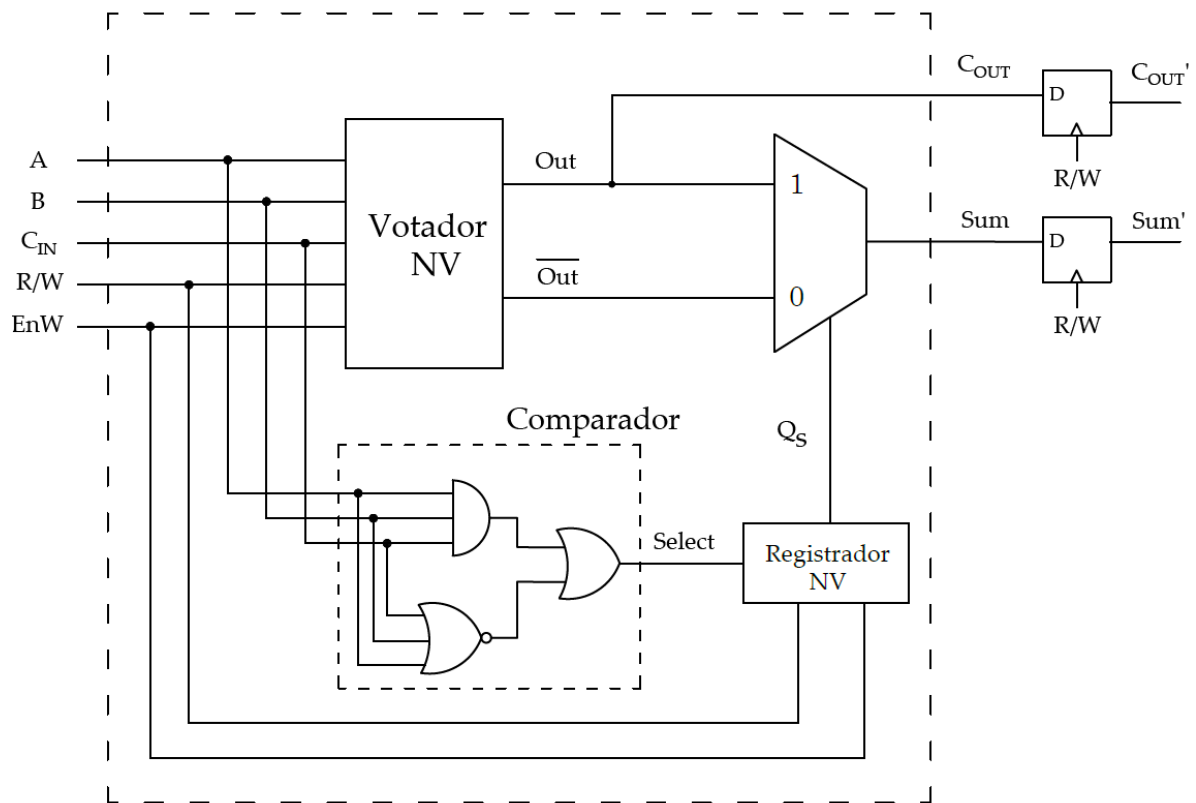


Figura 51: Diagrama em blocos do somador completo inteiramente não volátil.

Baseado na análise comparativa entre as duas tabelas verdade, previamente relatada, a saída C_{OUT} da arquitetura proposta é tomada diretamente da saída Out do votador. A saída Sum , por sua vez, deverá ser selecionada adequadamente a partir dos valores existentes nas entradas e nas saídas Out e \overline{Out} do votador. Quando a combinação de entrada for “000” ou “111”, a saída Out deverá coincidir com o valor presente na saída Sum . Caso contrário, a saída \overline{Out} deverá ser a escolhida. Para satisfazer essa lógica de operação, um multiplexador (MUX) 2x1, um comparador de magnitude e um registrador não volátil (NV) são requeridos. Esse último estágio é imprescindível para que, caso haja a remoção da tensão de alimentação do circuito, seja possível selecionar a entrada apropriada do multiplexador quando esta for reestabelecida. O multiplexador e o comparador foram projetados a partir de transistores CMOS, enquanto o registrador não volátil foi desenvolvido usando tecnologia híbrida CMOS/memristor.

6.1.1 Sequência Lógica de Operação

A operação do circuito depende dos sinais de controle R/W e EnW. O primeiro seleciona o tipo de operação: leitura (R/W = '1') ou escrita (R/W = '0') a ser realizada no circuito votador, exibido na Figura 52.

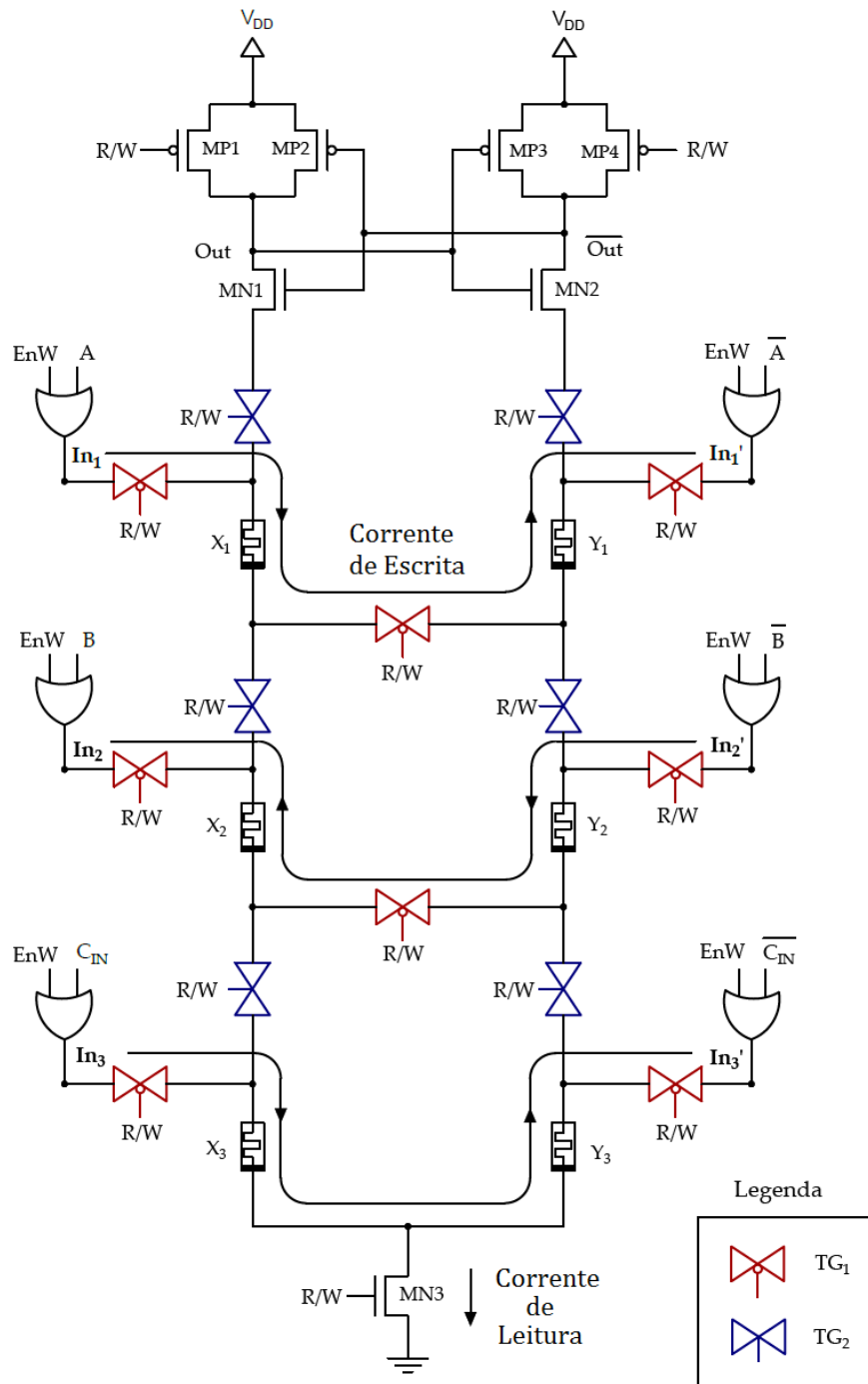


Figura 52: Votador majoritário não-volátil proposto por SLIMANI *et al.* (2016).

O segundo é responsável por habilitar ($EnW = '0'$) ou desabilitar ($EnW = '1'$) a operação de escrita. Para conseguir o efeito desejado, portas lógicas OR são introduzidas entre o votador e cada uma de suas entradas. Dessa forma, quando $EnW = '1'$, as saídas In_K e In_K' (onde $k \in \{1, 2, 3\}$) das portas OR serão fixadas em '1', independentemente dos valores presentes nas entradas. A equipotencialização desses nós inibirá o fluxo de corrente elétrica através dos memristores e, portanto, impedirá a realização da operação de escrita. Entretanto, se EnW e R/W estiverem em nível baixo, os nós In_K e In_K' experimentarão níveis lógicos contrários, ao mesmo tempo em que as portas de transmissão TG_1/TG_2 estarão em estado de condução/corte, originando correntes elétricas de escrita através dos caminhos indicados na Figura 52. Considerando o sentido convencional da corrente, a ilustração exemplifica o caso em que a combinação das entradas A , B e C_{IN} é igual a "101". A corrente de escrita atravessa cada componente de um par de memristores X_K-Y_K em sentidos contrários e, como efeito, os valores presentes nas entradas A , B e C_{IN} serão armazenados nesses elementos sob a forma de resistências elétricas complementares (R_{ON}/R_{OFF}).

Ao mesmo tempo, essas entradas serão aplicadas ao circuito comparador, cuja saída *Select* será '1' somente se todas as entradas estiverem com o mesmo nível lógico. Enquanto R/W permanece em nível baixo, a saída do comparador é armazenada em um registrador não volátil. Esse circuito é uma combinação do amplificador sensor apresentado por ZHAO et al. (2009) com quatro portas de transmissão, um par de memristores e um transistor de passagem e está ilustrado na Figura 53. De modo análogo ao que ocorre no votador, a diferença de potencial entre os nós S e S' aliada à condução das portas do tipo TG_1 originará uma corrente elétrica de escrita através dos memristores X_R e Y_R , cujo sentido será determinado pela saída *Select*.

Paralelamente a isso, o nível '0' em R/W estabelece a condução elétrica dos transistores MP1 e MP4 do circuito votador, que pré-carrega os nós *Out* e \overline{Out} com a tensão de alimentação V_{DD} . Simultaneamente, no registrador, os transistores MP5 e MP8 atuam para produzir efeito idêntico nos nós Q_S e $\overline{Q_S}$.

Concluída a primeira etapa, quando ocorrer uma borda de subida em R/W , as portas TG_2 e o transistor MN3 passarão a conduzir no votador, enquanto as portas TG_1 serão desabilitadas. Dessa forma, caminhos para a descarga das tensões pré-carregadas nas saídas *Out* e \overline{Out} serão criados. Como as resistências equivalentes dos dois ramos serão diferentes, a velocidade de

descarga em cada um deles também será diferente, o que resultará na atualização das saídas com valores complementares entre si (ZHAO *et al.*, 2009).

Concomitantemente, o mesmo processo ocorrerá no registrador, e os caminhos de descarga formados pela condução das portas TG_2 e pelo transistor $MN6$ atualizarão as saídas Q_S e $\overline{Q_S}$. Visto que a saída Q_S do registrador está conectada à entrada de seleção do multiplexador, o seu valor definirá qual das entradas desse dispositivo será comutada para a saída Sum (Out ou \overline{Out}). A computação sobre novos valores nas entradas requer a realização de um novo ciclo de escrita-leitura, seguindo os procedimentos anteriormente relatados.

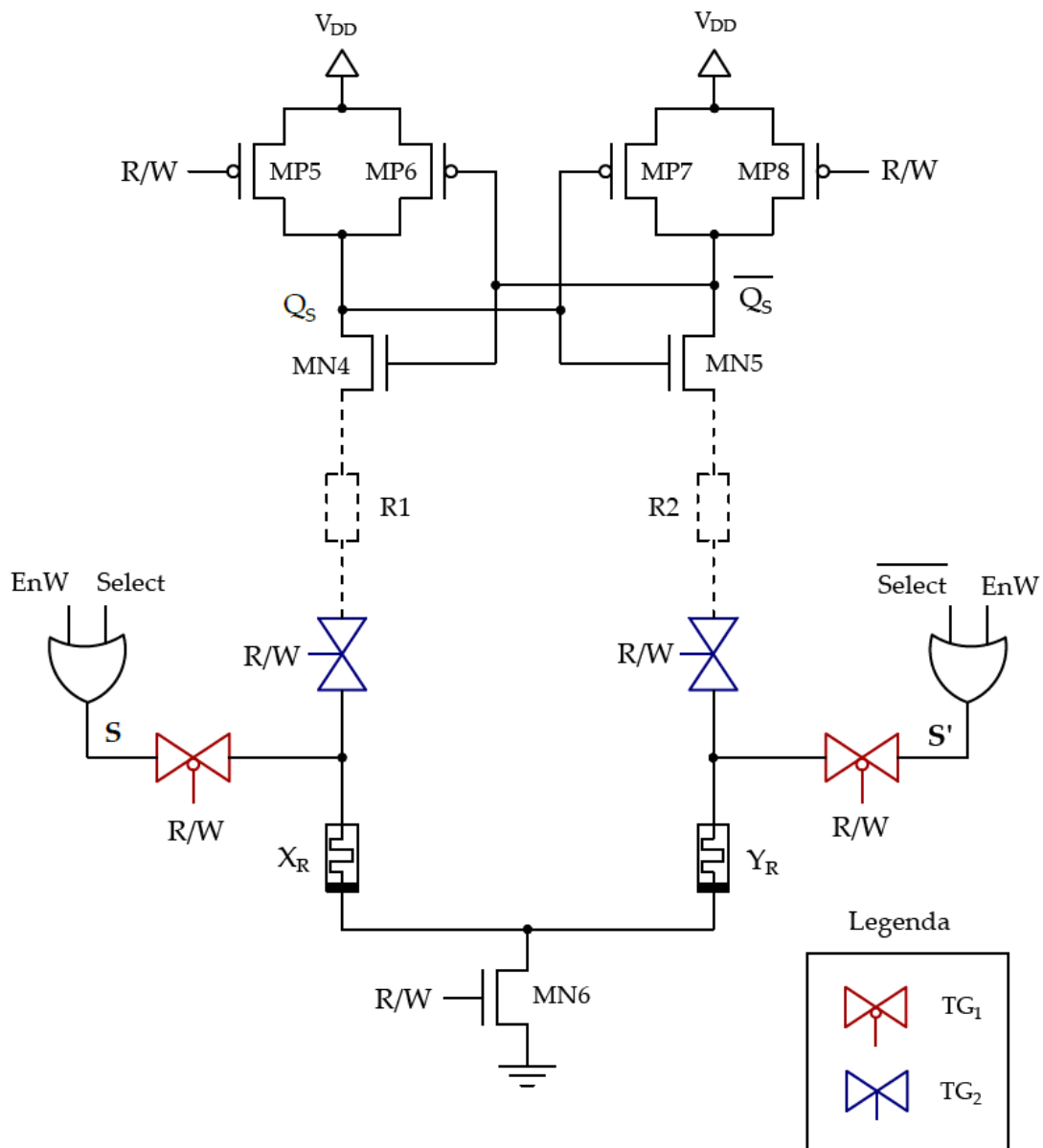


Figura 53: Registrador não volátil.

6.1.2 Dimensionamento do circuito

O projeto do circuito se baseou na utilização de um modelo preditivo de transistores MOSFETs de alta performance (HP), na escala de 45 nm (PTM, 2008), e no modelo SPICE de memristor controlado por tensão proposto por PERSHIN e DI VENTRA (2012). A tensão de alimentação V_{DD} utilizada foi de 1 V. Para assegurar o correto funcionamento do circuito, é fundamental que exista harmonia na seleção dos parâmetros do memristor e das dimensões dos transistores. Para isso, as operações de escrita e leitura nos memristores devem ser analisadas tanto no circuito votador quanto no registrador não volátil. No primeiro, quando o sinal R/W encontra-se em nível baixo, criam-se três caminhos elétricos isolados entre si, cada um composto por dois memristores e por duas (caminho In_3-In_3') ou três (caminhos In_1-In_1' e In_2-In_2') portas de transmissão com resistência R_{TG1} , conforme mostrado na Figura 52. Em relação a esse modo de operação, os parâmetros mencionados devem ser ajustados de modo que a queda de tensão sobre cada um dos memristores exceda o valor de limiar V_T . Essa condição possibilita que os níveis lógicos presentes nas entradas A, B e C_{IN} sejam convertidos em resistências equivalentes nesses componentes. Como os elementos X_K e Y_K de um par de memristores armazenam estados lógicos complementares entre si, sob a forma de resistências R_{ON} e R_{OFF} , o dimensionamento teve como objetivo o atendimento do pior caso. Esse cálculo consiste em assegurar que a parcela da tensão V_{DD} resultante sobre o elemento de menor resistência (R_{ON}) seja maior ou igual a V_T nos caminhos com três TGs e pode ser descrito pela seguinte expressão:

$$V_{DD} \frac{R_{ON}}{3R_{TG1} + R_{ON} + R_{OFF}} \geq V_T \quad (79)$$

. Isolando a variável R_{OFF} , obtém-se:

$$R_{OFF} \leq \frac{V_{DD}R_{ON} - V_T(3R_{TG1} + R_{ON})}{V_T} \quad (80)$$

Arbitrando-se $R_{ON} = 6 \text{ k}\Omega$, $V_T = 0,25 \text{ V}$ e substituindo-os na Equação (80), encontra-se:

$$R_{OFF} \leq 18 \text{ k}\Omega - 3R_{TG1} \quad (81)$$

A Equação (81) mostra que, quanto menor o valor de R_{TG1} , maior será o limite de R_{OFF} . Fixando $R_{TG1} = 1 \text{ k}\Omega$, pode-se reescrever a Equação (81) da seguinte forma:

$$R_{OFF} \leq 15 \text{ k}\Omega \quad (82)$$

Portanto, o valor de R_{OFF} foi estabelecido em 14 k Ω , o que garante uma tranquila margem de operação. Esses valores calculados para o memristor e para as TGs serão utilizados também para os caminhos de escrita In_3 - In_3' do votador e $S - S'$ do registrador não volátil. Cabe salientar que poderiam ter sido escolhidos valores superiores a 15 k Ω , porém essa decisão acarretaria a dessincronização da operação de escrita nas malhas com 3 TGs. Por sincronia entende-se o início das comutações do par memresistivo ($R_{OFF} - R_{ON}$ e $R_{ON} - R_{OFF}$) no mesmo instante. Uma vez que $R_{OFF} > R_{ON}$, a tensão inicial sobre os dois memristores distribui-se de forma assimétrica, de modo que a maior parcela dessa tensão recai sobre o dispositivo com maior resistência. Uma vez que a condição imposta pela Equação (79) não tenha sido satisfeita, a tensão sobre o dispositivo de menor resistência no início da escrita será inferior a V_T . Isso não impede, no entanto, que o chaveamento de estado desse componente aconteça. Essa ação é possível, pois à medida que a resistência do elemento em transição diminui, a queda de tensão sobre o segundo aumenta e, em determinado momento, atinge o valor de limiar necessário para o início da transição $R_{ON} - R_{OFF}$. Porém, essa transição ocorrerá de forma retardada, fazendo com que o tempo necessário para a conclusão dos dois chaveamentos aumente, reduzindo o desempenho do circuito.

A outra análise compreendida no projeto é focada no momento em que uma operação de leitura é executada. Nessa circunstância, a queda de tensão sobre cada memristor não deve exceder V_T , para que a ação não seja destrutiva, isto é, para que o estado de resistência dos memristores não seja afetado pela leitura. Assim, as situações críticas seriam aquelas onde um dos elementos do ramo estivesse com resistência R_{OFF} e os demais com resistência R_{ON} (combinações “011”, “101” e “110”). Nesses casos, a queda de tensão seria maior no elemento de maior resistência e, dependendo da tensão de limiar adotada, poderia haver uma ação de escrita indesejada sobre esse dispositivo. No entanto, essa situação pode ser desconsiderada, já que o sentido da corrente de descarga será o oposto daquele necessário para promover a transição $R_{OFF} \rightarrow R_{ON}$ nos componentes. Sendo assim, a presença de um ou dois memristores armazenando nível ‘0’ em um ramo atenuará significativamente a queda de tensão naquele(s) dispositivo(s) que esteja(m) armazenando nível ‘1’. Com isso, o pior cenário será quando todos os memristores estiverem no estado R_{ON} . Uma vez que existem três portas de transmissão em cada ramo, a situação relatada será matematicamente descrita pela Equação (83):

$$V_{DD} \frac{R_{ON}}{3R_{TG2} + 3R_{ON}} < V_T \quad (83)$$

Novamente, isolando a variável R_{TG2} , obtém-se:

$$R_{TG2} > \frac{R_{ON}(V_{DD} - 3V_T)}{3V_T} \quad (84)$$

A substituição dos valores das variáveis R_{ON} , V_{DD} e V_T , previamente definidas, leva à seguinte conclusão:

$$R_{TG2} > 2 \text{ k}\Omega \quad (85)$$

Assim, selecionou-se $R_{TG2} = 3 \text{ k}\Omega$, estendendo essa escolha para as portas de transmissão correlatas do registrador não volátil. Nesse bloco do circuito, a queda de tensão sobre os memristores será maior durante a descarga do amplificador sensor, pois existe somente uma porta de transmissão em série com cada um desses elementos. Utilizando um memristor com as mesmas características daquele empregado no circuito votador e desprezando a pequena resistência do transistor de passagem MN6, a mínima resistência equivalente R_{EQ} em série com o memristor deve ser tal que:

$$V_{DD} \frac{R_{ON}}{R_{ON} + R_{EQ}} < V_T \quad (86)$$

A resolução da Equação (86) mostra que R_{EQ} deve ser maior que $18 \text{ k}\Omega$. Parte desse valor equivale à resistência de $3 \text{ k}\Omega$ de TG2. Logo, o valor calculado de R_{EQ} pode ser obtido adicionando um resistor com valor superior a $15 \text{ k}\Omega$ em série com cada porta de transmissão.

Para tornar as simulações mais próximas do comportamento de experimentos reais com sistemas memresistivos, o parâmetro α foi ajustado para zero, definindo que a comutação ocorra somente se a tensão sobre o memristor for superior ao limiar de tensão. O valor do parâmetro β foi definido como 6×10^{13} , o que garante um tempo de chaveamento próximo a 2 ns . A largura e o comprimento do canal dos transistores das portas de transmissão foram ajustados empiricamente através das simulações para a obtenção dos valores de resistência calculados.

6.1.3 Simulação funcional

O circuito proposto foi plenamente testado e validado através da realização de simulações elétricas na plataforma NGSPICE, onde a resposta do somador desenvolvido foi analisada para todas as combinações das variáveis de entrada e para diferentes comandos dos sinais de controle. A Figura 54 mostra o comportamento temporal das saídas do circuito em função dos estímulos aplicados às entradas, abrangendo todos os sinais externos mostrados na Figura 51 e a corrente fornecida pela fonte de alimentação V_{DD} .

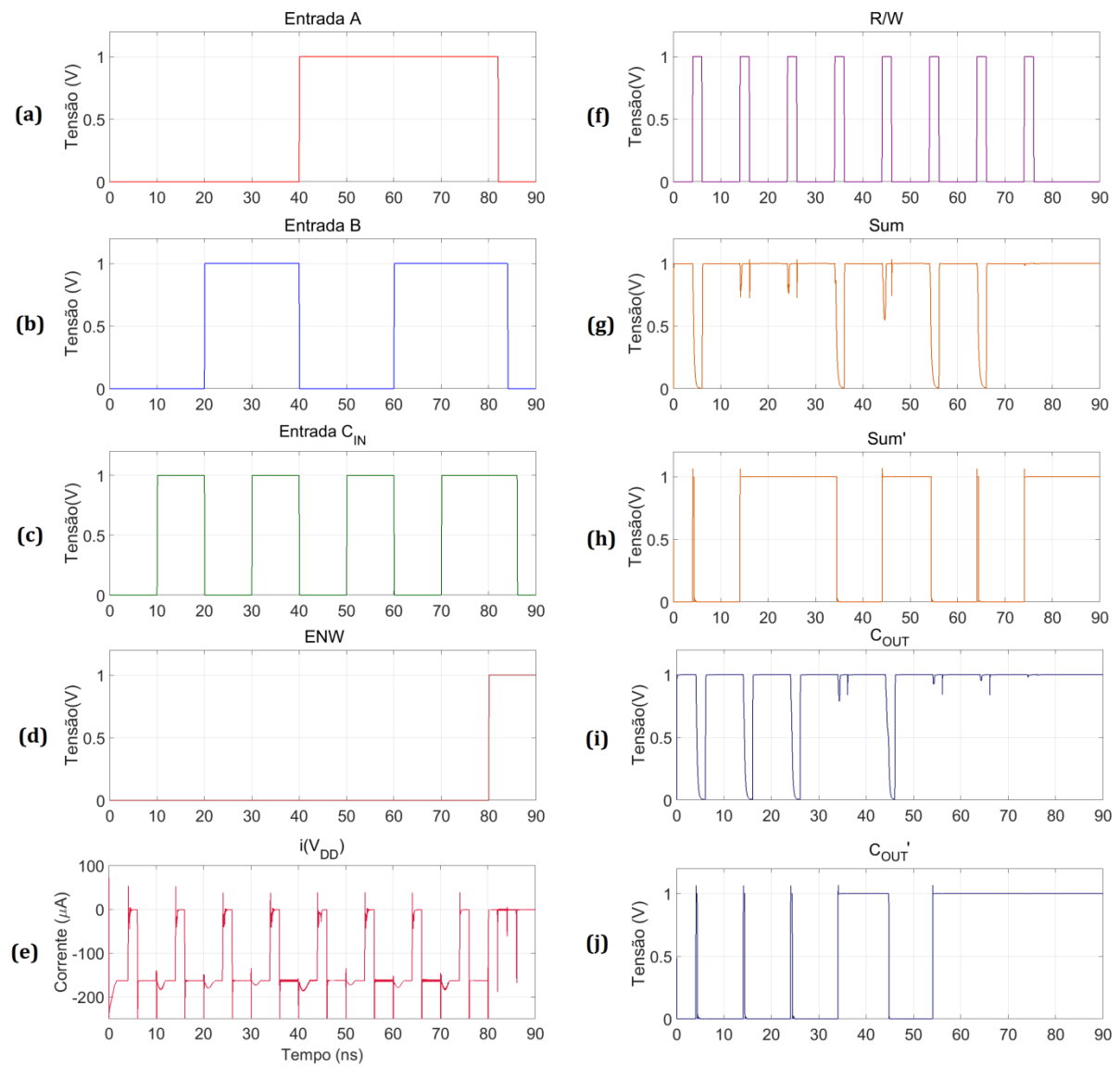


Figura 54: Resultados da simulação transiente do somador completo não volátil.

No instante $t = 0$ ns, os sinais EnW e R/W encontram-se em nível baixo (Figura 54, itens ‘d’ e ‘f’), habilitando a operação de escrita no votador. Com isso, terão início comutações de estados nos pares de memristores X_K e Y_K , conforme os níveis de tensão presentes nas entradas. Reforçando a explicação presente na Subseção 6.1.1, para o mesmo instante de tempo, dispositivos atrelados a uma mesma variável sempre apresentarão resistências complementares entre si (exceto, talvez, na inicialização). A aplicação de nível lógico ‘0’ (‘1’) a uma dada variável de entrada conduzirá os seus respectivos memristores X_K e Y_K aos estados R_{ON} (R_{OFF}) e R_{OFF} (R_{ON}), respectivamente. Nesse momento inicial, A, B e C_{IN} formam a combinação “000” (Figura 54, itens ‘a’, ‘b’ e ‘c’), fazendo com que os elementos X_1 - X_3 permaneçam no estado inicial R_{ON} , e os componentes do segundo ramo, Y_1 - Y_3 , sejam levados a R_{OFF} . Os eventos relatados são ilustrados pela Figura 55.

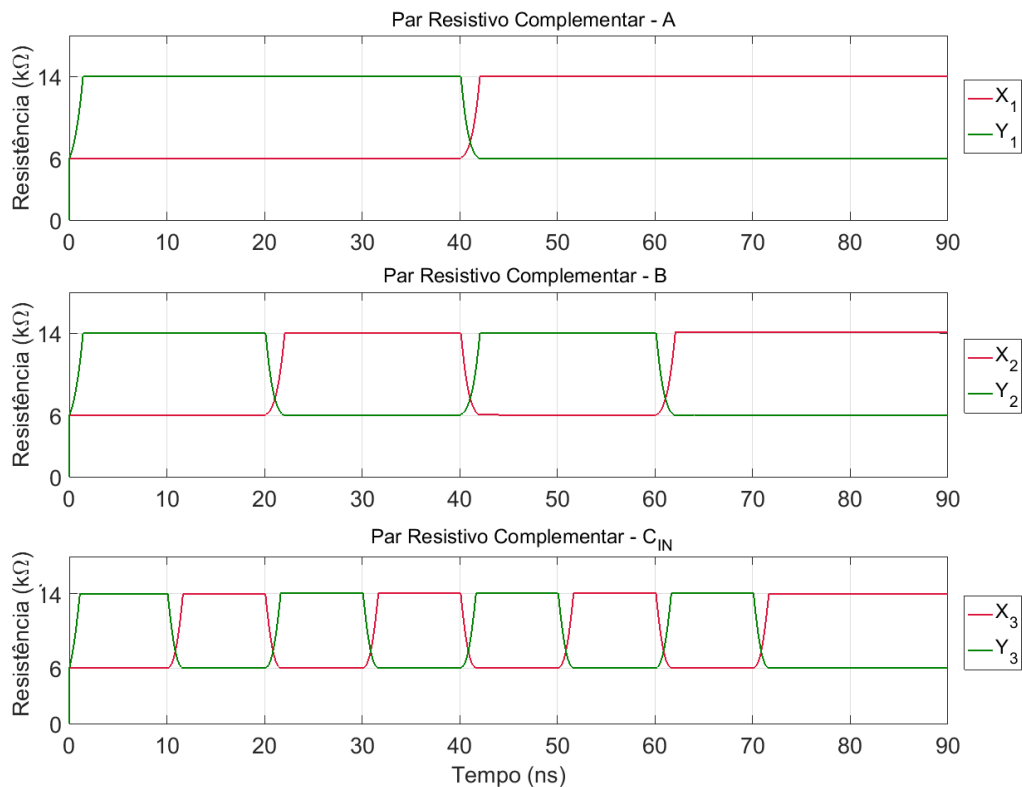


Figura 55: Comutações de resistência no circuito votador.

Simultaneamente, as entradas do somador são aplicadas ao circuito comparador. Uma vez que essas entradas possuem o mesmo nível lógico, a saída *Select* será ‘1’ (Figura 56a). Essa condição de igualdade será convertida em níveis de resistência nos memristores X_R e Y_R do registrador não volátil (Figura 56b), seguindo a mesma lógica descrita para o votador. O tempo

de escrita é definido como o intervalo necessário para que ocorra a plena excursão de resistência dos memristores entre os limites R_{ON} e R_{OFF} . Esse tempo será diretamente proporcional ao parâmetro β do modelo utilizado e à tensão sobre os dispositivos. Considerando uma pequena queda de tensão nos transistores das duas portas OR, o fluxo de corrente total através dos caminhos de escrita é próximo de $160 \mu\text{A}$ (Figura 54e). Esse valor poderia ser reduzido aumentando a resistência dos memristores, no entanto essa escolha teria como penalidade o incremento dos tempos de escrita e de leitura. Com isso, apesar da redução dos valores instantâneos de corrente, o consumo energético aumentaria.

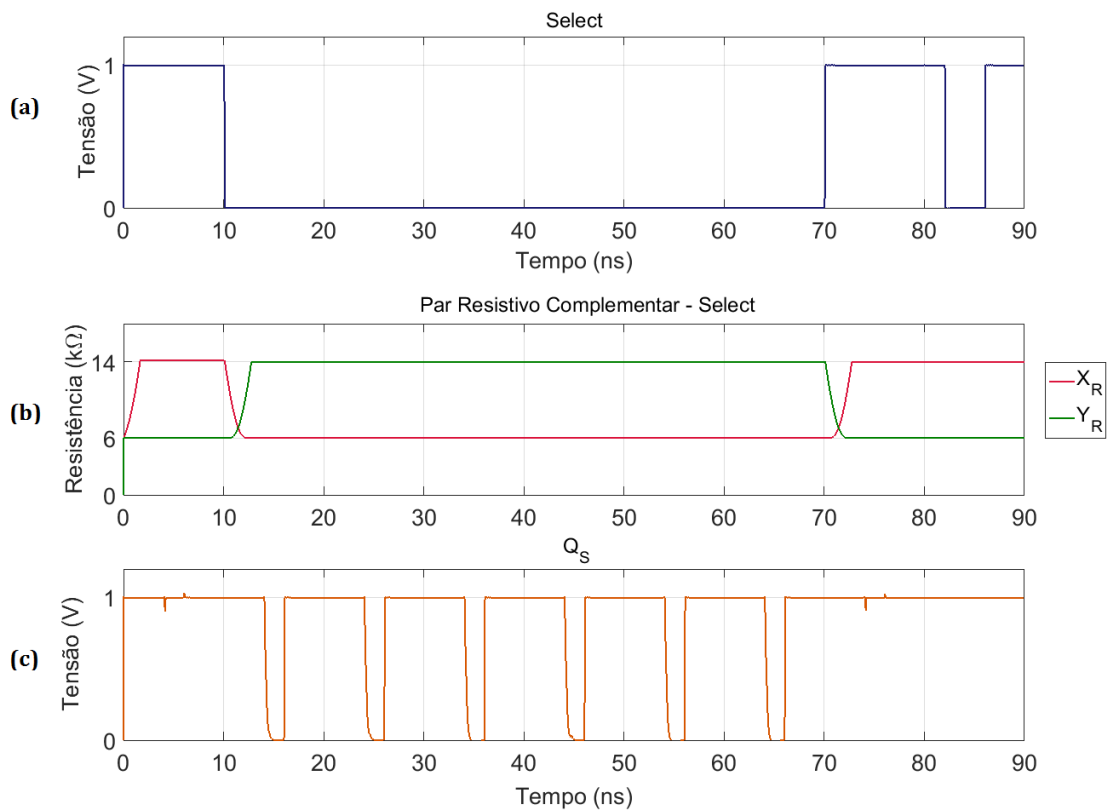


Figura 56: (a) Sinal *Select* (b) Resistências complementares do sinal *Select* (c) Sinal Q_S (seleção do MUX).

Após a escrita nos memristores, no instante $t = 4 \text{ ns}$, o sinal R/W é levado ao nível '1', acionando o modo de leitura. Essa ação terá como consequência a descarga das tensões previamente carregadas no amplificador sensor. Esse processo será mais rápido no ramo com menor resistência total, nesse caso aquele que contém os memristores X_1 - X_3 , levando as saídas *Out* e \overline{Out} a '0' e '1', respectivamente. Esse evento ocorrerá também no registrador não volátil, onde a descarga no ramo de Y_R , que se encontra com menor resistência, será completada e levará o sinal Q_S a '1' (Figura 56c). De acordo com as ligações ilustradas na Figura 51, esse

valor presente em Q_S selecionará a entrada 1 do multiplexador, transferindo o valor presente no nó *Out* para a saída *Sum*. As correntes de leitura (I_{READ}) consumidas por cada uma dessas etapas do circuito encontram-se detalhadas na Figura 57, onde se verifica também a inexistência de correntes estacionárias nos ramos de descarga enquanto o sinal R/W permanece em nível baixo. O consumo máximo de energia para a leitura dos dados foi de aproximadamente 15,38 fJ, considerando a contribuição dos dois estágios.

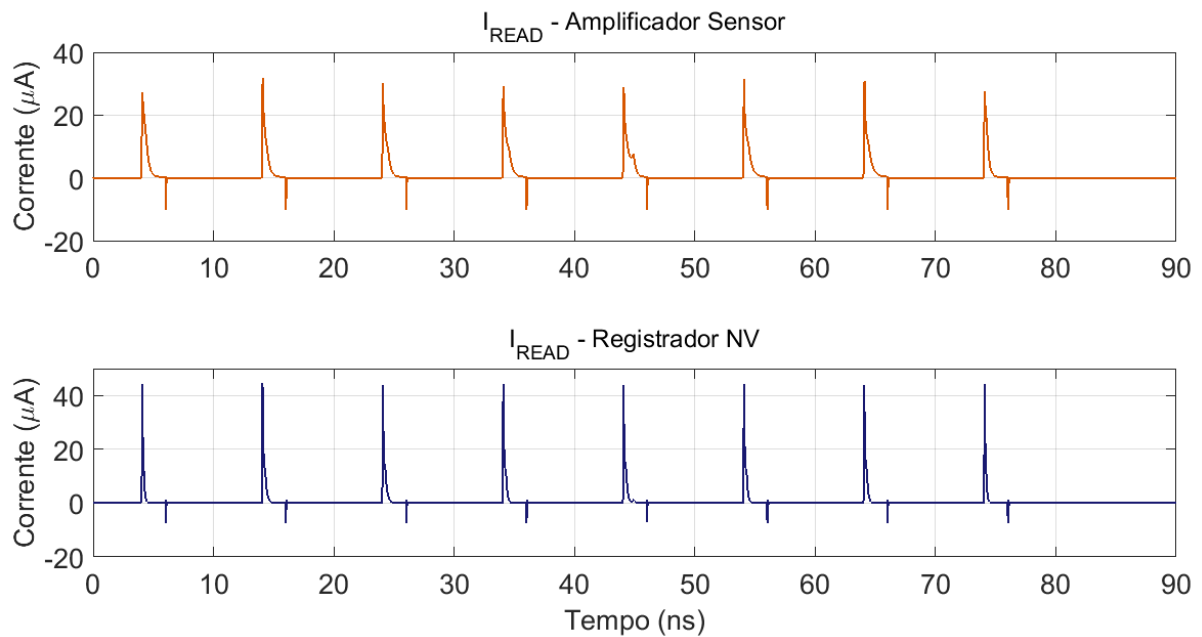


Figura 57: Correntes de leitura no amplificador sensor e no registrador não volátil.

Quando ocorrer a descida do sinal R/W, a operação de escrita será novamente habilitada, reconhecendo o processo. Assim, com a pré-carga do amplificador sensor, os resultados das saídas *Sum* e C_{OUT} da última operação computada serão perdidos. Para que esses valores permaneçam disponíveis, *latches* CMOS podem ser usados para reter os níveis lógicos presentes nesses nós antes que eles sejam levados a V_{DD} . Com a adoção desse método, o tempo de leitura é definido pelo tempo de propagação *high-to-low* (t_{PHL}) nas saídas dos *latches* após a subida do sinal R/W. Esse tempo será mínimo quando todas as variáveis de entrada estiverem com o mesmo valor. Nessa circunstância, o tempo registrado para a saída C_{OUT}' foi de 224 ps. Quando um dos valores de entrada difere dos demais, o tempo de leitura sobe para 312 ps. Para a saída *Sum'* os tempos mínimo e máximo foram 244 ps e 335 ps, respectivamente. Esses valores são um pouco superiores àqueles verificados para C_{OUT}' , devido ao atraso agregado pelo bloco multiplexador. Para reduzir os valores obtidos, o dimensionamento do circuito

poderia buscar valores menores de resistência para os memristores e para as portas de transmissão.

Em $t = 80$ ns, o sinal EnW é levado a nível alto (Figura 54d), impedindo as operações de escrita. Para demonstrar a eficácia desse bloqueio, após a ativação de EnW, as variáveis de entrada A, B e C_{IN} têm os seus níveis lógicos invertidos em diferentes momentos e, mesmo com R/W igual a '0', os estados de todos os memristores permanecem inalterados. Ressalta-se que, nessa condição, a corrente elétrica estática drenada da fonte de alimentação será praticamente nula, havendo apenas picos de dissipação dinâmica de potência originados das transições de saída do circuito comparador, como fica evidenciado na Figura 54e.

Em suma, os resultados da simulação demonstram que o somador proposto funciona apropriadamente para todas as combinações de entrada, como pode ser visto na Figura 54. Além disso, o circuito desempenha simultaneamente funções lógicas e de memória, uma vez os dados de entrada são armazenados de forma não volátil como resistências nos memristores. Dessa forma, a tensão de alimentação poderia ser removida após o cômputo das operações sem o risco de perda das informações.

7 Circuito Implicador Preditivo

Notoriamente, uma das maiores desvantagens inerentes à utilização da lógica implicativa no projeto de sistemas digitais reside na necessidade de executar longas sequências de operações para produzir uma dada função Booleana (VOURKAS; SIRAKOULIS, 2016). Também é um fato conhecido que, em uma implicação lógica, somente ocorre alteração no valor da saída quando os estados de todas as entradas forem '0', como pode ser verificado na Tabela 2. Todas as demais combinações de entrada são ineficazes, uma vez que não produzem alteração na resistência elétrica dos memristores de trabalho. Dessa forma, considerando-se que em uma sequência de implicações qualquer possa haver várias operações desse tipo, uma grande quantidade de tempo será desperdiçada, reduzindo o desempenho do circuito.

Com o objetivo de minimizar significativamente a quantidade de etapas computacionais empregadas na síntese de funções booleanas através da lógica implicativa, este trabalho propõe um circuito elétrico híbrido CMOS/memresistivo capaz de identificar e abreviar a execução de implicações desnecessárias. Desse modo, o desempenho na produção de funções lógicas através do método mencionado poderá ser aprimorado significativamente, tanto em relação à redução do tempo de execução quanto à minimização do consumo energético.

7.1 Implementação da implicação material

Para realizar a síntese de funções booleanas por meio da implicação material memresistiva, este trabalho utilizou como base o circuito exibido na Figura 58a, semelhante àquele apresentado por BORGHETTI *et al.* (2010). Esse arranjo contém N memristores ligados a um nó comum G , juntamente com um resistor de carga R_G , cujo terminal restante é ligado a GND. Os sinais de entrada são produzidos por fontes individuais do tipo PWL (*Piecewise Linear*) (NENZI; VOGT, 2014) e são aplicados aos terminais negativos dos memristores. Com isso, em diferentes implicações, é possível atribuir a um mesmo memristor a função de entrada ou entrada/saída, alternando-se as tensões V_{COND} e V_{SET} sobre ele, respectivamente.

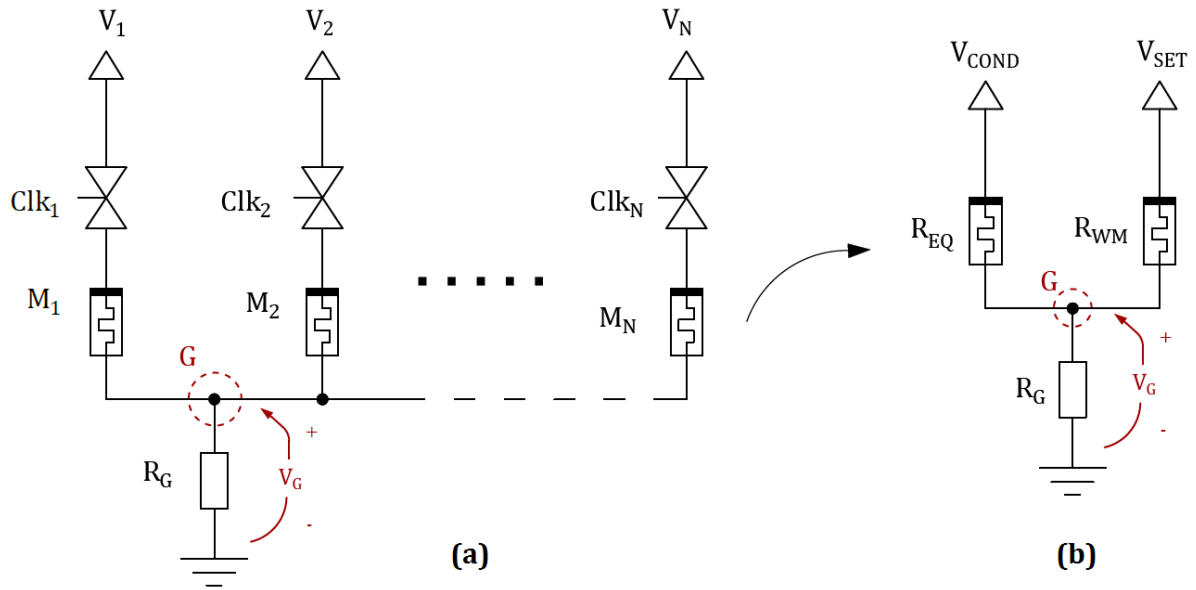


Figura 58: (a) Circuito básico para síntese de funções através da função implicação (b) Circuito equivalente por implicação.

A cada implicação, para que possam ser selecionados somente os memristores envolvidos na operação, são introduzidas portas de transmissão CMOS em série com cada elemento. Essas portas são comandadas pelos sinais Clk_1 - Clk_N , implementados de maneira análoga aos sinais de entrada. Dessa forma, em determinada implicação, somente as portas ligadas aos memristores participantes estarão aptas a conduzir, inibindo a interferência dos demais no cômputo da operação. Considerando a possibilidade de serem executadas implicações com múltiplos memristores de entrada, o circuito equivalente por implicação poderá ser descrito genericamente pela Figura 58b. Nessa simplificação, todos os memristores conectados a V_{COND} são agrupados como um único elemento com resistência equivalente R_{EQ} (resultante da associação paralela) e o memristor de trabalho que recebe o resultado da respectiva implicação é representado pela resistência R_{WM} .

7.1 Seleção de modelo elétrico

O modelo de memristor com limiar de tensão (PERSHIN; DI VENTRA, 2012), utilizado no desenvolvimento do circuito somador apresentado na Seção 6, mostrou-se

inadequado para a implementação da implicação material. Para justificar essa afirmação, é necessário, primeiramente, observar as seguintes condições que devem ser satisfeitas para garantir o funcionamento de uma implicação material (BORGHETTI et al., 2010):

$$V_{SET} > V_T \quad (87)$$

$$V_{COND} < V_T < V_{SET} \quad (88)$$

$$(V_{SET} - V_{COND}) < V_T \quad (89)$$

$$R_{ON} < R_G < R_{OFF} \quad (90)$$

Considerando-se a estrutura simplificada do circuito, exibida na Figura 58b, a tensão sobre o memristor de trabalho poderá ser calculada através da seguinte fórmula:

$$V_{WM} = V_{SET} \frac{R_{WM}}{(R_{EQ} || R_G) + R_{WM}} - V_{COND} \frac{(R_{WM} || R_G)}{(R_{WM} || R_G) + R_{EQ}} \quad (91)$$

Para maior clareza da explicação, será ilustrada uma situação em que somente um memristor de entrada é utilizado e os seguintes valores são adotados: $R_{OFF} = 80 \text{ k}\Omega$, $R_{ON} = 1 \text{ k}\Omega$, $R_G = 10 \text{ k}\Omega$ e $V_{SET} = 1 \text{ V}$. Quando a combinação de entrada for “00”, ou seja, quando ambos os memristores estiverem no estado R_{OFF} , o memristor de saída R_{WM} deverá comutar para o valor R_{ON} . Para que haja a plena excursão de resistência, é preciso que a tensão sobre esse memristor seja superior a V_T durante todo o processo de variação de resistência.

Inicialmente, R_{WM} encontra-se no estado R_{OFF} , o que faz com que a maior parcela da tensão V_{SET} esteja entre os seus terminais. Com os valores adotados nesse exemplo e, desconsiderando a pequena contribuição da tensão V_{COND} , ainda indeterminada, V_{WM} seria, aproximadamente, 0,9 V. Considerando que a barreira de limiar V_T seja inferior a esse valor, a transição para R_{ON} terá início. À medida que a resistência de R_{WM} diminui, a queda de tensão através desse memristor também diminui. Como a resistência de R_G é superior ao valor de R_{ON} , de acordo com a Equação (90), para que a transição da saída possa ser completada, é necessário que a tensão de limiar seja bastante pequena. Nesse exemplo, para que a excursão de R_{WM} atinja o limite inferior de resistência R_{ON} , V_T deveria ser fixado em, aproximadamente, 0,1 V. Caso contrário, em determinado momento da comutação, a queda de tensão sobre R_{WM} atingiria um valor inferior à tensão V_T e, portanto, interromperia a transição prematuramente em um estado de resistência intermediário R_X , sem conseguir atingir o estado R_{ON} . Essa situação é exemplificada na Figura 59.

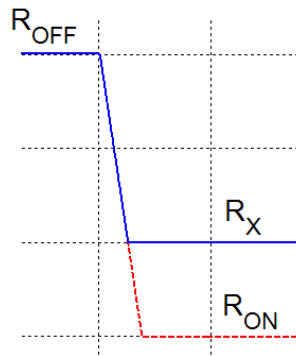


Figura 59: Interrupção prematura da transição R_{OFF} - R_{ON} .

Prosseguindo a análise, na combinação de entrada “10”, a saída deve permanecer inalterada. Nessa situação, a queda de tensão inicial sobre R_{WM} será aproximadamente igual a $V_{SET} - V_{COND}$. Esse valor deve ser inferior a V_T , pois nessa circunstância não deve haver modificação do estado desse memristor. Essa condição impõe que V_{COND} seja maior ou igual a 0,9 V. Porém, esse valor de V_{COND} não satisfaz a Equação (88), pois é muito superior a V_T .

Diante dessa impossibilidade de satisfazer todo o conjunto de equações que rege a implementação da implicação material com um modelo de memristor baseado em limiar de tensão e variação analógica de resistência, optou-se pela utilização do modelo apresentado como uma das contribuições deste trabalho na Seção 4. Sendo o memristor controlado por corrente, conforme a resistência do dispositivo diminui e se aproxima de R_{ON} , a corrente através desse componente do circuito aumenta, facilitando a conclusão da operação. Isso soluciona a complicação decorrente da utilização de um modelo acionado por tensão, no qual a completa transição R_{OFF} - R_{ON} exigiria a adoção de um valor V_T extremamente baixo, que inviabilizaria a satisfação plena do conjunto de Equações (87)-(90).

7.2 Análise da tensão V_G

Uma vez estabelecido o modelo elétrico e o circuito base para a realização de implicações materiais, a premissa para o projeto do circuito foi a análise da tensão elétrica V_G presente entre o nó g e o nó de referência no início de cada implicação. Com base no circuito

simplificado exibido na Figura 58b, desconsiderando a resistência das portas de transmissão CMOS, a tensão V_G será dada por:

$$V_G = \frac{R_{EQ}R_G V_{SET} + R_{WM}R_G V_{COND}}{R_{EQ}R_{WM} + R_{EQ}R_G + R_{WM}R_G} \quad (92)$$

Considerando implicações com entrada única, R_{EQ} será a própria resistência do memristor de entrada. Para um circuito com $V_{SET} = 1$ V, $V_{COND} = 0,75$ V, $R_{OFF} = 80$ k Ω , $R_G = 10,8$ k Ω e $R_{ON} = 4$ k Ω , a tensão V_G resultante para cada uma das combinações de entrada pode ser observada na Tabela 6. Verifica-se que V_G equivale a 0,186 V na única condição em que é produzida alteração no estado lógico da saída, isto é, $R_{EQ} = '0'$ e $R_{WM} = '0'$. Esse resultado é consideravelmente inferior àquele obtido para as demais combinações, que são improdutivas.

Tabela 6: Tensão V_G no início de cada implicação.

| R_{EQ} | R_{WM} | R_{WM}' | V_G |
|----------|----------|-----------|---------|
| 0 | 0 | 1 | 0,186 V |
| 0 | 1 | 1 | 0,730 V |
| 1 | 0 | 0 | 0,563 V |
| 1 | 1 | 1 | 0,738 V |

Em termos percentuais, a tensão da primeira linha representa apenas 27,4% do valor de tensão médio das três linhas seguintes, que é de 0,677 V. Dessa forma, para os valores utilizados, consegue-se identificar uma implicação necessária comparando-se V_G com uma tensão de referência V_{REF} . Se V_G for maior que V_{REF} , então a implicação é ineficaz e pode ser rejeitada. Caso contrário, a sua realização é exigida.

Considerando implicações multientradas ou multimemristores, a aplicação simultânea da tensão V_{COND} a múltiplos componentes colocará tais dispositivos em paralelo, acarretando um aumento na tensão do nó g em relação aos valores mostrados na Tabela 6. Quanto mais memristores envolvidos na operação, maior será essa tensão. Portanto, a escolha do nível V_{REF} deve considerar uma margem de diferença segura entre a tensão mais baixa de uma operação improdutiva e a tensão mais alta de uma operação produtiva. No exemplo numérico utilizado, supondo um limite de 3 memristores em paralelo, a máxima tensão verificada em

uma operação produtiva seria igual a 0,285 V. Portanto, a escolha de V_{REF} deveria estar de acordo com a seguinte relação:

$$0,285 < V_{REF} < 0,563 \quad (93)$$

Assim, V_{REF} poderia ser fixado em 400 mV, por exemplo. Naturalmente, a distância entre os limites desse intervalo pode ser ampliada diminuindo o número máximo de memristores em operações do tipo multientradas/memristores.

7.3 Validação prática

O comportamento da tensão V_G analisado na Subseção anterior foi comprovado através da simulação de uma série de funções booleanas, utilizando-se os mesmos valores de tensões e resistências previamente adotados. Para efeito de demonstração, serão exibidos os resultados da implementação de uma porta XOR de duas entradas. Para a síntese dessa função, foram utilizados sete memristores (M1 a M7). Dois memristores desempenharam o papel das entradas A e B, enquanto os demais foram utilizados como memristores de trabalho (*Working Memristors* - WM₁ a WM₅) e inicializados com o estado '0' (R_{OFF}). Para a construção das portas de transmissão foram utilizados MOSFETs usando um modelo preditivo de alto desempenho na tecnologia de 32 nm (PTM, 2008). A seguinte sequência de implicações foi executada:

Tabela 7: Sequência de implicações para a síntese da função XOR.

| Implicação | Lógica executada |
|-------------------------------------|--|
| 1. $A \rightarrow WM_1$ | $WM_1 = \bar{A}$ |
| 2. $B \rightarrow WM_2$ | $WM_2 = \bar{B}$ |
| 3. $(A + B) \rightarrow WM_3$ | $WM_3 = \overline{A + B}$ |
| 4. $(WM_1 + WM_2) \rightarrow WM_4$ | $WM_4 = \overline{\bar{A} + \bar{B}}$ |
| 5. $(WM_3 + WM_4) \rightarrow WM_5$ | $WM_5 = \overline{\overline{A + B} + \overline{\bar{A} + \bar{B}}} = A \oplus B$ |

Ao final da sequência de implicações, a saída da porta XOR poderá ser observada através do estado de resistência do memristor WM_5 . A Figura 60 exibe a variação dos estados memresistivos ao longo do tempo, para as combinações de entrada “11” ($A = B = R_{ON}$) e “10” ($A = R_{ON}$ e $B = R_{OFF}$), ao mesmo tempo em que evidencia o comportamento da tensão V_G ao longo da simulação. As implicações são executadas nos intervalos exibidos na Tabela 8.

Tabela 8: Intervalo de execução das implicações para a síntese da porta XOR.

| Implicação | Intervalo de execução (ns) |
|------------|----------------------------|
| 1 | 5-10 |
| 2 | 15-20 |
| 3 | 25-30 |
| 4 | 35-40 |
| 5 | 45-50 |

Desse modo, para a combinação “10”, verifica-se que as implicações 1, 3 e 4 são improdutivas, uma vez que durante os intervalos de execução destas não existe alteração do estado dos memristores de trabalho envolvidos. Ao mesmo tempo, nota-se que a tensão V_G mantém-se próxima de 500 mV durante esses eventos. Em contrapartida, as implicações 2 e 5 provocam a excursão $R_{OFF}-R_{ON}$ nos memristores WM_2 e WM_5 , respectivamente. No início da execução dessas operações, constata-se que a tensão V_G é próxima de 200 mV, comprovando o comportamento teórico descrito previamente. Conforme a resistência dos memristores decresce, nota-se o crescimento de V_G . Ao final das implicações 2 e 5, os estados atualizados dos memristores resultam na expressão $0 \rightarrow 1$, e a tensão V_G encontra-se próxima a 707 mV. Esse resultado é coerente com os valores teóricos explicitados na Tabela 6, havendo uma diferença de apenas alguns milivolts em decorrência da resistência das portas de transmissão.

Para a combinação de entrada “11”, verifica-se que somente a implicação 4 é produtiva, enquanto a execução das demais não provoca qualquer alteração no estado dos dispositivos. Isso significa que, em um caso ideal, o tempo de síntese da função XOR2 para essa combinação de entrada poderia ser reduzido em até 80%. A Tabela 9 resume o percentual de produtividade das implicações para todas as combinações de entrada. Esse exemplo demonstra a importância do desenvolvimento de um circuito capaz de prever a produtividade das implicações e executá-las condicionalmente, a fim de reduzir o tempo ocioso do circuito e melhorar o seu desempenho.

Tabela 9: Percentual de produtividade das implicações implementadas na síntese da função XOR em função das combinações de entrada.

| A | B | Implicações produtivas (%) |
|---|---|----------------------------|
| 0 | 0 | 60 |
| 0 | 1 | 40 |
| 1 | 0 | 40 |
| 1 | 1 | 20 |

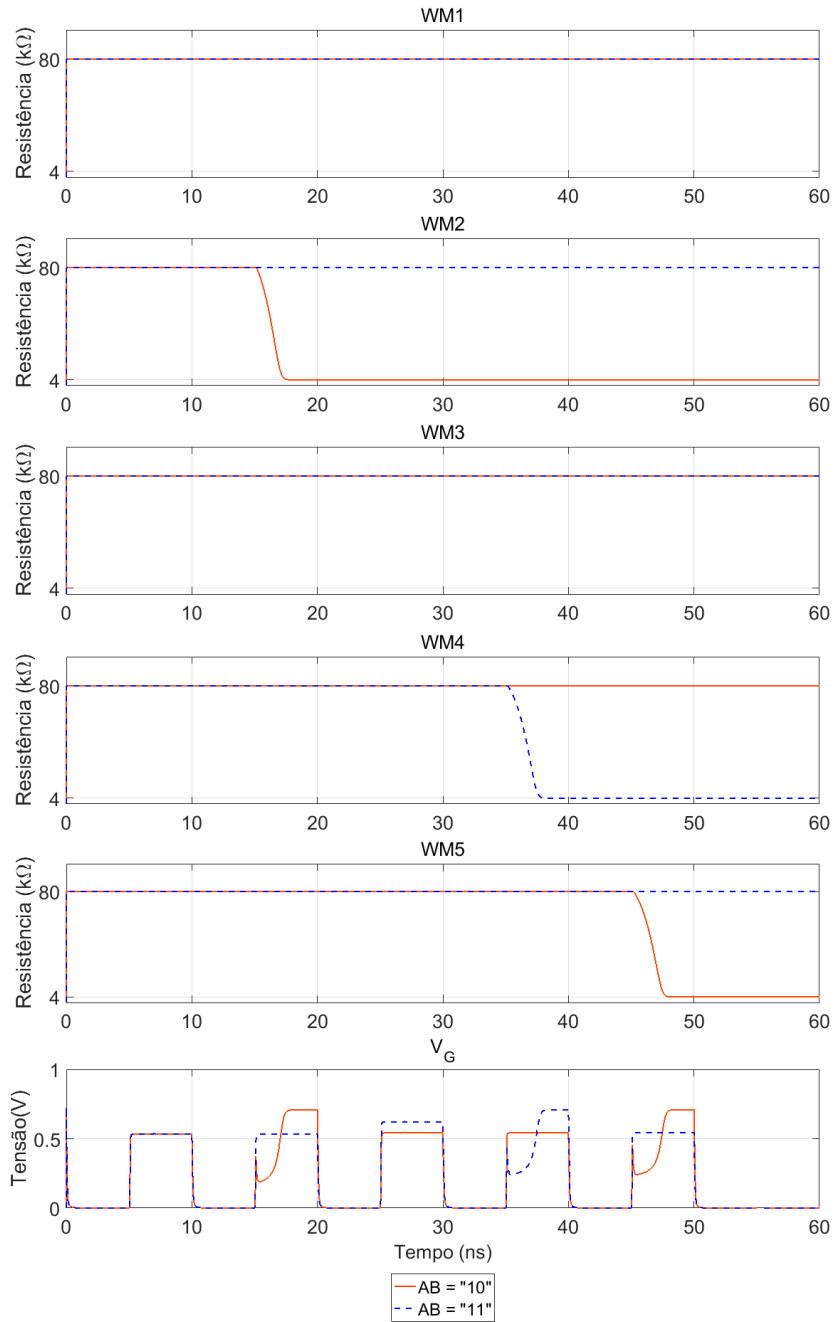


Figura 60: Variação temporal dos estados memresistivos durante a síntese da porta XOR, para as combinações de entrada “10” e “11”. A saída é armazenada em WM5.

7.4 Visão geral do projeto

O circuito idealizado para viabilizar a execução condicional das implicações é constituído, principalmente, por uma memória de programa, uma Unidade Lógica Memresistiva (ULM), uma Unidade de Amostragem e Retenção (UAR) e uma Unidade de Controle (UC). O diagrama em blocos desse arranjo é apresentado na Figura 61.

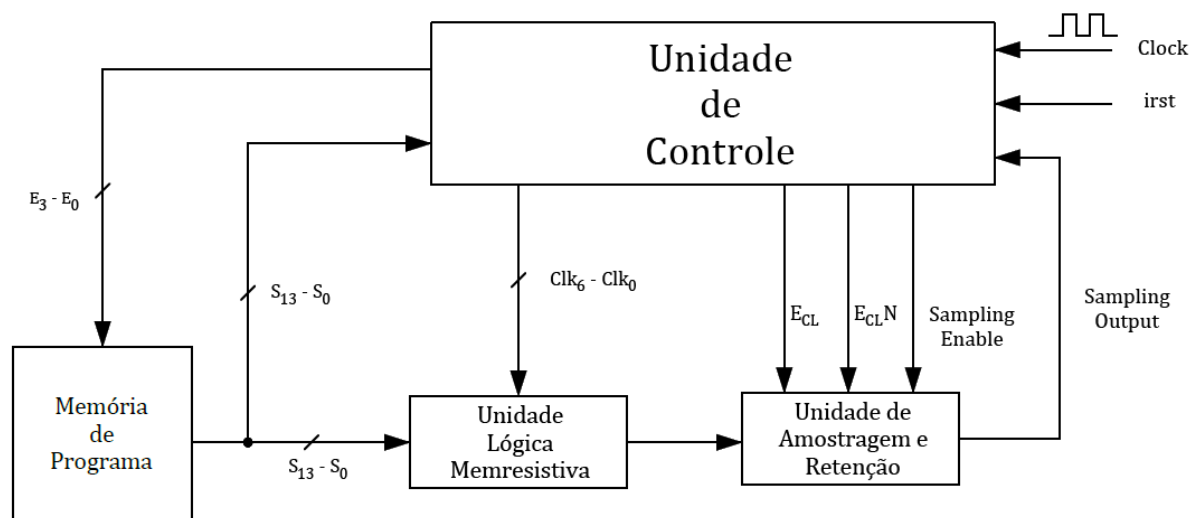


Figura 61: Diagrama em blocos do circuito implicador preditivo proposto

O funcionamento do circuito mencionado assemelha-se ao ciclo de instrução de um processador. Aqui, no entanto, a memória de programa armazena a sequência de implicações exequíveis sob a forma de instruções binárias codificadas. Cada uma dessas instruções contém informação relativa à aplicação dos níveis de tensão apropriados a cada memristor em uma determinada implicação. A busca da instrução na memória é o primeiro dos eventos que compõem a sequência lógica de operação do circuito. Cumprida essa etapa, o conteúdo do endereço de memória acessado será decodificado na Unidade Lógica Memresistiva (ULM).

Essa é a parte do circuito que contém os memristores e onde as operações são efetivamente executadas, quando necessário. Nesse circuito, foram utilizados sete memristores, embora o mesmo conceito pudesse ser aplicado a uma escala maior de dispositivos. A função de cada memristor pode ser alterada conforme a conveniência da função lógica que se queira

sintetizar. Neste trabalho, por fins didáticos, será demonstrada a implementação de um somador completo de 1 bit. Para essa finalidade, três memristores serão utilizados como entradas (A, B e C_{IN}), e quatro como memristores de trabalho (W_{M1} , W_{M2} , W_{M3} e W_{M4}).

O próximo estágio funcional do circuito é a Unidade de Amostragem e Retenção, cuja atribuição é comparar, mediante requisição da Unidade de Controle, a tensão existente no nó comum G (V_G) com um valor de referência (V_{REF}) e gerar um *flag* para a própria solicitante do evento, indicando o resultado da operação. Por fim, a Unidade de Controle temporiza condicionalmente a duração de cada implicação, além de produzir sinais para coordenar ações na ULM e UAR. Além disso, também é responsável por endereçar sequencialmente a memória de programa. A seguir, cada um desses estágios do circuito será individualmente detalhado, assim como a interação entre eles.

7.5 Memória de programa

Como mencionado anteriormente, cada uma das implicações potencialmente executáveis pelos memristores da ULM é armazenada na memória de programa como uma instrução binária. No padrão de codificação adotado para as instruções, o papel desempenhado por cada memristor em uma implicação qualquer está atrelado a um par de bits, denominado de V_{CODE} (contração de *Voltage Code*). Essa designação é utilizada, pois a atuação desses dispositivos está relacionada com o potencial elétrico presente no seu terminal negativo. Cada combinação de V_{CODE} corresponde a um nível de tensão a ser aplicado sobre o respectivo componente eletrônico, de acordo com a Tabela 10.

Tabela 10: Relação entre as combinações do V_{CODE} e as suas respectivas tensões.

| V_{CODE} | Ligação elétrica |
|------------|-----------------------------------|
| 00 | Não selecionado (alta impedância) |
| 01 | V_{COND} |
| 10 | V_{SET} |
| 11 | GND |

Uma vez que o circuito possui 7 memristores, a palavra de instrução será composta por 7 V_{CODE_S} , totalizando 14 bits. Para as atribuições dadas a cada componente, o conteúdo das posições da memória será dividido conforme ilustrado pela Figura 62:

| WM ₄ | | WM3 | | WM2 | | WM1 | | C | | B | | A | |
|-----------------|-----|-----|-----|-----|----|-----|----|----|----|----|----|----|----|
| S13 | S12 | S11 | S10 | S9 | S8 | S7 | S6 | S5 | S4 | S3 | S2 | S1 | S0 |

Figura 62: Divisão da palavra de instrução utilizada no projeto.

Como exemplo, a operação $(A + B + C) \rightarrow W_{M2}$ resultaria na palavra de instrução “00001000010101”. Essa instrução, depois de decodificada, resultaria na aplicação do potencial V_{COND} aos memristores A, B e C, e na aplicação do potencial V_{SET} ao memristor W_{M2} . Os demais memristores seriam ligados a um ponto de alta impedância e, portanto, estariam desconectados do circuito. Para a realização das simulações, a memória em questão foi emulada através de um multiplexador 16x1 concebido com MOSFETs. Cada entrada de dados consiste em um barramento de 16 bits, correspondentes a uma certa palavra de instrução. Cada bit é representado por uma fonte de tensão CC, e os níveis lógicos ‘0’ e ‘1’ são reproduzidos atribuindo-se a esses componentes as amplitudes de 0 V e 1 V, respectivamente.

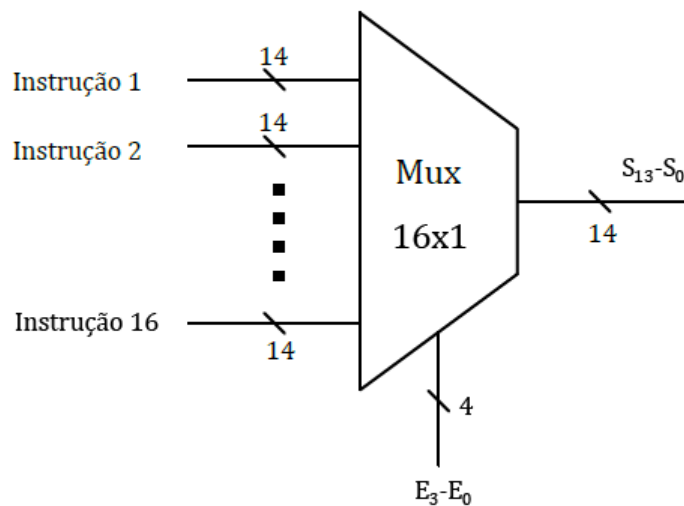


Figura 63: Emulação da memória de programa através de um MUX 16x1.

7.6 Unidade Lógica Memresistiva

A Unidade Lógica Memresistiva (ULM) é o bloco do circuito responsável por sintetizar funções booleanas através da execução de sequências de implicações sobre memristores. Além disso, essa parte do circuito acumula a função de armazenamento de dados de entrada e de saída, explorando a não volatilidade intrínseca desses componentes eletrônicos. O diagrama esquemático desse estágio do projeto é mostrado na Figura 64. Nessa implementação, foram utilizados sete memristores (nomeados M1 a M7), que podem ser usados como entradas ou memristores de trabalho, de acordo com a função que se queira sintetizar.

Juntamente com os memristores, integram a ULM um conjunto de multiplexadores 4x1, cuja função é decodificar a palavra de instrução lida do barramento de dados da memória e convertê-la em níveis de tensão apropriados nas suas saídas. Para isso, cada um dos VCODEs de uma instrução é destinado para as entradas seletoras de um multiplexador e cada uma das quatro entradas de dados desses dispositivos é conectada a um nó diferente do circuito: V_{SET} , V_{COND} , GND e Z (alta impedância). Ademais, em série com a saída dos multiplexadores foram inseridas portas de transmissão (*Transmission Gates* - TG) CMOS para sincronizar a operação de escrita nos memristores e assegurar que o estado de resistência desses elementos não seja afetado pelos transientes de tensão nesse ponto do circuito.

O controle dessas portas é feito através dos sinais elétricos clk_1 - clk_7 , oriundos da Unidade de Controle. Basicamente, quando o sinal clk_n for '1', a condução da porta TG_n será habilitada, garantindo a participação do memristor M_n na implicação. De outro modo, TG_n apresentará um alto valor de resistência, tornando a contribuição de M_n desprezível naquele momento. Os memristores apresentam o terminal negativo ligado a uma das extremidades da sua respectiva TG e o terminal positivo conectado a um nó comum G, onde também é conectado um resistor R_G . Além dos elementos já citados, a ULM contém um transistor NMOS (MN1) e um transistor PMOS (MP1), ambos atuando no sentido de viabilizar a operação *Clear* em um ou mais memristores. Para que ocorra a operação *Clear* em um memristor, é preciso atribuir a combinação "11" ao seu respectivo VCODE na palavra de instrução. Se pelo menos um dos VCODEs assumir tal condição, um circuito combinacional presente na Unidade de Controle fará com que o sinal E_{CL} (**E**nable **C**lear) seja colocado em nível baixo, estabelecendo a condução do transistor MP1 e o corte do transistor MN1.

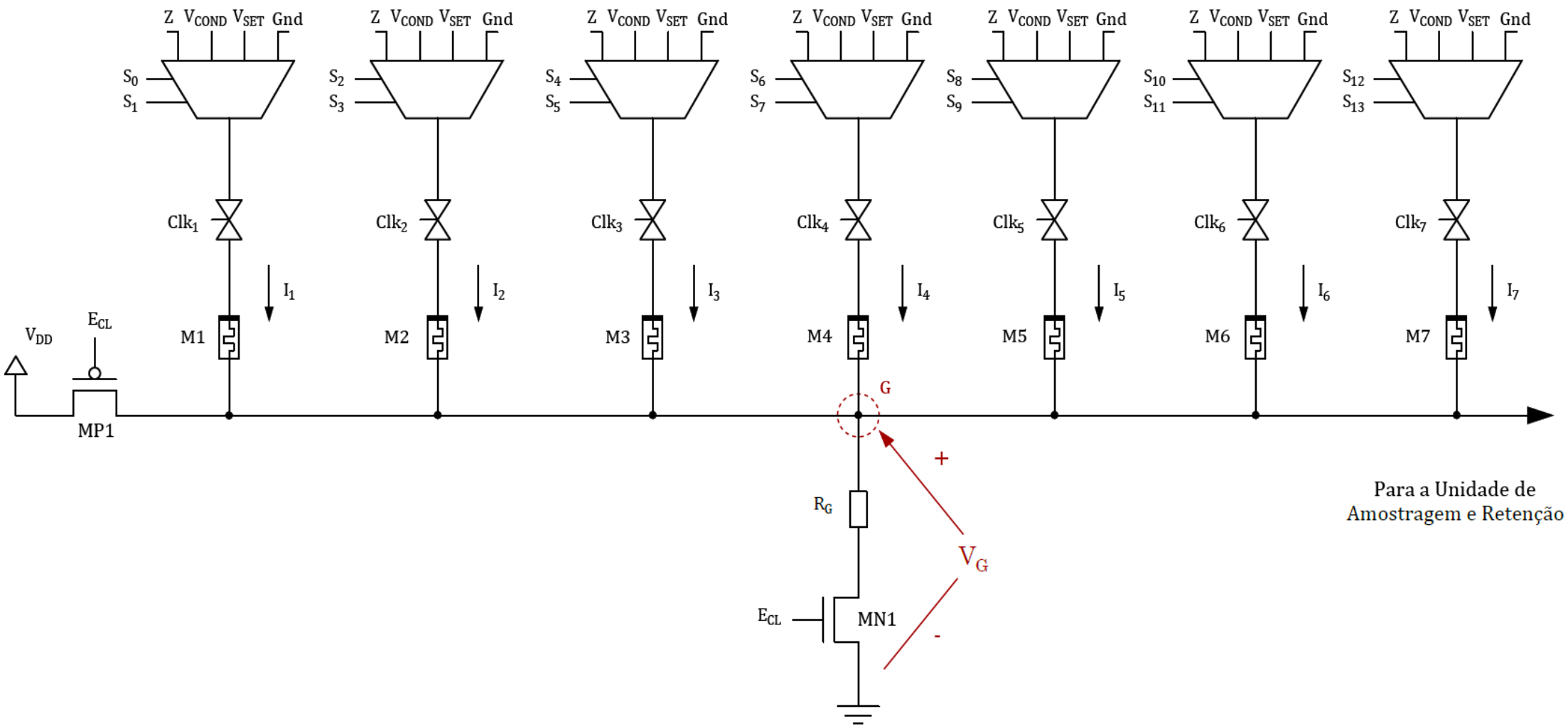


Figura 64: Diagrama esquemático da Unidade Lógica Memresistiva (ULM).

Com isso, uma tensão aproximadamente igual à V_{DD} estará presente no nó G. Além disso, a atribuição do VCODE “11” a um memristor resulta na ligação do terminal negativo do mesmo à terra, através do multiplexador. Os eventos citados originam uma corrente elétrica cujo sentido é orientado do terminal positivo para o terminal negativo de cada memristor envolvido, levando à transição $R_{ON} \rightarrow R_{OFF}$ nesses dispositivos. Para o sucesso dessa operação, o VCODE “11” não pode coexistir com os VCODES “01” e “10” em uma mesma instrução. Ainda na Figura 64, exibem-se as correntes através dos memristores, arbitradas no sentido do terminal *Minus* para o *Plus*, como referência para a elucidação do dimensionamento dessa etapa do circuito na Subseção seguinte.

7.6.1 Dimensionamento da ULM

O dimensionamento da ULM partiu da análise da operação $0 \rightarrow 0$, que é aquela que resulta em alteração no estado do memristor de saída. Considerando a realização de implicações multimemristores, o número em negrito representa o resultado da operação lógica ($0 + 0 + \dots + 0$) entre n elementos de entrada ligados à tensão V_{COND} . Para iniciar os cálculos, arbitraram-se os valores das seguintes variáveis: $V_{SET} = 1$ V, $V_{COND} = 0,75$ V, $R_{OFF} = 80$ k Ω e $I_T = 8$ μ A. Partindo desses valores, buscou-se um valor de R_G capaz de propiciar a operação da maior quantidade possível de memristores de entrada em paralelo, evitando, no entanto, uma ação destrutiva no estado desses dispositivos.

Quanto maior o número de elementos envolvidos em uma implicação multientradas, maior será a tensão V_G e, conseqüentemente, menores as correntes que atravessam os memristores de entrada e de trabalho. Para os primeiros, esse comportamento é benéfico, pois amplia a margem de segurança para o valor de limiar, tornando tais elementos menos suscetíveis a comutações indesejadas. Para o dispositivo onde o chaveamento deve ocorrer, no entanto, a redução de corrente é indesejável e possui um limite. O valor máximo da tensão V_G capaz de assegurar que a corrente no memristor de trabalho permaneça acima do valor de limiar I_T estipulado pode ser determinado através da equação que descreve a corrente I_{WM} no memristor de trabalho:

$$I_{WM} = \frac{V_{SET} - V_G}{R_{OFF}} = I_T \quad (94)$$

Substituindo-se os valores arbitrados de V_{SET} , R_{OFF} e I_T na Equação (94), encontra-se $V_G = 0,36$ V. Uma vez que, para a combinação analisada, todos os memristores de entrada encontram-se em seu estado R_{OFF} , a resistência equivalente da associação paralela será igual a:

$$R_{EQ} = \frac{R_{OFF}}{n} \quad (95)$$

onde n equivale ao número de dispositivos ligados em paralelo. Inserindo essas informações na Equação (92), que define a tensão V_G , é possível relacionar a quantidade máxima de memristores de entrada simultâneos com o valor da resistência R_G :

$$V_G = 0,36 = \frac{\frac{R_{OFF}R_G V_{SET}}{n} + R_{OFF}R_G V_{COND}}{\frac{R_{OFF}^2}{n} + \frac{R_{OFF}R_G}{n} + R_{OFF}R_G} \quad (96)$$

Rearranjando os termos, obtém-se:

$$n = \frac{0,36(R_{OFF}^2 + R_{OFF}R_G) - R_{OFF}R_G V_{SET}}{R_{OFF}R_G(V_{COND} - 0,36)} \quad (97)$$

Para facilitar a análise, recorreu-se a uma rotina computacional desenvolvida no software MATLAB, onde se criou um vetor de resistências para R_G e observou-se a resposta de n . Além disso, para o mesmo vetor, examinou-se a corrente máxima em um memristor de entrada qualquer (orientada do terminal *Minus* para o *Plus*, conforme mostrado na Figura 64), que ocorre quando $n = 1$. As curvas obtidas para a situação relatada são exibidas na Figura 65.

A partir da análise do gráfico, escolheu-se $R_G = 10,8$ k Ω , que possibilita a operação de até 5 memristores de entrada em paralelo, e garante que a corrente nesses dispositivos, no pior caso (entrada única), será 12% inferior ao valor de limiar, estabelecendo uma razoável margem de segurança. Para uma operação multientradas mais abrangente, poderia ser escolhido um valor menor para R_G . Contudo, essa escolha teria como efeito a aproximação temerária da corrente circulante nos memristores de entrada daquela exigida para a ocorrência de uma comutação de estados (destrutiva, nesse caso). Além disso, como será visto na sequência, quanto maior a razão R_G/R_{ON} , maior será a diferença da tensão V_G verificada em operações produtivas e improdutivas. Assim, para compensar essa redução de R_G , R_{ON} também deveria ser diminuído, o que resultaria em maiores quedas de tensão nos multiplexadores e nas portas

de transmissão, as quais também afetariam negativamente a operação. Ademais, isso também levaria a um maior consumo de energia durante a ocorrência das implicações, o que deve ser evitado.

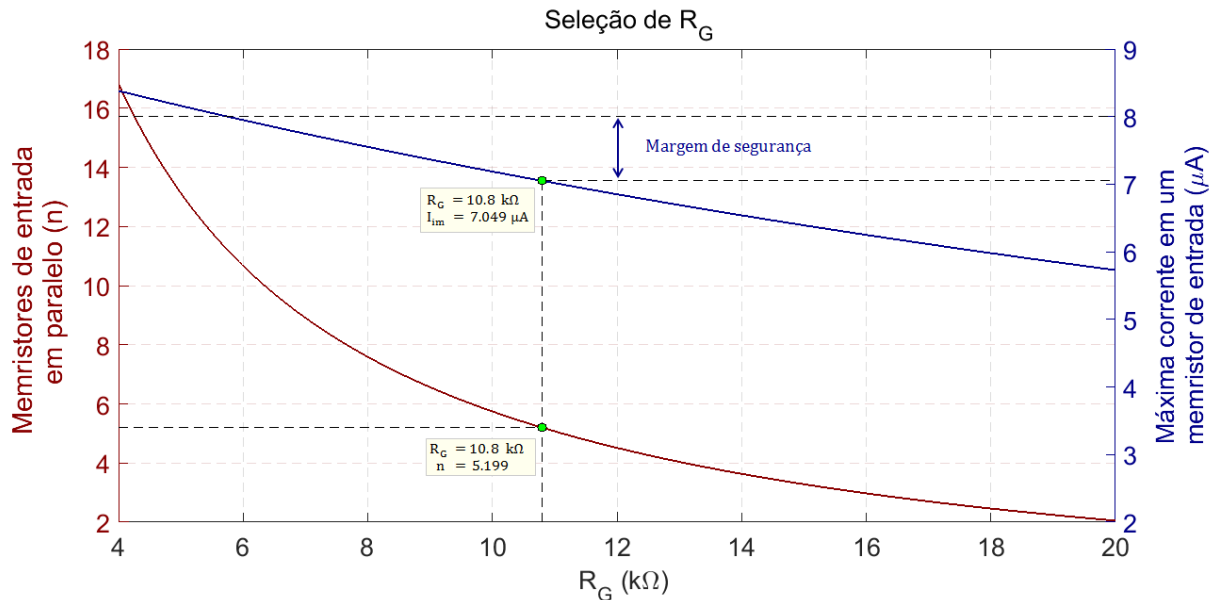


Figura 65: Quantidade máxima de memristores de entrada simultâneos e máxima corrente nesses elementos (que ocorre quando $n = 1$) em função de R_G , para a combinação “00”.

Após essa etapa, a fim de determinar o parâmetro R_{ON} , utilizaram-se as combinações restantes, isto é, “01”, “10” e “11”. Com o parâmetro R_G fixado, criou-se um vetor de resistências para R_{ON} e realizou-se a verificação da tensão V_G e das correntes nos memristores de entrada (I_{im}) e de trabalho (I_{wm}).

Em relação às correntes, as combinações “01” e “10” não impuseram restrições à escolha de R_{ON} e, por essa razão, os seus resultados serão omitidos. A situação “11”, diferentemente, apresentou um cenário de funcionamento adverso, que ocorre quando R_{ON} é inferior a 2,85 kΩ e $n = 1$. Nessa circunstância, a corrente através do memristor de entrada terá módulo superior a 8 μA, orientada no sentido do terminal *Plus* para o *Minus*, desencadeando a transição indesejada R_{ON} - R_{OFF} , como pode ser constatado na Figura 66a.

Concomitantemente, analisou-se o comportamento de V_G em função de R_{ON} . Como elucidado na Subseção 7.2, essa variável desempenha um papel fundamental no circuito proposto. Deve-se buscar a maior diferença possível entre as tensões oriundas de operações produtivas e improdutivas. O pior caso para operações produtivas ocorre quando se tem uma implicação multientradas $0 \rightarrow 0$ com cinco elementos, caso em que $V_G = 0,354$ V. Esse valor

constitui o limite inferior da faixa de valores possíveis para V_{REF} . O pior caso verificado em operações improdutivas ocorre na operação $1 \rightarrow 0$ (para $n = 1$), que apresenta o nível de tensão mais baixo no nó comum. As curvas de V_G em função de R_{ON} são exibidas na Figura 66b.

Com base nas informações expostas, optou-se pelo valor de $4 \text{ k}\Omega$ para o parâmetro R_{ON} , que consegue solucionar de forma satisfatória as duas situações pontuadas. Para a combinação "11", a corrente produzida no memristor de entrada será de $2,83 \text{ }\mu\text{A}$, incapaz de produzir modificações de resistência tanto pela sua baixa magnitude, quanto pelo seu sentido de circulação. Em relação ao segundo quesito, o valor selecionado possibilita uma margem de tensão superior a 200 mV em relação à linha crítica, enquanto para os demais casos essa diferença pode ultrapassar os 400 mV .

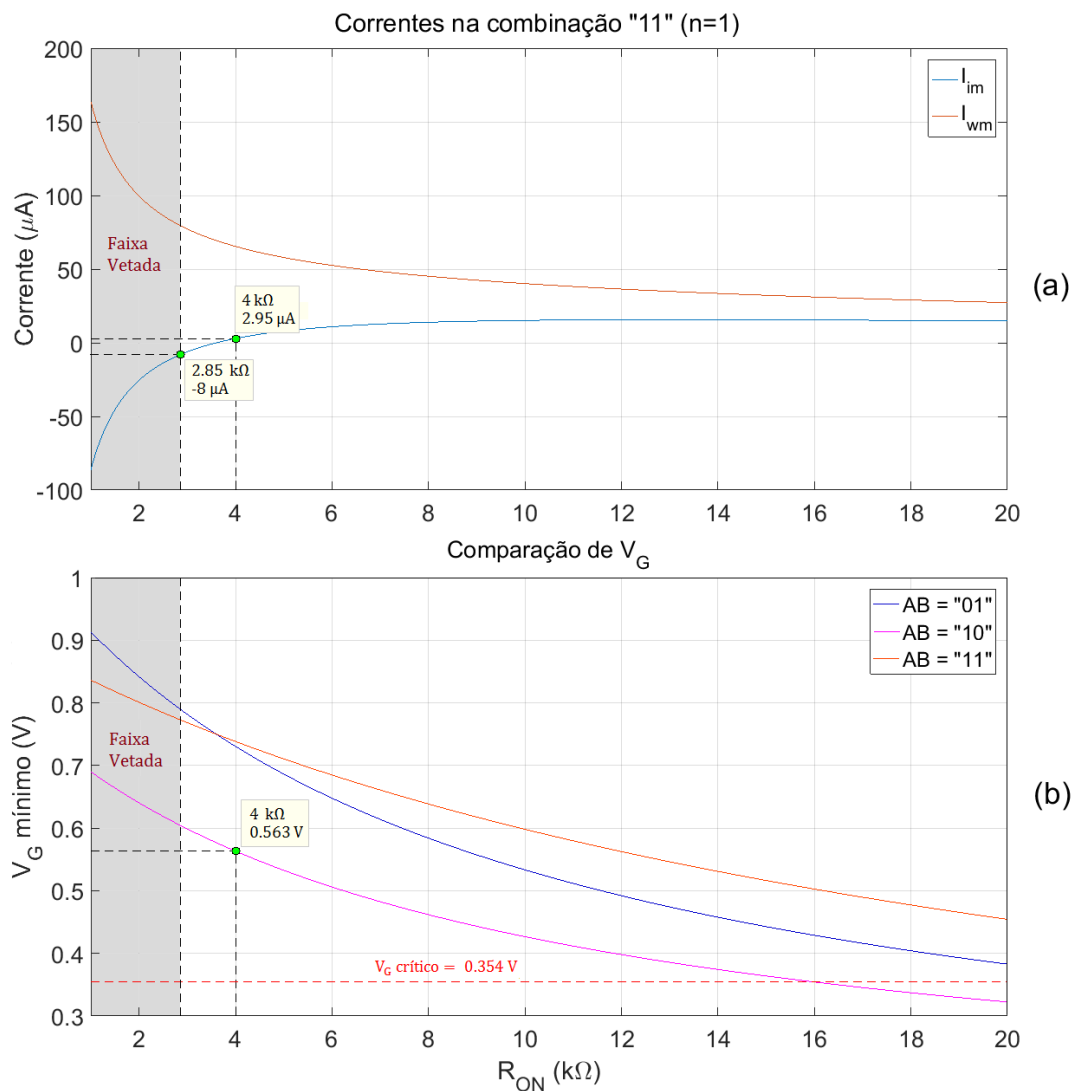


Figura 66: Dimensionamento do parâmetro R_{ON} baseado na análise do caso crítico (a) para as correntes nos memristores e (b) para a tensão V_G .

Por fim, para que as transições sejam completadas em tempo inferior a 6 ns, tempo de duração máximo utilizado pela Unidade de Controle, o parâmetro β foi fixado em 1.10^{19} , enquanto α foi mantido com valor nulo. Dessa forma, torna-se imprescindível a presença de uma corrente superior ao valor de limiar para que as comutações possam ocorrer. O parâmetro C_1 foi ajustado para 0,1, buscando equilibrar os tempos das transições ascendentes e descendentes.

7.7 Unidade de Amostragem e Retenção (UAR)

Conforme explicado na Seção 7, a dinâmica preditiva do circuito proposto é baseada na verificação da tensão V_G em instantes estratégicos. Para materializar esse conceito, desenvolveu-se uma etapa denominada de Unidade de Amostragem e Retenção (UAR), cujo diagrama é mostrado na Figura 67. A arquitetura da UAR é constituída de três componentes: um comparador de tensão, um multiplexador 2x1 e um *latch* D. Na sequência, descreve-se a operação desse bloco.

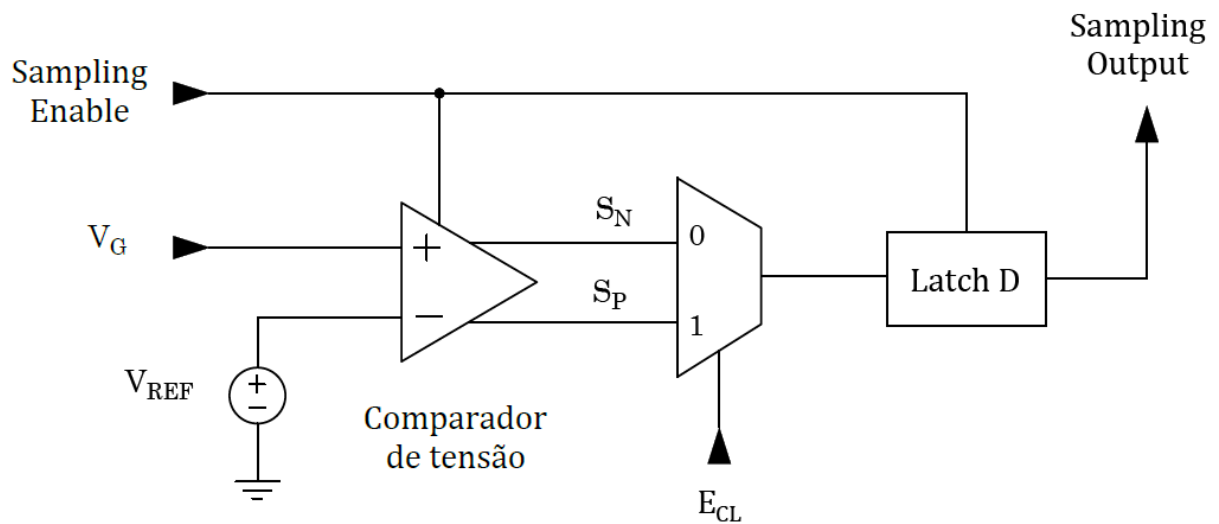


Figura 67: Diagrama da Unidade de Amostragem e Retenção.

No início de cada implicação, é feita a amostragem da tensão no nó comum G da ULM. Se a tensão naquele ponto estiver abaixo de certo valor de referência, então a implicação é

necessária. Caso seja superior, então a implicação é desnecessária e deve ser rejeitada. Para cumprir essa função, o circuito amplificador sensor apresentado por KOBAYASHI *et al.* (1993), exibido na Figura 68, foi utilizado como um comparador de tensão.

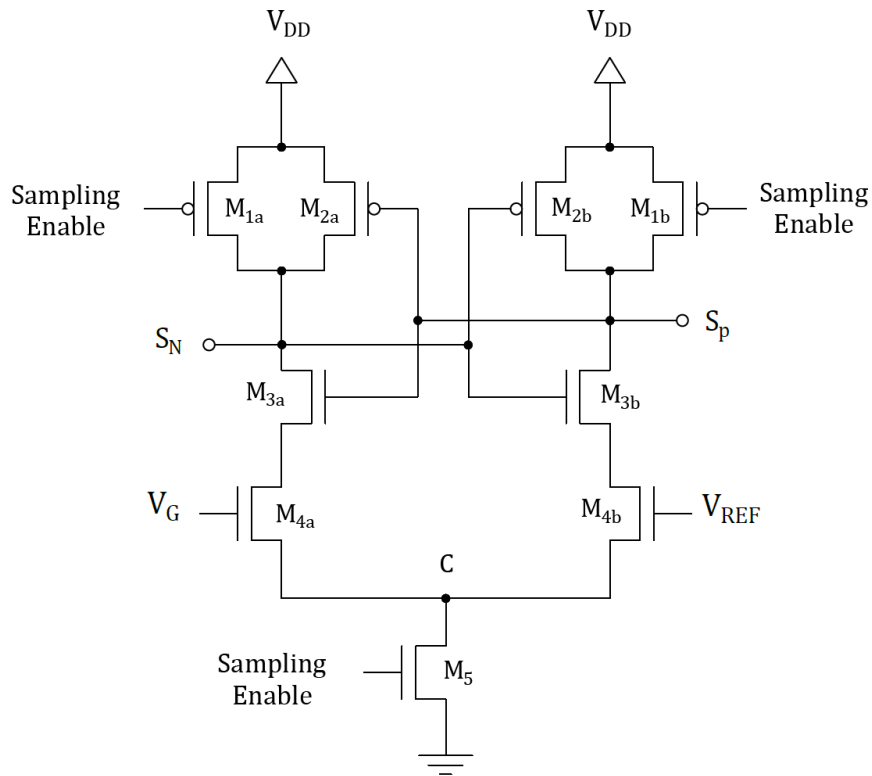


Figura 68: Amplificador sensor/comparador de tensão CMOS.

Esse circuito é comandado pelo sinal de controle *Sampling Enable* (SE), gerado pela Unidade de Controle. Enquanto SE permanece em nível baixo, as saídas S_P e S_N são pré-carregadas com o potencial V_{DD} através dos MOSFETs M_{1a} e M_{1b} . Essa tensão V_{DD} é aplicada no gate de M_{3a} e de M_{3b} , fazendo-os conduzir. Isso leva ao surgimento do potencial V_{DD} também nos terminais dreno de M_{4a} e de M_{4b} . Nesse momento, não existe fluxo de corrente estacionária, pois o transistor M_5 encontra-se no estado de corte. Quando ocorre uma borda de subida em SE, o transistor M_5 passa a conduzir, enquanto os transistores M_{1a} e M_{1b} passam a operar na região de corte. Essa situação conecta o nó C a Gnd, criando caminhos para a descarga dos potenciais previamente estabelecidos em S_P e S_N através dos ramos S_P -C e S_N -C.

A resistência dos transistores M_{4a} e M_{4b} será determinada pelas tensões V_G e V_{REF} , respectivamente. Com base nos cálculos e análises efetuadas na Subseção 7.6.1, o parâmetro V_{REF} foi fixado em 0,45 V. Quanto maior a tensão aplicada ao terminal *gate* do transistor, menor será a sua resistência R_{DS} , propiciando um tempo de descarga menor para aquele ramo do circuito. Supondo $V_{REF} > V_G$, a descarga será mais rápida no ramo S_P -C, levando o potencial na saída S_P a cair abaixo do valor de limiar do inversor composto por M_{2a} e M_{3a} , recarregando S_N com V_{DD} . Simultaneamente, o potencial em S_P continuará caindo até atingir 0 V.

Portanto, quando a implicação é necessária, as saídas complementares S_P e S_N adquirem os valores '0' e '1', respectivamente. Na outra situação, onde a implicação é desprezível ($V_G > V_{REF}$), esses valores nas saídas seriam invertidos em relação ao caso anterior. Esse estágio do circuito precisa considerar também o caso particular da operação *Clear*. Durante esse procedimento, a tensão no nó G será aproximadamente igual a V_{DD} . Dessa forma, V_G seria maior que V_{REF} e, independentemente do estado dos memristores envolvidos, haveria uma sinalização de ineficácia da operação. Para contornar esse problema, as saídas do comparador são aplicadas às entradas de um multiplexador 2x1, cuja entrada de seleção é comandada pelo sinal E_{CL} . Usualmente, a entrada 1 do MUX será escolhida (saída S_P). Quando a operação *Clear* for solicitada, E_{CL} ficará com nível '0', selecionando a entrada 0 (saída S_N). Essa implementação faz com que todas as instruções do tipo *Clear* sejam executadas incondicionalmente.

Para que o resultado da comparação permaneça retido após o fim da amostragem inicial, a saída do multiplexador é aplicada a um *latch* D. Este último atualiza o valor de saída quando $SE = '1'$. A saída do *latch* é denominada *Sampling Output* (SO) e exerce o papel de um *flag*. O estado desse *flag* sinaliza à UC a rejeição de determinada implicação e orienta a busca antecipada da instrução seguinte na memória ($SO = '1'$), ou indica a necessidade de esperar a conclusão da implicação em curso ($SO = '0'$).

7.8 Unidade de Controle

O trabalho da Unidade de Controle (UC) consiste em gerenciar o funcionamento dos blocos componentes do circuito, participando dos eventos de busca das instruções, de amostragem de tensão e de execução condicional das implicações. O circuito dessa unidade

operacional é apresentado na Figura 69 e compreende, principalmente, um contador de programa, um temporizador de implicação, um temporizador de amostragem e dois blocos combinacionais para a geração de sinais de controle para a ULM.

A UC recebe os sinais externos *irst* e *clock*, o sinal interno *Sampling Output* (oriundo da UAR), além dos bits S_{13} - S_0 (procedentes do barramento de dados da memória). Ademais, emite os sinais de saída E_3 - E_0 , Clk_1 - Clk_7 , *Sampling Enable*, E_{CL} e $\overline{E_{CL}}$. A dinâmica de funcionamento dessa arquitetura é imposta por um sinal de controle interno de extrema importância, denominado *End*. O nível lógico de *End* simboliza o estado operacional da UC. Se *End* encontra-se em nível baixo, pode-se afirmar que existe uma implicação em curso ou que a UC está resetada. Um nível alto nesse *flag* indica que uma implicação está concluída e que o processo de busca e decodificação da próxima instrução está em andamento.

No início do ciclo de instrução, momento em que o sinal *End* assume o estado ‘0’, habilita-se a operação de dois contadores assíncronos, construídos a partir de flip-flops tipo T conectados em cascata. Esses elementos possuem a função de temporizar a duração das implicações e dos pulsos de amostragem, e possuem 4 e 2 bits, respectivamente. Os pulsos de *clock* são aplicados paralelamente a esses dois elementos. A frequência utilizada para o sinal em questão foi de aproximadamente 1.66 GHz, que corresponde a um período de 0,6 ns.

O temporizador de amostragem gera uma borda de subida no sinal *Sampling Enable* quando a sua contagem atinge “01”, disparando a leitura do comparador de tensão da UAR e atualizando o sinal SO da mesma unidade. Essa saída está conectada à entrada de seleção do multiplexador presente no temporizador de implicação. Caso a execução da operação seja necessária, a entrada 0 desse elemento será selecionada. Essa entrada assumirá nível ‘1’ após dez pulsos de clock, quando a contagem atingir o valor binário “1010”. Por outro lado, se a implicação puder ser ignorada, será selecionada a entrada 1 do MUX, que será setada com apenas dois pulsos de clock, quando a contagem binária for “0010”.

Quando houver uma borda de subida na entrada selecionada do MUX, ocorrerá também uma borda de subida na saída *End*, sinalizando o término daquele ciclo de instrução, causando o incremento do contador de programa e o reset dos temporizadores. Dessa forma, a distinção entre o tratamento dado a implicações produtivas e improdutivas ocorre através do acentuado estreitamento do período de execução das últimas. A proposital interrupção precoce de operações prescindíveis abrevia de forma expressiva o tempo desperdiçado com as mesmas.

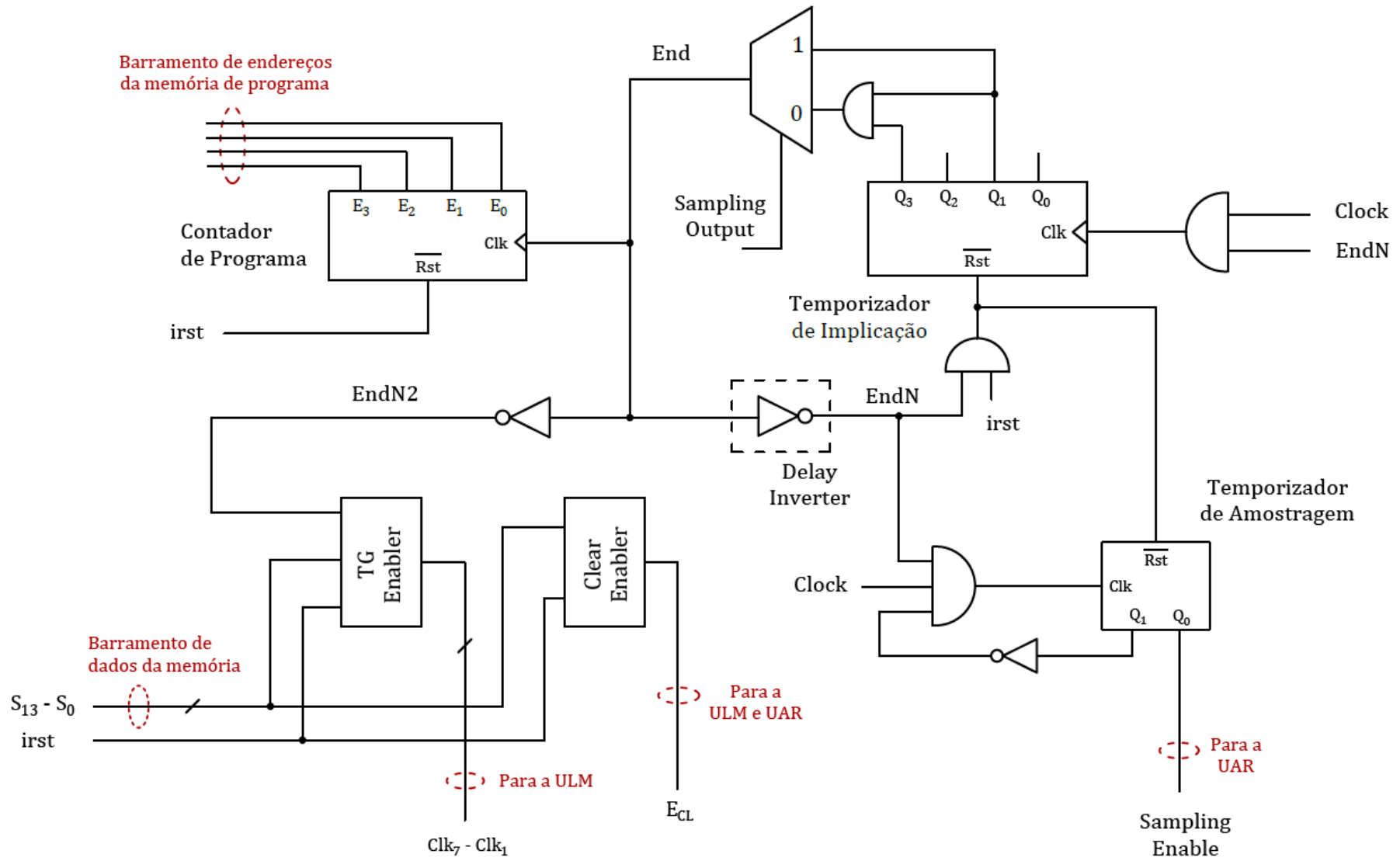


Figura 69 Diagrama esquemático interno da Unidade de Controle.

Para obter maior precisão e conseguir estabelecer um espaçamento maior entre as temporizações de operações produtivas e improdutivas, poderiam ser utilizados contadores de mais bits e/ou uma frequência de *clock* maior.

Também, no início do ciclo de instrução, as saídas de dois sub-blocos combinacionais são atualizadas com base no conteúdo da posição de memória endereçada pelas saídas E₃-E₀ do contador de programa. O primeiro deles é responsável pela habilitação da operação *Clear* (Figura 70). A lógica de funcionamento desse circuito é bastante simples: se pelo menos um dos VCODES da palavra de instrução possuir a combinação “11”, então a saída ECL será ‘0’. Tal circunstância levará o transistor MP1 à condução e o transistor MN1 ao corte na ULM, habilitando a operação *Clear*. Além disso, na Unidade de Amostragem e Retenção, selecionar-se-á a entrada 0 do MUX, assegurando o êxito da operação. Caso nenhum VCODE seja “11”, a saída ECL será ‘1’, fazendo MN1 conduzir e MP1 não, desabilitando o *Clear*. Destaca-se, também, a influência do sinal *irst* que, caso esteja em nível baixo (habilitado), manterá a operação *Clear* desabilitada (ECL = ‘1’).

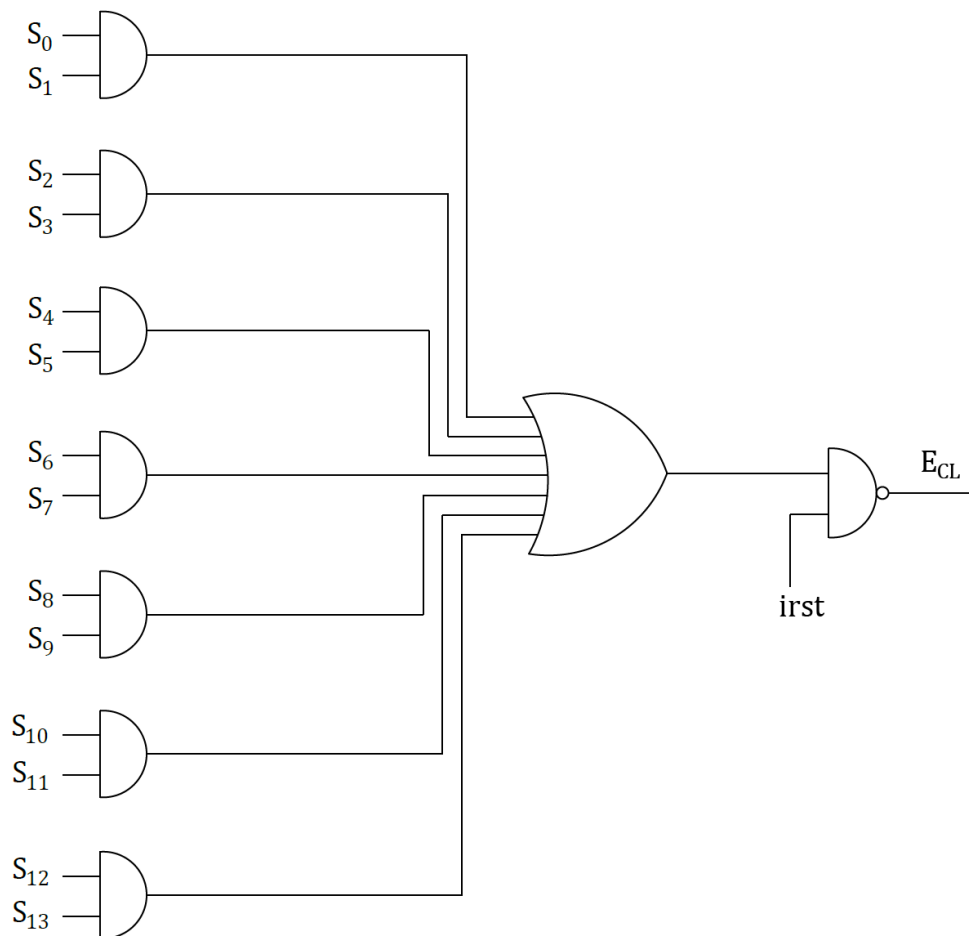


Figura 70: Circuito responsável pela habilitação da operação *Clear*.

O segundo sub-bloco dependente dos dados $S_{13}-S_0$ contém um circuito encarregado de comandar o acionamento das portas de transmissão da ULM (Figura 64), e o seu diagrama esquemático é mostrado na Figura 71. Nesse circuito, enquanto o *flag* EndN2 (sinal complementar de *End*) e o sinal *irst* se mantiverem em '1', os sinais Clk_1-Clk_7 estarão habilitados a mudar de estado de acordo com os dados lidos da memória. Nesse caso, o nível lógico de um bit Clk_n será '1' caso o memristor correspondente participe da implicação, ou seja, se o seu VCODE for diferente de "00" (Alta Impedância). No entanto, se o *flag* End for '1', não existirá implicação em andamento e, portanto, todos os sinais Clk_n serão forçados a '0'. Com isso, todas as portas de transmissão da ULM permanecerão temporariamente desabilitadas até que tenha início a execução de uma nova implicação.

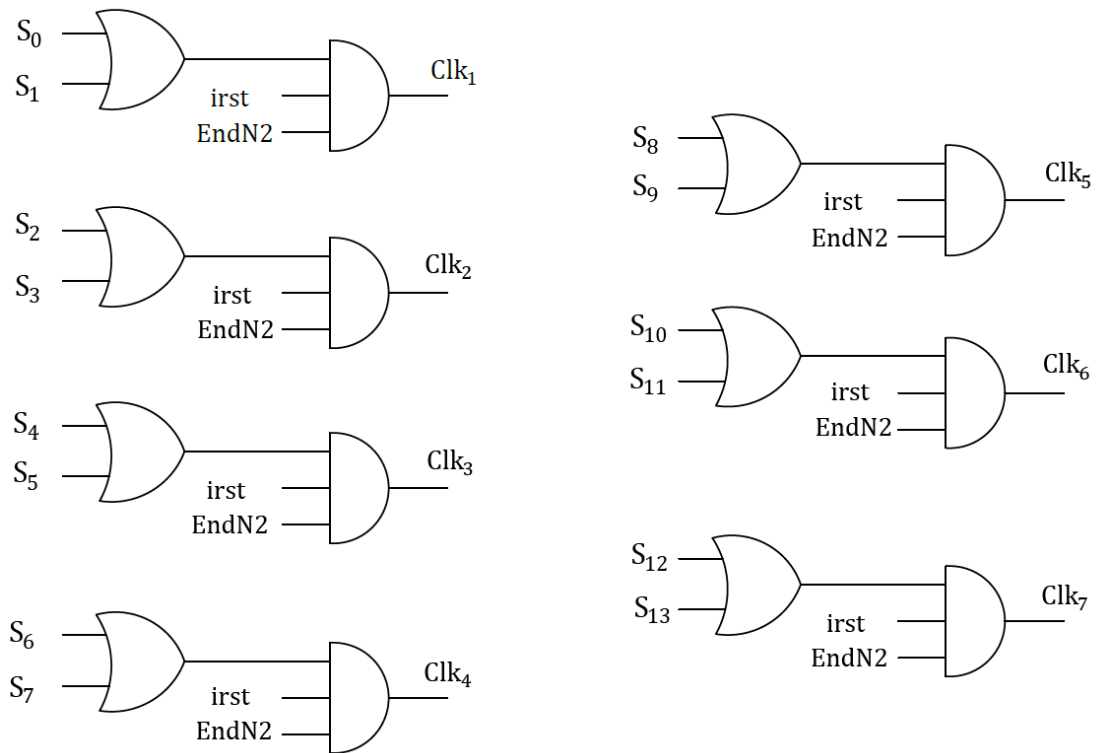


Figura 71: Circuito de comando das portas de transmissão da ULM.

7.9 Sequência lógica de operação

Uma importante característica do circuito implicador preditivo é a sua maleabilidade funcional, isto é, ele é capaz de reproduzir qualquer função booleana, desde que haja a execução ordenada de um conjunto de instruções específico para a finalidade desejada. Para demonstrar o funcionamento do circuito apresentado, implementou-se um somador completo de um bit. Para tanto, utilizaram-se os memristores M1, M2 e M3 como entradas (A, B e C_{IN}) e os quatro elementos restantes (M4 a M7) como memristores de trabalho (nomeados WM_1 a WM_4). A sequência de implicações utilizadas para a síntese lógica de tal função booleana encontra-se listada na Tabela 11, assim como as suas respectivas palavras de instrução binárias armazenadas na memória, conforme descrito na Subseção 7.5.

Nesse experimento, especificamente, a saída *Carry Out* será armazenada no memristor WM_3 e a saída *Sum* será guardada no memristor WM_4 . Na sequência, para ilustrar o comportamento das saídas e sinais de controle internos do circuito ao longo do tempo, será exemplificada a situação em que os estados das entradas assumem a combinação “100”. Todos os memristores de trabalho são inicializados com ‘0’. O estado inicial dos memristores é alcançado diretamente pelo ajuste do parâmetro R_{INIT} do modelo, embora também pudesse ser obtido por meio de instruções gravadas na memória, como será detalhado no decorrer da explicação.

Tabela 11: Sequência de implicações de um somador completo.

| Endereço | Implicação Lógica | Palavra de Instrução |
|----------|-------------------------------------|----------------------|
| 0 | $(A + B) \rightarrow WM_1$ | “00000010000101” |
| 1 | $(A + C_{IN}) \rightarrow WM_1$ | “00000010010001” |
| 2 | $(B + C_{IN}) \rightarrow WM_1$ | “00000010010100” |
| 3 | $WM_1 \rightarrow WM_3$ | “00100001000000” |
| 4 | $(A + WM_1) \rightarrow WM_2$ | “00001001000001” |
| 5 | $(B + WM_1) \rightarrow WM_2$ | “00001001000001” |
| 6 | $(C + WM_1) \rightarrow WM_2$ | “00001001010000” |
| 7 | $(A + B + C_{IN}) \rightarrow WM_2$ | “00001000010101” |
| 8 | $WM_2 \rightarrow WM_4$ | “10000100000000” |
| 9 | CLEAR ALL | “11111111111111” |
| 10 | SET C_{IN} | “00000000100000” |

Inicialmente, o sinal de reset externo encontra-se em nível baixo (Figura 72), zerando as saídas E_3 - E_0 do contador de programa (Figura 73) e, desse modo, fazendo com que a primeira instrução seja buscada da memória. Os bits S_{13} - S_0 resultantes no barramento de dados são convertidos em níveis de tensão apropriados na saída de cada multiplexador da ULM. Apesar disso, enquanto o reset permanece em nível baixo, os sinais Clk_1 - Clk_7 da UC são compulsoriamente mantidos em nível baixo, sejam quais forem os valores dos bits lidos da memória. Assim, todas as portas de transmissão são mantidas desabilitadas, impedindo que os memristores sejam percorridos por corrente elétrica e, por consequência, tenham os seus estados iniciais de resistência modificados.

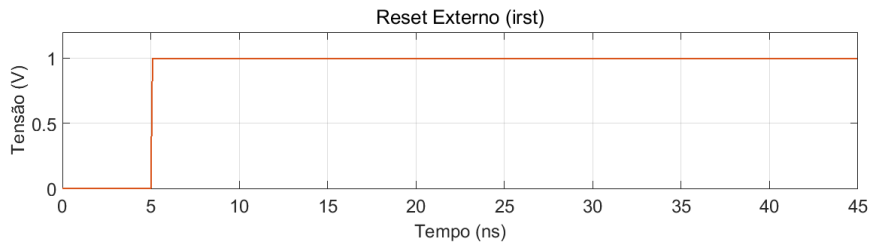


Figura 72: Sinal de reset externo.

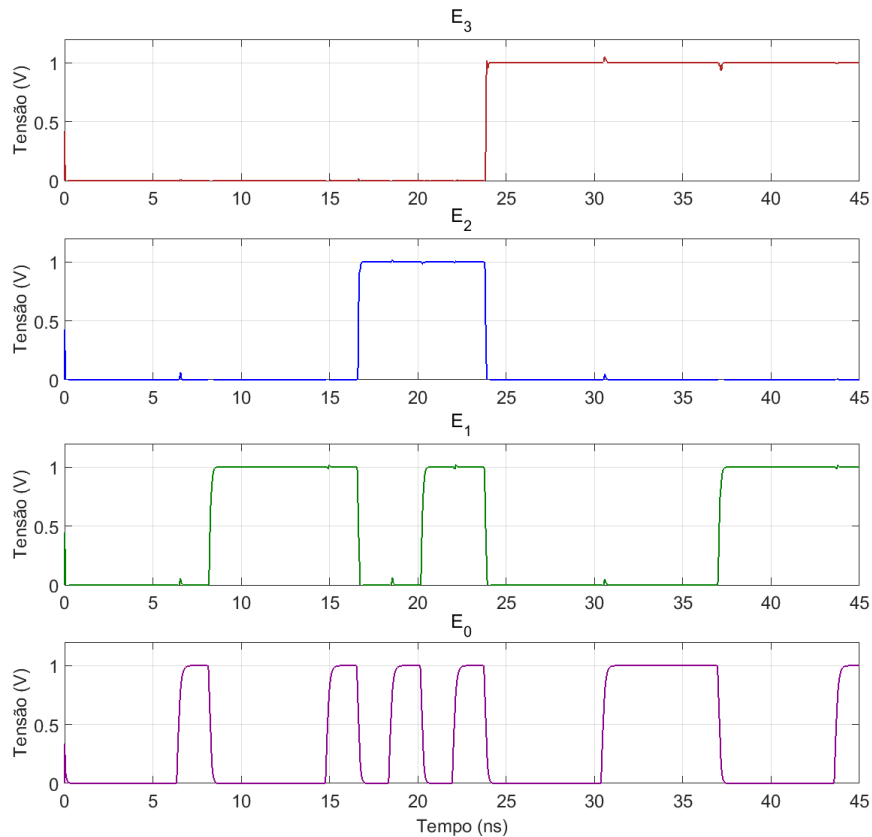


Figura 73: Saídas E_3 – E_0 do contador de programa.

Paralelamente, o sinal de reset zera o valor de contagem das saídas $Q_3 - Q_0$ do temporizador de implicação (Figura 74) e das saídas Smp_1 e Smp_0 do temporizador de amostragem (Figura 75), impedindo que os pulsos de *clock* incrementem o estado dos mesmos. Com isso, o sinal *End* é mantido em nível '0', independentemente do valor de *Sampling Output*, visto que ambas as entradas de dados do multiplexador encontram-se em nível baixo nessa ocasião.

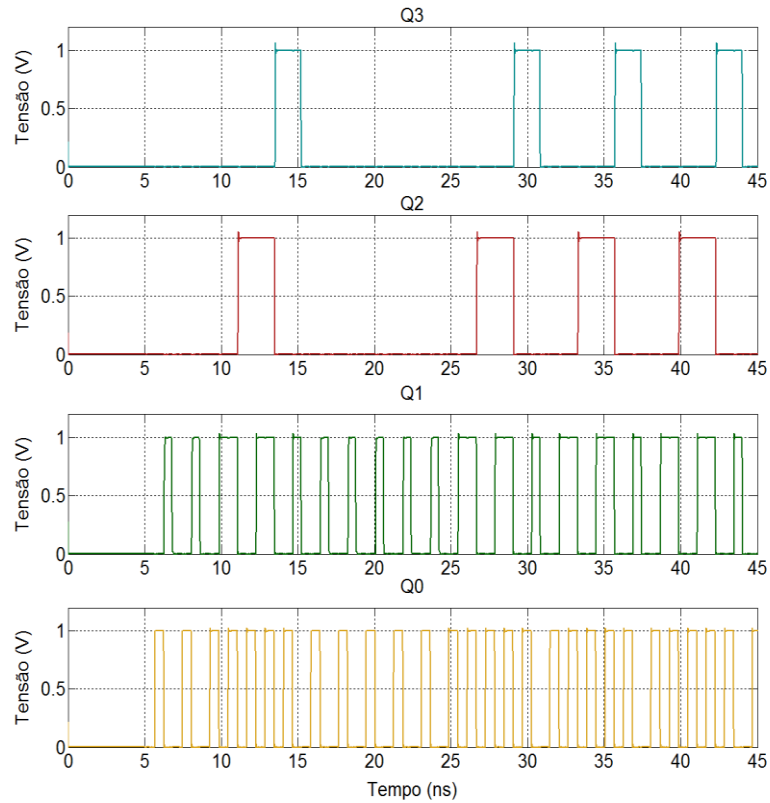


Figura 74: Saídas $Q_3 - Q_0$ do temporizador de implicação.

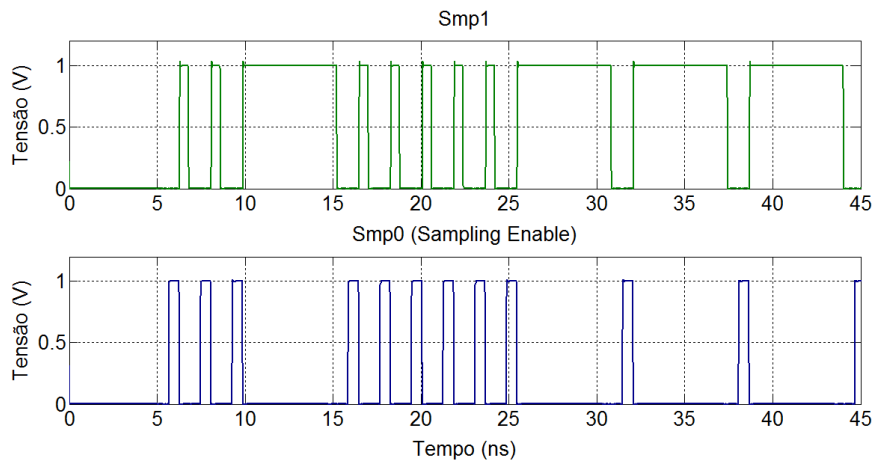


Figura 75: Saídas $Smp_1 - Smp_0$ do temporizador de amostragem.

A partir do instante $t = 5$ ns, o sinal de reset é levado a nível alto (Figura 72), desencadeando a sucessão de eventos descrita na sequência. Uma vez que o reset é desfeito, as saídas $\text{Clk}_1 - \text{Clk}_7$ da Unidade de Controle serão atualizadas de acordo com os dados lidos da memória. Conseqüentemente, as TGs em série com os memristores envolvidos na implicação serão habilitadas, permitindo o fluxo de corrente elétrica nesses dispositivos. Portanto, na primeira implicação, $(A + B) \rightarrow \text{WM}_1$, os sinais Clk_1 , Clk_2 e Clk_4 serão levados a nível alto (Figura 76).

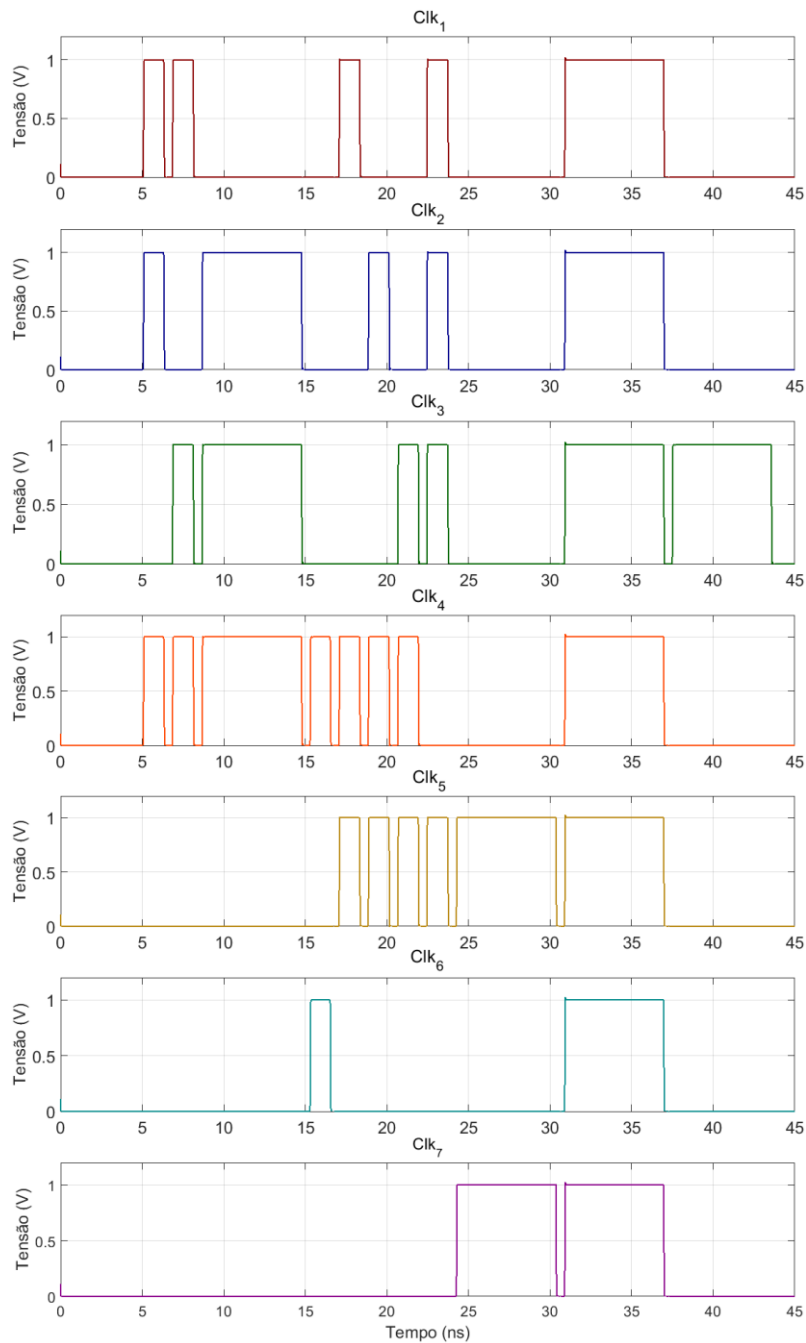


Figura 76: Sinais de controle $\text{Clk}_1 - \text{Clk}_7$.

Essa situação será preservada até o desfecho da implicação, ou seja, até que ocorra uma borda de subida no sinal de controle *End*. Simultaneamente, a desativação do reset libera a recepção de pulsos de *clock* em ambos os temporizadores, permitindo o incremento desses registradores.

Assim, após receber um pulso de *clock* no instante $t = 5,6$ ns, o estado do temporizador de amostragem comuta para “01”, o que gera uma borda de subida no sinal *Sampling Enable* (Figura 75). Essa borda de subida é aplicada à UAR e provoca a comparação instantânea da tensão V_G com a tensão de referência $V_{REF} = 0,45$ V. Ao substituírem-se os estados lógicos dos memristores na implicação sob execução, $(A + B) \rightarrow WM_1$, obtém-se a expressão $(1 + 0) \rightarrow 0$, ou seja, $1 \rightarrow 0$. Sabe-se, pela tabela verdade dessa função, que tal operação resulta na manutenção do nível ‘0’ na saída e, portanto, é improdutiva. Desse modo, o valor de V_G encontra-se superior a V_{REF} (Figura 77) levando as saídas Sp e Sn do comparador de tensão da UAR aos níveis ‘1’ e ‘0’, respectivamente (Figura 78).

Nesse momento, atualiza-se a saída *Sampling Output* com o valor ‘1’ (Figura 79), comutando a entrada 1 do MUX para a saída *End*. Assim, quando a saída Q1 do temporizador de implicação assumir o nível ‘1’ (Figura 74), após dois pulsos de *clock*, o mesmo ocorrerá com *End* (Figura 80).

Como pode ser visto na Figura 69 e na Figura 73, esse pulso em *End* incrementará o contador de programa, endereçando a próxima instrução. Além disso, o nível lógico presente em *End* será invertido pela porta NOT, levando o sinal *EndN2* a ‘0’ (Figura 81). Essa conjuntura levará as saídas $Clk_1 - Clk_7$ do bloco habilitador de transições a ‘0’, interrompendo a condução elétrica de todas as portas de transmissão da ULM, de acordo com a Figura 76.

O *flag End* também é responsável por resetar os contadores, preparando-os para a implicação seguinte. Porém, essa ação deve respeitar o tempo de leitura da memória, caso contrário a temporização da segunda instrução começaria prematuramente. Por essa razão, utiliza-se outro inversor, designado *Delay Block*. O dimensionamento dessa porta lógica introduz um atraso de propagação suficiente para retardar o reset até que a nova instrução esteja disponível no barramento $S_{13}-S_0$. Quando, finalmente, a saída *EndN* desse inversor assume o complemento de *End*, as saídas dos registradores de temporização são zeradas, reabilitando também a contagem dos mesmos. Com isso, inicia-se um novo ciclo de instrução.

A segunda instrução, a exemplo da primeira, não produz alteração na saída e, portanto, também tem a sua duração reduzida a dois períodos de *clock*. Esse fato é evidenciado pela subida do sinal *End* no instante $t = 8,1$ ns. Na terceira implicação, no entanto, tem-se uma situação diferente. Dados os estados instantâneos dos memristores, a função implicativa $(B + C) \rightarrow WM_1$ resultará na alteração do nível lógico armazenado em WM_1 de '0' para '1' (R_{OFF} para R_{ON}).

Logo, tratando-se de uma implicação imprescindível, V_G manifestar-se-á com magnitude inferior a V_{REF} . Como efeito, o sinal *Sampling Output* assumirá nível '0' (Figura 79), sinalizando à UC um intervalo de execução da operação de dez ciclos de *clock*. Esse período assegura a completa transição de WM_1 para o estado de resistência R_{ON} . Os comportamentos de todos os memristores do circuito em resposta aos estímulos de tensão recebidos ao longo do tempo encontram-se exibidos na Figura 83. Após o cômputo da implicação 9, verifica-se que a saída *Sum* (WM_4) encontra-se em nível '1', enquanto que a saída C_{OUT} (WM_3) está em nível '0', demonstrando o êxito da computação para o estado "100" dos operandos A, B e C_{IN} .

No instante $t = 30,6$ ns, as saídas $E_3 - E_0$ do contador de programa assumem a combinação "1001", endereçando a décima instrução na memória de programa. De acordo com a Tabela 11, essa instrução acessada corresponde a uma operação *Clear* sobre todos os memristores, e a sua representação binária colocada no barramento de dados é "11111111111111". Como mencionado na Subseção 7.6, a presença de pelo menos um VCODE igual a "11" leva o sinal E_{CL} a '0' no circuito habilitador de *Clear* (Figura 70), como pode ser constatado na Figura 82. O nível '0' em E_{CL} propicia a transição $R_{ON}-R_{OFF}$ dos memristores A, WM_1 e WM_4 . As resistências dos demais memristores não sofrem nenhuma alteração, pois já se encontram no estado pretendido.

Finalmente, no instante $t = 37,5$ ns, demonstra-se a inicialização da variável de entrada C_{IN} com o nível '1'. Para atingir esse objetivo, aplica-se a tensão V_{SET} isoladamente sobre o respectivo memristor, levando o mesmo ao estado de resistência R_{ON} .

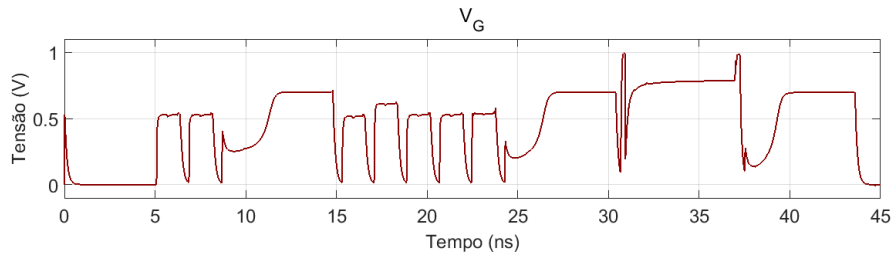


Figura 77: Variação temporal da tensão V_G .

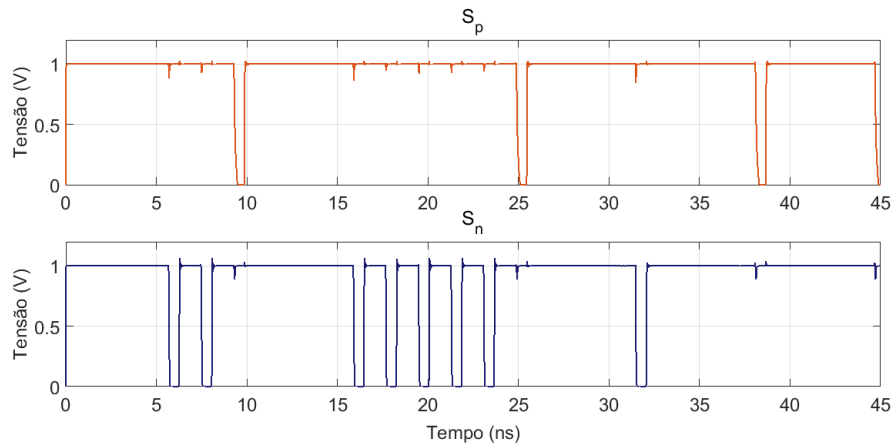


Figura 78: Variação temporal das saídas de tensão S_p e S_n do comparador de tensão.

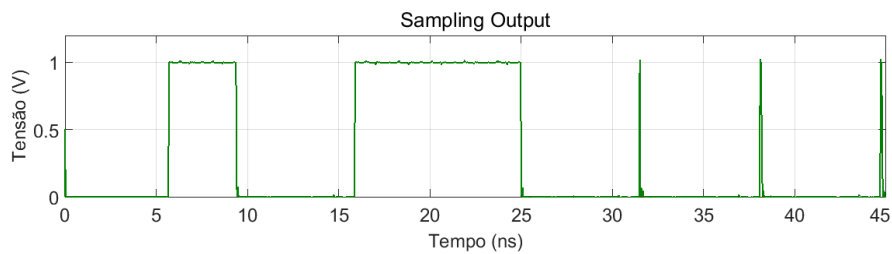


Figura 79: Variação temporal da saída *Sampling Output* da UAR.

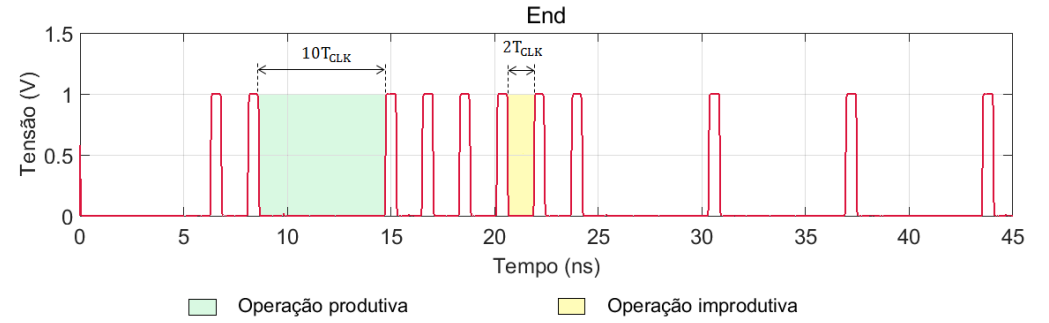


Figura 80: Sinal de controle *End*.

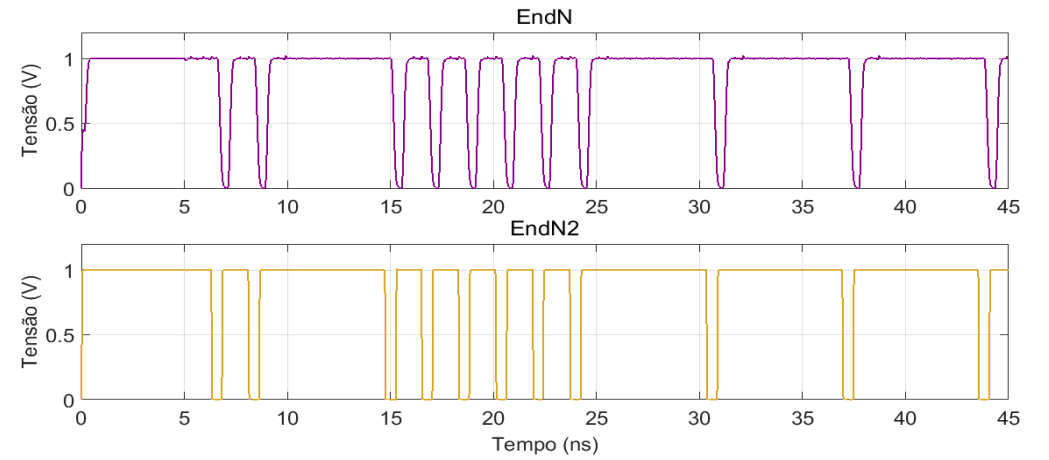


Figura 81: Sinais de controle *EndN* e *EndN2*.

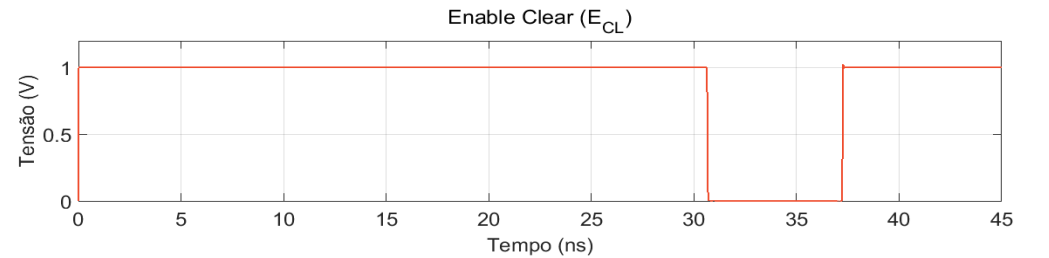


Figura 82: Forma de onda do sinal E_{CL} .

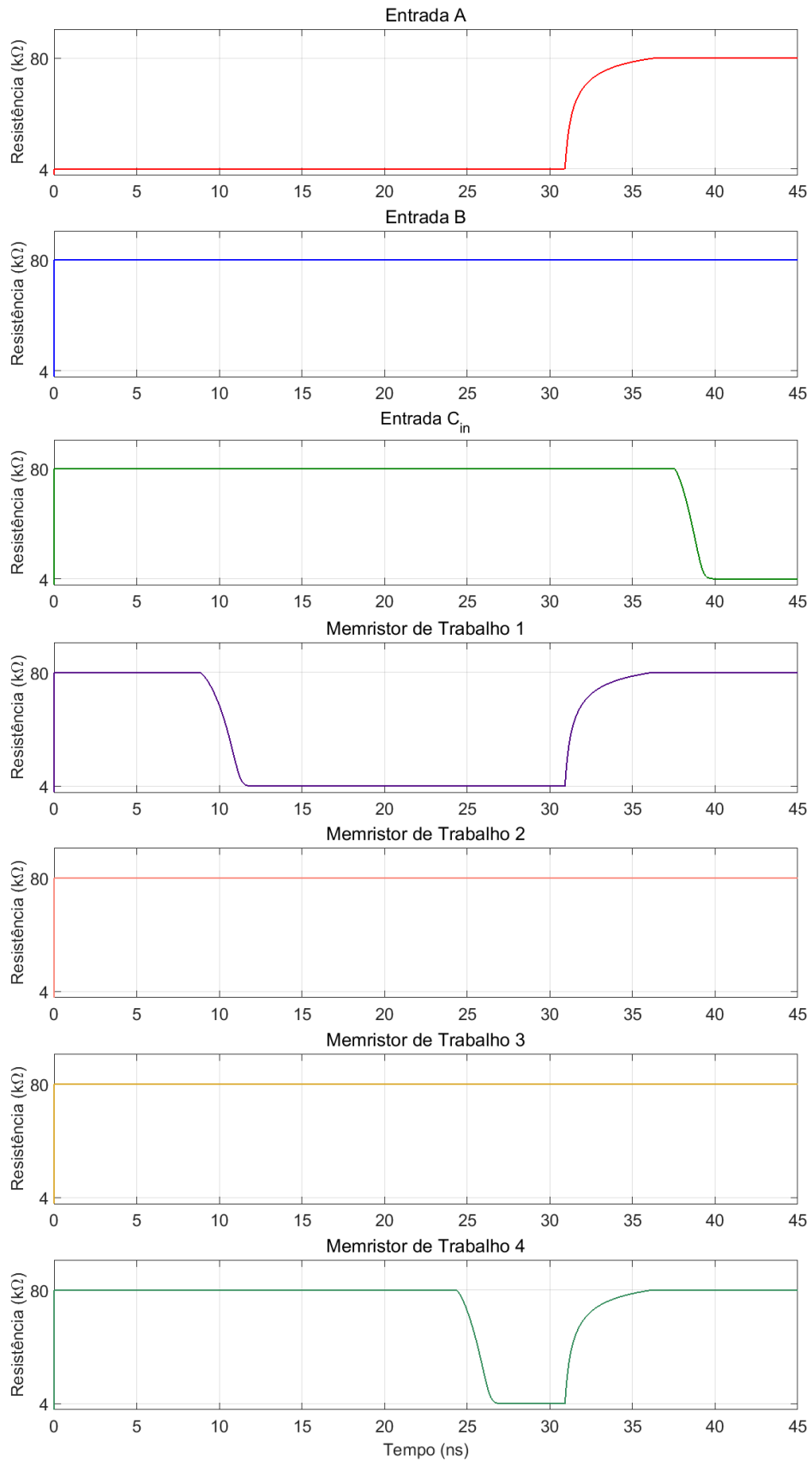


Figura 83: Variação dos estados de memresistência das variáveis do circuito.

Para as demais combinações de entrada, foi feito o levantamento da relação de operações produtivas e improdutivoas vinculadas à síntese booleana proposta, ou seja, aquelas armazenadas nos endereços 0 a 8 da memória de programa (vide Tabela 11). Os resultados obtidos são apresentados na Tabela 12:

Tabela 12: Resumo da produtividade das implicações.

| Combinação | Operações Produtivas/Improdutivas |
|------------|--------------------------------------|
| “000” | 2/7 |
| “001” | 2/7 |
| “010” | 2/7 |
| “011” | 2/7 |
| “100” | 2/7 |
| “101” | 2/7 |
| “110” | 2/7 |
| “111” | 2/7 |

Verifica-se que, em todas as combinações, somente duas operações precisam ser executadas, enquanto as outras sete podem ser desprezadas. Utilizando a arquitetura proposta, o cálculo do tempo de síntese de uma função pode ser generalizado como:

$$T_{EXEC} = T_P n_p + T_i n_i + T_H (n_T - 1) \quad (98)$$

onde n_p é o número de operações produtivas, T_P é o período de execução de operações produtivas, T_i é o período de execução de operações improdutivoas, n_i é o número de operações improdutivoas, T_H é o tempo de manutenção do sinal *End* em ‘1’ e n_T é a quantidade total de operações. A aplicação dos valores adotados nesse exemplo à Equação (98) resulta aproximadamente em:

$$T_{EXEC} \cong 6n_p + 1,2n_i + 0,6(9 - 1) \cong 6n_p + 1,2n_i + 4,8 \text{ [ns]} \quad (99)$$

Para o somador completo sintetizado, o tempo de computação do resultado de cada operação é de 25,2 ns. Caso nenhuma ação preditiva fosse efetuada, o tempo de execução das nove implicações seria igual a 58,8 ns, independentemente da produtividade das operações. Portanto, a execução condicional das implicações consegue reduzir o tempo de síntese da aplicação demonstrada em 57,1 % .

Naturalmente, o tempo de execução poderia ser aprimorado reduzindo o valores de T_I e de T_H . O primeiro está relacionado diretamente com o número de contagens e a frequência com que elas ocorrem no temporizador de implicações. Portanto, o aumento do módulo desse contador e a redução da frequência com que ele é incrementado melhorariam a sua resolução e permitiriam a redução do tempo ocioso em operações improdutivas. O parâmetro T_H está relacionado ao tempo necessário para a busca e decodificação de uma nova instrução. Assim, quanto menor for o tempo de acesso à memória de programa e o tempo de atualização dos multiplexadores da ULM, menor poderá ser o valor de T_H . Nesse experimento, foram utilizados valores propositalmente grandes em prol de maior nitidez na visualização de algumas formas de onda.

Além de contribuir com o aprimoramento no tempo de síntese das funções, o circuito apresentado também propicia a redução do consumo energético dos memristores, uma vez que, em operações improdutivas, os elementos envolvidos dissiparão potência elétrica desnecessariamente. Nessa arquitetura, os resultados das operações lógicas são armazenados de modo não volátil sob a forma de resistências nos próprios memristores. A exploração dessa propriedade dos sistemas memresistivos configura uma grande virtude da proposta, pois as funções lógicas e de armazenamento são desempenhadas pelo mesmo circuito. Portanto, em contraste com arquiteturas convencionais, não existe a necessidade de acessar um bloco de memória após a realização de operações lógicas para o armazenamento dos resultados.

Naturalmente, alguns aperfeiçoamentos deverão ser realizados no circuito em trabalhos futuros. Dentre as ações idealizadas, é possível destacar a atuação no sentido de tornar preditivas as operações CLEAR e SET, atualmente executadas incondicionalmente. Também faz parte do planejamento a modificação da forma de codificação das palavras de instrução, buscando a otimização de *hardware*, isto é, a utilização de menos bits para a representação de uma instrução.

A sequência de implicações utilizadas para sintetizar o somador completo é baseada em um método no qual a escrita sobre memristores de trabalho que armazenam resultados finais é realizada uma única vez. Assim, será estudada uma forma de prover ao circuito a habilidade de identificar a situação em que o resultado da computação esteja disponível e, assim, encerrar a execução da respectiva rotina de síntese.

8 Considerações Finais

O famoso trabalho publicado em 1971 pelo professor Leon Chua, intitulado “*The missing circuit element*”, postulou, com base em princípios teóricos de simetria e sem nenhuma observação experimental, a existência de um quarto elemento básico da Eletrônica, desconhecido até então: o memristor. Apesar da relevância teórica contida na obra, a inexistência de uma realização prática desse componente impedia que o tema ganhasse maior atenção e, durante décadas, o assunto esteve relegado ao esquecimento. Esse cenário perdurou até o ano de 2008, quando um grupo de pesquisa radicado nos laboratórios da HP e liderado pelo cientista Stanley Williams alegou ter fabricado um dispositivo com as mesmas características do memristor previsto por Chua.

Embora exista certa discórdia na literatura, tanto em relação à inovação quanto em relação à caracterização do dispositivo fabricado como aquele cuja existência fora prevista no início da década de 70, é fato que a publicação em questão reaqueceu extraordinariamente o interesse no tema. Desde então, a escalada dessa tecnologia tem sido vertiginosa, seja na busca de novos materiais para a produção de dispositivos correlatos, no desenvolvimento de modelos físicos para a descrição comportamental de tais componentes ou, principalmente, na exploração das suas vantagens em inúmeras aplicações e filosofias alternativas de projeto.

Diante da relevância adquirida pelo assunto, este trabalho concentrou esforços na compilação do conteúdo de diversas publicações, buscando traçar um panorama geral sobre o assunto e mapear o estado da arte. Nesse sentido, foi apresentada uma revisão geral dos argumentos que levaram à idealização desse componente, expondo alguns conceitos fundamentais para o entendimento das características do memristor. Em relação às implementações práticas, além do memristor de TiO_2 , foram abordadas três produções concebidas com materiais alternativos, demonstrando os avanços dessa emergente tecnologia.

Uma vez que a tecnologia memresistiva encontra-se em fase de amadurecimento, o acesso a amostras experimentais desses componentes ainda é um privilégio restrito a uma pequena parcela da comunidade científica. Para contornar esse entrave e disseminar as pesquisas e os desenvolvimentos nesse campo, modelos de simulação elétrica são recursos largamente explorados. Nesse sentido, esta dissertação propôs um modelo SPICE autoral de memristor controlado por corrente elétrica, cuja motivação de desenvolvimento foi a

identificação da necessidade desse mecanismo de acionamento em determinados tipos de aplicações. Ademais, embora a revisão bibliográfica revele uma extensa variedade de publicações centradas no desenvolvimento de modelos elétricos, ela também indica uma escassez de opções com códigos abertos e que sejam funcionais, precisos, compatíveis com ferramentas gratuitas e maleáveis a diferentes situações de projeto.

Outro aspecto essencial na fundamentação teórica foi a investigação e a compreensão das características peculiares dos memristores, e como diversas aplicações podem ser construídas em torno delas. A natureza não-volátil, a boa escalabilidade, o baixo consumo estático, dentre outros atributos, inspiram o desenvolvimento de inúmeras contribuições em aplicações diversas, como circuitos de memória, circuitos digitais, analógicos e até mesmo sistemas neuromórficos. Esses atrativos são potencializados se inseridos no contexto atual de esgotamento do *scaling* CMOS convencional, de busca por novos padrões de fabricação e por tecnologias emergentes capazes de oferecer vias de escape para as barreiras evolutivas.

No projeto de circuitos digitais, especificamente, diferentes técnicas para a síntese universal de funções booleanas foram propostas nos últimos anos, dentre as quais podem ser destacadas a lógica implicativa memresistiva e os padrões denominados de MRL, MAGIC e CMOS – *Like*. Além dessas, existem ainda composições híbridas CMOS/memristor voltadas para o atendimento de funções específicas, como *flip-flops*, *latches*, somadores, votadores e outros.

O estudo dos métodos existentes na literatura forneceu a base teórica para o desenvolvimento dos dois novos circuitos propostos neste trabalho. O primeiro deles foi baseado na exploração da lógica híbrida CMOS memresistiva com finalidades específicas, onde um circuito somador completo com todas as variáveis de entrada não voláteis e consumo estático praticamente nulo foi desenvolvido, projetado a partir do aproveitamento de um circuito votador híbrido CMOS/memristor pré-existente. O segundo circuito teve como foco a utilização da implicação material memresistiva, técnica generalista através da qual se pode implementar qualquer função booleana. Nesse âmbito, foi apresentado um circuito eletrônico inovador, capaz de aprimorar expressivamente a eficiência da síntese booleana baseada no referido método, por meio da execução preditiva e condicional das operações.

9 Referências

- ABDALLA, H.; PICKETT, M. D. SPICE modeling of memristors. 2011 IEEE International Symposium of Circuits and Systems (ISCAS), 2011.
- AFIFI, A.; AYATOLLAHI, A.; RAISSI, F. Implementation of biologically plausible spiking neural network models on the memristor crossbar-based CMOS/nano circuits. *Circuit Theory and Design*, 2009. ECCTD 2009. European Conference on, 2009, IEEE. p.563-566.
- AGNUS, G. et al. Carbon nanotube programmable resistors as synapse-like devices. **Advanced Materials**, 2009.
- ALIBART, F. et al. An organic nanoparticle transistor behaving as a biological spiking synapse. **Advanced Functional Materials**, v. 20, n. 2, p. 330-337, 2010. ISSN 1616-3028.
- ASCOLI, A. et al. Memristor Model Comparison. **IEEE Circuits and Systems Magazine**, v. 13, n. 2, p. 89-105, 2013. ISSN 1531-636X.
- BENDERLI, S.; WEY, T. On SPICE macromodelling of TiO₂ memristors. **Electronics letters**, v. 45, n. 7, p. 377-379, 2009. ISSN 0013-5194.
- BIOLEK, D.; BIOLKOVA, V.; BIOLEK, Z. SPICE model of memristor with nonlinear dopant drift. **Radioengineering**, 2009. ISSN 1210-2512.
- BLANC, J.; STAEBLER, D. L. Electrocoloration in SrTiO₃: Vacancy drift and oxidation-reduction of transition metals. **Physical Review B**, v. 4, n. 10, p. 3548, 1971.
- BORGHETTI, J. et al. 'Memristive' switches enable 'stateful' logic operations via material implication. **Nature**, v. 464, n. 7290, p. 873-876, 2010. ISSN 0028-0836.
- BORKAR, S.; KARNIK, T.; VIVEK, D. Design and reliability challenges in nanometer technologies. Design Automation Conference, 2004. Proceedings. 41st, 2004, 7-11 July 2004. p.75-75.
- BRUM, R. M.; WIRTH, G. I. MagPDK: An open-source process design kit for circuit design with magnetic tunnel junctions. *Integrated Circuits and Systems Design (SBCCI)*, 2016 29th Symposium on, 2016, IEEE. p.1-6.
- CHANG, T.; YANG, Y.; LU, W. Building neuromorphic circuits with memristive devices. **IEEE Circuits and Systems Magazine**, v. 13, n. 2, p. 56-73, 2013. ISSN 1531-636X.
- CHANTHBOUALA, A. et al. A ferroelectric memristor. **Nature materials**, v. 11, n. 10, p. 860-864, 2012. ISSN 1476-1122.
- CHAPPERT, C.; FERT, A.; VAN DAU, F. N. The emergence of spin electronics in data storage. **Nature materials**, v. 6, n. 11, p. 813, 2007. ISSN 1476-1122.

- CHING-TE, C. et al. High-performance SRAM in nanoscale CMOS: Design challenges and techniques. *Memory Technology, Design and Testing, 2007. MTDT 2007. IEEE International Workshop on, 2007, 3-5 Dec. 2007.* p.4-12.
- CHIU, P.-F. et al. Low store energy, low vddmin, 8t2r nonvolatile latch and sram with vertical-stacked resistive memory (memristor) devices for low power mobile applications. **IEEE Journal of Solid-State Circuits**, v. 47, n. 6, p. 1483-1496, 2012. ISSN 0018-9200.
- CHUA, L. Memristor-The missing circuit element. **IEEE Transactions on Circuit Theory**, v. 18, n. 5, p. 507-519, 1971. ISSN 0018-9324.
- CHUA, L. Resistance switching memories are memristors. **Applied Physics A**, v. 102, n. 4, p. 765-783, 2011. ISSN 0947-8396.
- CHUA, L. O.; KANG, S. M. Memristive devices and systems. **Proceedings of the IEEE**, v. 64, n. 2, p. 209-223, 1976. ISSN 0018-9219.
- CHUA, L. O.; SUNG MO, K. Memristive devices and systems. **Proceedings of the IEEE**, v. 64, n. 2, p. 209-223, 1976. ISSN 0018-9219.
- DENG, E. et al. Low power magnetic full-adder based on spin transfer torque MRAM. **IEEE transactions on magnetics**, v. 49, n. 9, p. 4982-4987, 2013. ISSN 0018-9464.
- EROKHIN, V.; BERZINA, T.; FONTANA, M. P. Hybrid electronic device based on polyaniline-polyethyleneoxide junction. **Journal of Applied Physics**, v. 97, n. 6, p. 064501, 2005. ISSN 0021-8979.
- EROKHIN, V.; FONTANA, M. P. Electrochemically controlled polymeric device: a memristor (and more) found two years ago. **arXiv preprint arXiv:0807.0333**, 2008.
- EU-COMMISSION. Next Generation Computing Roadmap, A study prepared for the European Commission. 2014. Disponível em: < https://ec.europa.eu/info/index_en >. Acesso em: 06 de novembro de 2017.
- GAO, L.; ALIBART, F.; STRUKOV, D. B. Programmable CMOS/Memristor Threshold Logic. **IEEE Transactions on Nanotechnology**, v. 12, n. 2, p. 115-119, 2013. ISSN 1536-125X.
- GARC, F. et al. Building Memristor Applications: From Device Model to Circuit Design. **IEEE Transactions on Nanotechnology**, v. 13, n. 6, p. 1154-1162, 2014. ISSN 1536-125X.
- GARCIA-REDONDO, F.; LÓPEZ-VALLEJO, M.; ITUERO, P. Building memristor applications: From device model to circuit design. **IEEE Transactions on Nanotechnology**, v. 13, n. 6, p. 1154-1162, 2014. ISSN 1536-125X.
- GARGINI, P. A. How to Successfully Overcome Inflection Points, or Long Live Moore's Law. **Computing in Science & Engineering**, v. 19, n. 2, p. 51-62, 2017. ISSN 1521-9615.

- HA, S. D.; RAMANATHAN, S. Adaptive oxide electronics: A review. **Journal of Applied Physics**, v. 110, n. 7, p. 14, 2011. ISSN 0021-8979.
- HAMDIOUI, S. et al. Memristor for computing: Myth or reality? , 2017 Design, Automation & Test in Europe Conference & Exhibition (DATE), 2017, IEEE. p.722-731.
- HENNESSY, J. L.; PATTERSON, D. A. **Computer architecture: a quantitative approach**. Elsevier, 2011. ISBN 0123838738.
- HOEFFLINGER, B. **Chips 2020: a guide to the future of nanoelectronics**. Springer Science & Business Media, 2012. ISBN 3642223990.
- IEEE. IEEE Xplore Digital Library. 2017. Disponível em: < <http://ieeexplore.ieee.org/Xplore/home.jsp> >. Acesso em: 09 de agosto de 2017.
- IKEDA, S. et al. A perpendicular-anisotropy CoFeB–MgO magnetic tunnel junction. **Nature materials**, v. 9, n. 9, p. 721-724, 2010. ISSN 1476-1122.
- ITOH, M.; CHUA, L. O. Memristor oscillators. **International Journal of Bifurcation and Chaos**, v. 18, n. 11, p. 3183-3206, 2008. ISSN 0218-1274.
- JABEUR, K.; DI PENDINA, G.; PRENAT, G. Ultra-energy-efficient CMOS/magnetic non-volatile flip-flop based on spin-orbit torque device. **Electronics Letters**, v. 50, n. 8, p. 585-587, 2014. ISSN 1350-911X.
- JO, S. H. et al. Nanoscale memristor device as synapse in neuromorphic systems. **Nano letters**, v. 10, n. 4, p. 1297-1301, 2010. ISSN 1530-6984.
- JOGLEKAR, Y. N.; WOLF, S. J. The elusive memristor: properties of basic electrical circuits. **European Journal of Physics**, v. 30, n. 4, p. 661, 2009. ISSN 0143-0807.
- KANEKO, Y. et al. A novel ferroelectric memristor enabling NAND-type analog memory characteristics. Device Research Conference (DRC), 2010, 2010, IEEE. p.257-258.
- KANG, E.; NEOH, K.; TAN, K. Polyaniline: a polymer with many interesting intrinsic redox states. **Progress in Polymer Science**, v. 23, n. 2, p. 277-324, 1998. ISSN 0079-6700.
- KIM, K.-H. et al. A functional hybrid memristor crossbar-array/CMOS system for data storage and neuromorphic applications. **Nano letters**, v. 12, n. 1, p. 389-395, 2011. ISSN 1530-6984.
- KIM, N. S. et al. Leakage current: Moore's law meets static power. **computer**, v. 36, n. 12, p. 68-75, 2003. ISSN 0018-9162.
- KIM, S. et al. Effect of Scaling WO_x-Based RRAMs on Their Resistive Switching Characteristics. **IEEE Electron Device Letters**, v. 32, n. 5, p. 671-673, 2011. ISSN 0741-3106.

- KOBAYASHI, T. et al. A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture. **IEICE transactions on electronics**, v. 76, n. 5, p. 863-867, 1993. ISSN 0916-8516.
- KRIEGERAND, J.; SPITZER, S. M. Non-traditional, non-volatile memory based on switching and retention phenomena in polymeric thin films. Non-Volatile Memory Technology Symposium, 2004, 2004, IEEE. p.121-124.
- KUHN, K. J. Considerations for Ultimate CMOS Scaling. **IEEE Transactions on Electron Devices**, v. 59, n. 7, p. 1813-1828, 2012. ISSN 0018-9383.
- KUZUM, D.; YU, S.; WONG, H. P. Synaptic electronics: materials, devices and applications. **Nanotechnology**, v. 24, n. 38, p. 382001, 2013. ISSN 0957-4484.
- KVATINSKY, S. et al. MAGIC—Memristor-aided logic. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 61, n. 11, p. 895-899, 2014. ISSN 1549-7747.
- KVATINSKY, S. et al. The desired memristor for circuit designers. **IEEE Circuits and Systems Magazine**, v. 13, n. 2, p. 17-22, 2013a. ISSN 1531-636X.
- KVATINSKY, S. et al. TEAM: ThrEshold Adaptive Memristor Model. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 60, n. 1, p. 211-221, 2013b. ISSN 1549-8328.
- KVATINSKY, S. et al. Memristor-based material implication (IMPLY) logic: Design principles and methodologies. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, v. 22, n. 10, p. 2054-2066, 2014. ISSN 1063-8210.
- KVATINSKY, S. et al. Verilog-A for memristors models. in CCIT Tech. Rep. 801, 2011.
- KVATINSKY, S. et al. MRL—memristor ratioed logic. Cellular Nanoscale Networks and Their Applications (CNNA), 2012 13th International Workshop on, 2012, IEEE. p.1-6.
- LAI, Q. et al. An organic/Si nanowire hybrid field configurable transistor. **Nano letters**, v. 8, n. 3, p. 876-880, 2008. ISSN 1530-6984.
- LAIHO, M.; LEHTONEN, E. Cellular nanoscale network cell with memristors for local implication logic and synapses. Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on, 2010, IEEE. p.2051-2054.
- LAKYS, Y. et al. Low power, high reliability magnetic flip-flop. **Electronics letters**, v. 46, n. 22, p. 1493-1494, 2010. ISSN 1350-911X.
- LE MASSON, G. et al. Feedback inhibition controls spike transfer in hybrid thalamic circuits. **Nature**, v. 417, n. 6891, p. 854, 2002. ISSN 1476-4687.
- LEHTONEN, E.; LAIHO, M. CNN using memristors for neighborhood connections. Proc. Int. Workshop Cell. Nanoscale Netw. Their Appl, 2010. p.1-4.

LEHTONEN, E.; POIKONEN, J.; LAIHO, M. Two memristors suffice to compute all Boolean functions. **Electronics letters**, v. 46, n. 3, p. 239-240, 2010. ISSN 0013-5194.

LEHTONEN, E.; POIKONEN, J.; LAIHO, M. Implication logic synthesis methods for memristors. *Circuits and Systems (ISCAS)*, 2012 IEEE International Symposium on, 2012, IEEE. p.2441-2444.

MAHVASH, M.; PARKER, A. C. A memristor SPICE model for designing memristor circuits. *Circuits and Systems (MWSCAS)*, 2010 53rd IEEE International Midwest Symposium on, 2010, IEEE. p.989-992.

MANEM, H. et al. Design considerations for variation tolerant multilevel CMOS/Nano memristor memory. *Proceedings of the 20th symposium on Great lakes symposium on VLSI*, 2010, ACM. p.287-292.

MARRANGHELLO, F. S. et al. Improved logic synthesis for memristive stateful logic using multi-memristor implication. *Circuits and Systems (ISCAS)*, 2015 IEEE International Symposium on, 2015, IEEE. p.181-184.

MENTOR GRAPHICS. Eldo Platform. Disponível em: < https://www.mentor.com/products/ic_nanometer_design/analog-mixed-signal-verification/eldo-platform >. Acesso em: 12 de maio de 2017.

MEUFFELS, P.; SONI, R. Fundamental issues and problems in the realization of memristors. **arXiv preprint arXiv:1207.7319**, 2012.

NENZI, P.; VOGT, H. Ngspice Users Manual. <http://ngspice.sourceforge.net/>. 2014. Disponível em: < <http://ngspice.sourceforge.net/> >.

NGUYEN, H. A. D. et al. Memristive devices for computing: Beyond CMOS and beyond von Neumann. 2017 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), 2017, 23-25 Oct. 2017. p.1-10.

NILSSON, J. W.; SUSAN, A. R. **Circuitos Eléctricos**. 8a. Pearson Prentice Hall, 2008.

PAPANDROULIDAKIS, G. et al. Boolean logic operations and computing circuits based on memristors. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 61, n. 12, p. 972-976, 2014. ISSN 1549-7747.

PERSHIN, Y. V.; DI VENTRA, M. Practical approach to programmable analog circuits with memristors. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 57, n. 8, p. 1857-1864, 2010. ISSN 1549-8328.

_____. SPICE model of memristive devices with threshold. **arXiv preprint arXiv:1204.2600**, 2012.

PICKETT, M. D. et al. Switching dynamics in titanium dioxide memristive devices. **Journal of Applied Physics**, v. 106, n. 7, p. 074508, 2009. ISSN 0021-8979.

PREZIOSO, M. et al. Training and operation of an integrated neuromorphic network based on metal-oxide memristors. **Nature**, v. 521, n. 7550, p. 61-64, 2015. ISSN 0028-0836.

PRODROMAKIS, T. et al. A versatile memristor model with nonlinear dopant kinetics. **IEEE transactions on electron devices**, v. 58, n. 9, p. 3099-3105, 2011. ISSN 0018-9383.

PTM. Predictive Technology Model. 2008. Disponível em: < <http://ptm.asu.edu/> >.

RAGHUVANSHI, A.; PERKOWSKI, M. Logic synthesis and a generalized notation for memristor-realized material implication gates. Proceedings of the 2014 IEEE/ACM International Conference on Computer-Aided Design, 2014, IEEE Press. p.470-477.

RÁK, Á.; CSEREY, G. Macromodeling of the memristor in SPICE. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 29, n. 4, p. 632-636, 2010. ISSN 0278-0070.

SARWAR, S. S. et al. Memristor-based nonvolatile random access memory: hybrid architecture for low power compact memory design. **IEEE Access**, v. 1, p. 29-34, 2013. ISSN 2169-3536.

SAVAGE, N. Spintronic memristor. **IEEE Spectrum**, 2009. Disponível em: < <http://spectrum.ieee.org/semiconductors/devices/spintronic-memristors> >.

SHAHSAVARI, M. Memristor Technology and Applications: An Overview. 2013.

SHIN, S.; KIM, K.; KANG, S.-M. Memristor applications for programmable analog ICs. **IEEE Transactions on Nanotechnology**, v. 10, n. 2, p. 266-274, 2011a. ISSN 1536-125X.

SHIN, S.; KIM, K.; KANG, S.-M. Reconfigurable stateful NOR gate for large-scale logic-array integrations. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 58, n. 7, p. 442-446, 2011b. ISSN 1549-7747.

SLIMANI, M. et al. Reliability analysis of hybrid spin transfer torque magnetic tunnel junction/CMOS majority voters. **Microelectronics Reliability**, v. 64, p. 48-53, 2016. ISSN 0026-2714.

SNIDER, G. S.; WILLIAMS, R. S. Nano/CMOS architectures using a field-programmable nanowire interconnect. **Nanotechnology**, v. 18, n. 3, p. 035204, 2007. ISSN 0957-4484.

STEWART, J. Cálculo, Vol. 2, 5a Edição. **Pioneira Thomson Learning**, 2006.

STRUKOV, D. B.; BORGHETTI, J. L.; WILLIAMS, R. S. Coupled Ionic and Electronic Transport Model of Thin-Film Semiconductor Memristive Behavior. **small**, v. 5, n. 9, p. 1058-1063, 2009. ISSN 1613-6829.

STRUKOV, D. B.; LIKHAREV, K. K. CMOL FPGA: a reconfigurable architecture for hybrid digital circuits with two-terminal nanodevices. **Nanotechnology**, v. 16, n. 6, p. 888, 2005. ISSN 0957-4484.

STRUKOV, D. B. et al. The missing memristor found. **nature**, v. 453, n. 7191, p. 80-83, 2008. ISSN 0028-0836.

SUN, J. et al. Effect of subvolume excitation and spin-torque efficiency on magnetic switching. **Physical Review B**, v. 84, n. 6, p. 064413, 2011.

TAUR, Y. et al. CMOS scaling into the nanometer regime. **Proceedings of the IEEE**, v. 85, n. 4, p. 486-504, 1997. ISSN 0018-9219.

TORREZAN, A. C. et al. Sub-nanosecond switching of a tantalum oxide memristor. **Nanotechnology**, v. 22, n. 48, p. 485203, 2011. ISSN 0957-4484.

VONGEHR, S.; MENG, X. The missing memristor has not been found. **Scientific reports**, v. 5, 2015.

VOURKAS, I.; SIRAKOULIS, G. C. A novel design and modeling paradigm for memristor-based crossbar circuits. **IEEE Transactions on Nanotechnology**, v. 11, n. 6, p. 1151-1159, 2012. ISSN 1536-125X.

_____. Memristor-based combinational circuits: a design methodology for encoders/decoders. **Microelectronics Journal**, v. 45, n. 1, p. 59-70, 2014. ISSN 0026-2692.

VOURKAS, I.; SIRAKOULIS, G. C. Emerging Memristor-Based Logic Circuit Design Approaches: A Review. **IEEE Circuits and Systems Magazine**, v. 16, n. 3, p. 15-30, 2016. ISSN 1531-636X.

WASER, R. et al. Redox-based resistive switching memories—nanoionic mechanisms, prospects, and challenges. **Advanced materials**, v. 21, n. 25-26, p. 2632-2663, 2009. ISSN 1521-4095.

WEY, T. A.; JEMISON, W. D. Variable gain amplifier circuit using titanium dioxide memristors. **IET circuits, devices & systems**, v. 5, n. 1, p. 59-65, 2011. ISSN 1751-858X.

WHITEHEAD, A. N.; RUSSELL, B. **Principia mathematica**. University Press, 1912.

XIA, Q. et al. Memristor– CMOS hybrid integrated circuits for reconfigurable logic. **Nano letters**, v. 9, n. 10, p. 3640-3645, 2009. ISSN 1530-6984.

XU, C. et al. Design implications of memristor-based RRAM cross-point structures. 2011 Design, Automation & Test in Europe, 2011, IEEE. p.1-6.

YANG, C. et al. Electric modulation of conduction in multiferroic Ca-doped BiFeO₃ films. **Nature materials**, v. 8, n. 6, p. 485, 2009. ISSN 1476-1122.

YANG, J. J. et al. Memristive switching mechanism for metal/oxide/metal nanodevices. **Nature nanotechnology**, v. 3, n. 7, p. 429-433, 2008. ISSN 1748-3387.

YANG, J. J.; STRUKOV, D. B.; STEWART, D. R. Memristive devices for computing. **Nature nanotechnology**, v. 8, n. 1, p. 13-24, 2013. ISSN 1748-3387.

YUASA, S. et al. Giant room-temperature magnetoresistance in single-crystal Fe/MgO/Fe magnetic tunnel junctions. **Nature materials**, v. 3, n. 12, p. 868, 2004. ISSN 1476-1122.

ZHAO, W. et al. High speed, high stability and low power sensing amplifier for MTJ/CMOS hybrid logic circuits. **IEEE Transactions on Magnetics**, v. 45, n. 10, p. 3784-3787, 2009. ISSN 0018-9464.